
Plataformas educativas: implementación de una fuente trifásica para uso en laboratorios del Departamento de Ingeniería Electrónica, Mecatrónica y Biomédica de la Universidad del Valle de Guatemala

Eduardo Andrés Rubin Barrios



UNIVERSIDAD DEL VALLE DE GUATEMALA
Facultad de Ingeniería



Plataformas educativas: implementación de una fuente trifásica para uso en laboratorios del Departamento de Ingeniería Electrónica, Mecatrónica y Biomédica de la Universidad del Valle de Guatemala

Trabajo de graduación presentado por Eduardo Andrés Rubin Barrios para optar al grado académico de Licenciado en Ingeniería Mecatrónica

Guatemala,

2025

UNIVERSIDAD DEL VALLE DE GUATEMALA
Facultad de Ingeniería




Plataformas educativas: implementación de una fuente trifásica para uso en laboratorios del Departamento de Ingeniería Electrónica, Mecatrónica y Biomédica de la Universidad del Valle de Guatemala

Trabajo de graduación presentado por Eduardo Andrés Rubin Barrios para optar al grado académico de Licenciado en Ingeniería Mecatrónica


Guatemala,

2025


Vo.Bo.:

(f) 
M. Sc. Carlos Esquit

Tribunal Examinador:

(f) 
M.Sc. Carlos Esquit

(f) 
M. Sc. Miguel Enrique Zea Arenales

(f) 
Ing. Kurt Emmanuel Kellner

Fecha de aprobación: Guatemala, 13 de febrero de 2025.

Al concluir este significativo capítulo de mi formación académica en la Licenciatura de Ingeniería Mecatrónica, deseo expresar mi más profundo agradecimiento a la Universidad del Valle de Guatemala y a todas las personas que han sido parte fundamental en la realización de este trabajo de graduación y en mi desarrollo profesional durante los últimos cinco años.

En primer lugar, agradezco a Dios por brindarme la fortaleza y perseverancia necesaria para superar los desafíos que se presentaron durante esta etapa, así como por todas las bendiciones que me permitieron llegar hasta aquí.

A mi familia, en especial a la Licda. Ana Barrios y al Lic. René Rubin, por su amor y apoyo incondicional durante toda mi vida. Sin su presencia, compañía y aliento, este logro no habría sido posible.

A mi asesor, el Ing. Kurt Kellner, por su guía, paciencia y consejos durante todo el proceso de investigación e implementación. También quiero agradecer al Ing. Luis Rivera, al Ing. Pablo Mazariegos y al Ing. Pedro Castillo, por compartir conmigo sus conocimientos, los cuales fueron esenciales para el éxito de este proyecto.

A mis amigos futuros ingenieros, quienes han compartido conmigo innumerables momentos de alegría, compañerismo y apoyo mutuo. Su relación ha enriquecido mi experiencia universitaria, proporcionando el equilibrio necesario para superar todos los retos que presenta la ingeniería.

A todos ustedes, mi más sincero agradecimiento.

Finalmente, este trabajo no solo representa la culminación de mis estudios, sino también el esfuerzo colectivo y el apoyo de todas estas personas que han estado a mi lado. Invito a que este proyecto se siga desarrollando, de manera que más estudiantes puedan aprovechar el potencial de todas las herramientas y competencias adquiridas descritas en el presente proyecto.

Prefacio	IV
Lista de figuras	IX
Lista de cuadros	X
Resumen	XI
Abstract	XII
1. Introducción	1
2. Antecedentes	2
3. Justificación	5
4. Objetivos	6
4.1. Objetivo general	6
4.2. Objetivos específicos	6
5. Alcance	7
6. Marco teórico	8
6.1. Fuentes de tensión senoidales	8
6.1.1. Sistemas polifásicos	9
6.2. Análisis de circuitos	9
6.2.1. Divisor de tensión	9
6.3. Amplificadores operacionales	10
6.3.1. Seguidor de tensión	10
6.3.2. Amplificador inversor	10
6.3.3. Amplificador de diferencia	11
6.3.4. Amplificador operacional TL081CP	12
6.4. Transistores	12
6.4.1. Transistores bipolares de unión (BJT, por sus siglas en inglés)	12

6.4.2. Transistores NPN	13
6.4.3. Transistores PNP	13
6.4.4. Circuito complementario simétrico de empuje-tiro (<i>push-pull circuit</i>)	14
6.5. Plataforma NUCLEO-F446RE	15
6.5.1. Descripción general	15
6.5.2. Controlador de acceso directo a la memoria (DMA, por sus siglas en inglés)	16
6.5.3. Convertidor de digital a analógico (DAC, por sus siglas en inglés)	17
6.5.4. Temporizadores de propósito general	19
6.5.5. Generación de señal senoidal digital	20
6.6. Protocolo de comunicación SPI (interfaz de periféricos, por sus siglas en inglés)	21
6.7. Convertidor de digital a analógico MCP4921	22
7. Implementación de fuente trifásica digital	23
7.1. Convertidores de señales digitales a analógicas (DAC) integradas en la plataforma NUCLEO F446RE	23
7.1.1. Configuraciones iniciales	23
7.1.2. Temporizador de propósito general (TIM2)	24
7.1.3. Diseño de algoritmo	25
7.2. Convertidor de señales digitales a analógicas (DAC) externo (MCP4921)	27
7.2.1. Configuraciones iniciales	27
7.2.2. Variación de frecuencia (TIM3)	28
7.2.3. Diseño de algoritmo	29
7.3. Sincronización de señales	30
8. Acondicionamiento de circuitos eléctricos	31
8.1. Amplificadores operacionales	31
8.2. Circuitos con transistores	34
9. Diseño y fabricación de placa de circuito impreso (PCB)	36
9.1. Placa inferior	36
9.1.1. Librerías integradas en Altium Designer	36
9.1.2. Esquemáticos placa inferior	37
9.1.3. Diseño y fabricación de PCB inferior	38
9.2. Placa superior	42
9.2.1. Esquemáticos placa superior	42
9.2.2. Diseño y fabricación de PCB superior	42
9.3. Costos de fabricación y resultado final	44
9.3.1. Costos de fabricación	44
10. Manual de usuario	46
11. Conclusiones	47
12. Recomendaciones	48
13. Bibliografía	50

14. Anexos	52
14.1. Resultados finales	52
14.2. Esquemáticos	55
14.2.1. Placa inferior	55
14.2.2. Placa superior	56
14.3. Placa de circuito impreso (PCB)	57
14.3.1. Placa inferior	57
14.3.2. Placa superior	58
14.4. Manual de usuario	60

Lista de figuras

1. Prototipo de Kit de laboratorio utilizando la placa NUCLEO-F401RE	3
2. Fuente trifásica de bajo voltaje	4
3. Señal senoidal a partir de filtros Salle-Key de segundo orden	4
4. La onda senoidal $V_m \sin(\omega t + \theta)$ adelantada por θ radianes	8
5. Conjunto de tres tensiones, cada una con un ángulo de desfase de 120°	9
6. Ganancia unitaria o seguidor de voltaje con op-amp	10
7. Amplificador inversor con op-amp	11
8. Amplificador de diferencia con op-amp	11
9. Conexiones de los pines del amplificador operacional TL081	12
10. Símbolo y terminales de transistor NPN	13
11. Símbolo y terminales de transistor PNP	14
12. Circuito complementario simétrico de empuje-tiro (<i>push-pull circuit</i>)	14
13. Placa de desarrollo NUCLEO-F446RE	16
14. Dimensiones mecánicas plataforma NUCLEO	16
15. Arquitectura para los dispositivos STM32F446xx	17
16. Ejemplo de un DAC de tipo cadena de resistencias con voltaje de 0 a +2.49V con pasos de 0.000038V	18
17. Arquitectura básica de un DAC R-2R	18
18. Ejemplo de configuración de un temporizador directamente en STMCubeIDE	20
19. Diagrama de pines MCP4921	22
20. Diagrama de temporización MCP4921	22
21. Activación módulo DAC con evento de disparo el temporizador TIM2	24
22. Activación de acceso directo a memoria	24
23. Ciclo completo de ambos canales DAC funcionando	26
24. Activación de módulo SPI	27
25. Configuración deL TIM3	28
26. Comportamiento digital del módulo SPI	29
27. Divisor, seguidor y restador de voltaje con amplificadores operacionales	32
28. Resultados de centrar el sistema a través de una resta de voltaje	32
29. Circuito de amplificación de voltaje	33

30. Resultados de etapa de amplificación	34
31. Circuito de amplificación de corriente en conjunto con un seguidor de voltaje	34
32. Circuito completo de acondicionamiento de señal senoidal	35
33. Sistema trifásico a 60 Hz	35
34. Representación del componente en esquemáticos (izquierda) y representación tridimensional para diseño PCB (derecha) utilizando librerías integradas de Altium Designer	37
35. Fragmento de esquemáticos con la adaptación del acondicionamiento utilizando TL084	38
36. Estimación de alto de pista para placas de circuito impreso	39
37. Alto de pista en Altium Designer	39
38. Distancia entre agujeros y componentes en Altium Designer	40
39. Conexiones de alimentación y demás componentes entre placas	40
40. Conexiones para acondicionamiento mecánico de circuitos entre placas	41
41. Conexiones para modificar el valor del <i>display</i> entre placas	41
42. Vista 3D isométrica de capa inferior	41
43. Tabla de frecuencias y señalización de salidas en capa superior	43
44. Vista 3D isométrica de capa superior	43
45. Ensamblaje físico final fuente trifásica digital	45
46. Funcionamiento físico del proyecto	45
47. Sistema trifásico a 100 Hz	52
48. Sistema trifásico a 150 Hz	53
49. Sistema trifásico a 200 Hz	53
50. Sistema trifásico a 300 Hz	53
51. Sistema trifásico a 600 Hz	54
52. Sistema trifásico a 1000 Hz	54
53. Sistema trifásico a 1500 Hz	54
54. Esquemático completo placa inferior	55
55. Esquemático completo placa superior	56
56. <i>Top layer</i> placa inferior	57
57. <i>Bottom layer</i> placa inferior	57
58. <i>Top overlay</i> placa inferior	58
59. <i>Top layer</i> placa superior	58
60. <i>Bottom layer</i> placa superior	59
61. <i>Top overlay</i> placa superior	59
62. Primera página del manual	60
63. Segunda página del manual	61
64. Tercera página del manual	62
65. Cuarta página del manual	63
66. Quinta página del manual	64

Lista de cuadros

1. Algunas frecuencias establecidas con $n_s = 100$ y $APB1 = 90MHz$	25
2. Pines para cada canal de comunicación SPI en la plataforma NUCLEO F446RE	28
3. Frecuencias definidas con retraso de envío del SPI	30
4. Pines de la plataforma NUCLEO-F446RE utilizados para el desarrollo del proyecto	37
5. Componentes utilizados en los esquemáticos del PCB inferior	38
6. Componentes utilizados en los esquemáticos del PCB superior	42
7. Resumen de costos	44
8. Costos totales de fabricación de Fuente Trifásica Digital	44

Este proyecto fue desarrollado ante la necesidad de contar con un recurso educativo que permita analizar circuitos trifásicos de forma práctica en los laboratorios del departamento. La generación de señales senoidales digitales se llevó a cabo utilizando convertidor de señal digital a analógica (DAC, por sus siglas en inglés), en conjunto con la plataforma NUCLEO-F446RE. Dos de estas señales se generaron mediante los convertidores integrados en la plataforma, mientras que la tercera se produjo utilizando un DAC MCP4921, conectado mediante SPI y con una resolución de 12 bits. El acondicionamiento de los circuitos permite al usuario obtener señales con amplitudes que varían entre 3 y 10.5 V mediante una serie de potenciómetros, así como modificar el corrimiento de fase y seleccionar entre 10 frecuencias predefinidas utilizando un pulsador. La construcción incluye dos placas de circuito impreso (PCB), con los integrados TL084 y el DAC externo removibles. Además, el sistema requiere únicamente tres conexiones físicas, las cuales fueron adaptadas a través de borneras desmontables para utilizar con fuentes de poder de corriente continua.

This project was developed in response to the need for an educational resource that facilitates the practical analysis of three-phase circuits within the department's laboratories. The generation of digital sinusoidal signals was accomplished using Digital-to-Analog Converters (DACs), in conjunction with the NUCLEO-F446RE platform. Two of these signals were generated through the converters integrated into the platform, while the third signal was produced using an MCP4921 DAC, connected via SPI with a resolution of 12 bits. Circuit conditioning enables the user to obtain signals with amplitudes ranging from 3 to 10.5 V through a series of potentiometers, as well as to modify the phase shift and select among 10 predefined frequencies using a push-button. The construction comprises two assemblable printed circuit boards (PCBs), featuring removable TL084 integrated circuits and the external DAC. Additionally, the system requires only three physical connections, which have been adapted through detachable terminal blocks for use with direct current power supplies.

CAPÍTULO 1

Introducción

El estudio de sistemas trifásicos es fundamental en la formación de ingenieros electrónicos, mecatrónicos y biomédicos, ya que estos sistemas constituyen la base de la generación, transmisión y distribución de energía eléctrica a nivel mundial. En el ámbito universitario, la comprensión de los principios y el comportamiento de los sistemas trifásicos es esencial para desarrollar competencias que permitan a los estudiantes enfrentar los retos técnicos y tecnológicos de muchas industrias y del diseño de circuitos. Sin embargo, la enseñanza de estos conceptos puede ser limitada por la falta de equipos especializados o por los riesgos asociados al manejo de sistemas de alta potencia.

El proyecto se enfoca en el desarrollo de una plataforma educativa que permite la generación digital de sistemas trifásicos, para su estudio en circuitos utilizando componentes de baja potencia. Este enfoque combina tecnología digital a través de programación de microcontroladores con acondicionamiento de circuitos y creación de prototipos físicos para reproducir de manera segura y precisa las características esenciales de los sistemas trifásicos reales. De esta manera, se busca proporcionar a los estudiantes una herramienta práctica, accesible y segura que facilite la exploración de fenómenos como la desbalanceo de cargas, análisis fasorial, armónicos y el impacto de diferentes configuraciones en sistemas reales.

La importancia de este proyecto radica en su capacidad para combinar los conceptos teóricos con su aplicación práctica. Al utilizar un sistema que opera en baja potencia, los estudiantes pueden experimentar directamente con las conexiones y configuraciones típicas de sistemas trifásicos, reduciendo significativamente los riesgos y costos asociados al uso de equipos de alta potencia. Además, esta herramienta permite la integración de conocimientos interdisciplinarios como lo son circuitos eléctricos, electrónica digital y fabricación de circuitos impresos (PCB).

Evaluación de la plataforma NUCLEO-F446RE para su implementación en cursos del departamento de ingeniería Electrónica, Mecatrónica y Biomédica

En 2023, la Universidad del Valle de Guatemala llevó a cabo una investigación con el objetivo de evaluar el alcance de la plataforma NUCLEO-F446RE, propia de STM32, para su uso en el plan didáctico de los cursos del Departamento de Ingeniería Electrónica, Mecatrónica y Biomédica. Se incluyó la realización de una encuesta a profesores y con los resultados se llegó a la conclusión de crear 22 proyectos que integran diversos módulos de la plataforma, adaptados a las competencias necesarias de cada carrera. Todos los proyectos se desarrollaron utilizando STM32CubeIDE [1].

Los resultados abarcan la implementación de programas con puertos de propósito general (GPIO), protocolo universal asíncrono de recepción y transmisión (UART) y conversión analógica digital (ADC). Además, se ofrece una descripción general de las funciones disponibles en la plataforma, incluyendo memoria, temporizadores y canales I2C y SPI.

Diseño e implementación de *kit* de laboratorio a partir de STM32 con arquitectura ARM

La Universidad Politécnica de Cataluña en 2021 realizó una investigación con el objetivo de sustituir el procesador Intel 8051 de 8 bits por un STM32 de 32 bits con arquitectura ARM en el Departamento de Informática Industrial. Para este propósito, se utilizó la placa de desarrollo NUCLEO-F401RE. Incluye la resolución de cuatro proyectos que abarcan los siguientes temas: lectura y escritura de entradas digitales, control de LCD, temporizadores y convertidor de señal analógica a digital (ADC). Cada proyecto incluyó una explicación detallada de las competencias necesarias para su implementación, así como una breve investigación sobre los protocolos utilizados [2].

Además, se presentó el costo de los materiales para cada uno de los proyectos, incluyendo su proveedor y la cantidad para realizar el *kit* de laboratorio. Como conclusión, se confirmó que el uso de microcontroladores de la familia STM32 son adecuados para la realización de proyectos universitarios.

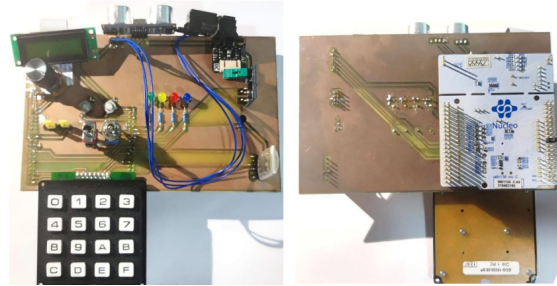


Figura 1: Prototipo de Kit de laboratorio utilizando la placa NUCLEO-F401RE

Diseño de plataforma electrónica de pruebas para la implementación de los módulos GPIO, PWM, UART, I2C, I2S y SPI de la Raspberry Pi 3B+

El objetivo de esta investigación fue implementar una plataforma electrónica para experimentar con las diversas funciones de la Raspberry Pi 3B+ e incluirla en proyectos de laboratorio para la carrera de Ingeniería Electrónica en la Universidad del Valle de Guatemala. La experimentación de los prototipos se desarrolló con algoritmos programados en C y Python. La metodología empleada por el autor fue a través del programa para creación de circuitos impresos Altium Designer [3].

El resultado final fue una placa que contenía las siguientes funciones: contador de 4 bits utilizando LEDs y pulsadores; protocolo SPI para conversiones ADC; conexión de un módulo para micrófono y amplificador para el funcionamiento del módulo I2S; y accionamiento de un motor Stepper con el módulo A4988.

Desarrollo de una fuente de alimentación trifásica de bajo voltaje para Uso Educativo

En la Universidad Murdoch, Australia, se llevó a cabo una investigación enfocada en crear una fuente trifásica de bajo voltaje para los estudiantes de la Licenciatura en Ingeniería Eléctrica. Esta iniciativa surgió debido a la falta de equipo en la universidad para realizar prácticas de circuitos trifásicos en un entorno seguro. El diseño de la fuente incluyó características como un voltaje máximo de 12 RMS y un control de frecuencia que abarca de 50 a 60 Hz. Además, se implementó un sistema de medición de voltaje en tiempo real y la simulación de fallas en sistemas no balanceados [4].

Para el control del sistema se utilizó la plataforma Arduino UNO. La creación de las señales sinusoidales fue mediante funciones de modulación por ancho de pulsos (PWM, por sus siglas en inglés). Para crear un senoide a partir de un PWM se creó una cadena pulsos de distinto ciclo de trabajo, las cuales representan un promedio de voltaje de la onda deseada

(en este caso, una onda senoidal). El siguiente paso consistió en la conversión de la señal, para las cuales se evaluaron tres propuestas de convertidores digital-analógico (DAC, por sus siglas en inglés): el convertidor R2R, el inversor de voltaje trifásico analógico y el inversor de voltaje trifásico, basado en microcontroladores y señales digitales.

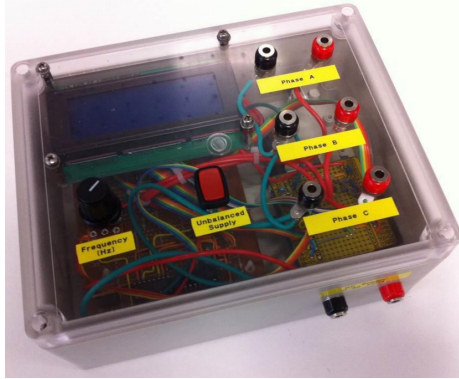


Figura 2: Fuente trifásica de bajo voltaje

Generación de señales senoidales mediante PWM y filtros activos de segundo orden

En la Universidad Tecnológica de Pereira, Colombia, se realizó una investigación para estudiar la generación de ondas senoidales a partir de modulación por ancho de pulsos (PWM) utilizando el microcontrolador PIC16f887 y filtros activos de segundo orden: el filtro Sallen-Key pasa bajos y el filtro Sallen-Key pasa altos. La frecuencia fundamental de la señal modulada por ancho de pulsos fue de 10 kHz. Se propuso la combinación de ambos filtros para obtener una señal senoidal. Para el diseño del filtro pasa bajos se estableció una frecuencia de corte de 15 kHz y para el filtro pasa altos una frecuencia de 5 kHz. Los filtros se construyeron en cascada, formando un filtro pasa bandas que abarca frecuencias entre 5 y 15 kHz.

Los resultados demostraron que es posible generar una onda senoidal mediante el uso de estos filtros y una señal SPWM, como se ilustra en la Figura 3. Esta técnica ofrece una alternativa viable para filtrar la salida del microcontrolador.

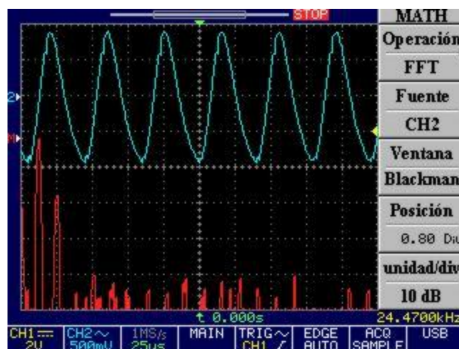


Figura 3: Señal senoidal a partir de filtros Sallen-Key de segundo orden

En el departamento de Ingeniería Electrónica, Mecatrónica y Biomédica, los estudiantes estudian los sistemas trifásicos a través de diversos cursos a lo largo de su carrera. Estos cursos, como Circuitos Eléctricos, Instalaciones Eléctricas y Automatización e Implementación Industrial, abordan aspectos relacionados con la teoría y aplicación de sistemas eléctricos trifásicos. Sin embargo, los estudiantes aún no cuentan con un recurso físico que les permita analizar el comportamiento real de una fuente trifásica. Esta es un área de oportunidad para diseñar e implementar una solución que aporte una experiencia práctica para la comprensión de los conceptos teóricos.

Integrando los conocimientos en circuitos eléctricos y electrónica digital a través de la plataforma de desarrollo NUCLEO-F446RE, se plantea la elaboración de una fuente trifásica diseñada según las necesidades del programa educativo de la institución. Para garantizar que se cumplan dichas necesidades, se llevarán a cabo una serie de reuniones con los catedráticos universitarios involucrados en los cursos mencionados anteriormente. Dicha fuente integrará módulos de programación de microcontroladores como el acceso directo a la memoria (DMA, por sus siglas en inglés), temporizadores para la generación de señales PWM y convertidores digital-analógico (DAC, por sus siglas en inglés) y el protocolo de comunicación de SPI (del inglés Serial Peripheral Interface). Dichos módulos se combinarán con filtros para generación de señales analógicas, amplificadores operacionales para la manipulación matemática de la señal y diversos componentes.

4.1. Objetivo general

- Implementar una fuente trifásica como recurso de apoyo educativo para los estudiantes del departamento de Ingeniería Electrónica, Mecatrónica y Biomédica en la Universidad del Valle de Guatemala.

4.2. Objetivos específicos

- Generar tres señales senoidales con un desfase de 120 grados cada una utilizando la plataforma de desarrollo NUCLEO-F446RE y componentes adicionales.
- Acondicionar las señales senoidales de acuerdo con las necesidades del departamento.
- Diseñar un circuito impreso con todos los componentes de la fuente trifásica con un enfoque educativo.
- Fabricar un circuito impreso con todos los componentes de la fuente trifásica.
- Fabricar una base o protector para prevenir el uso indebido.
- Elaborar manuales de uso para garantizar la correcta utilización del proyecto, según su diseño original.

El alcance de este proyecto es el diseño, desarrollo y fabricación de una plataforma educativa compuesta por dos placas de circuito impreso ensamblables, diseñadas para la generación y acondicionamiento de sistemas trifásicos. Estas placas permiten trabajar con amplitudes de señal ajustables en un rango de 3 V a 10.5 V, y están diseñadas específicamente para aplicaciones educativas y experimentales en un entorno de laboratorios.

El sistema incluye funcionalidades que permiten ajustar el desplazamiento de las señales, de manera que las tres señales generadas puedan ser centradas en un nivel de 0 V, a través de potenciómetros de precisión. Además, el sistema incorpora un control de frecuencia que ofrece diez valores definidos, los cuales pueden ser seleccionados a través de un pulsador integrado.

El diseño es compatible exclusivamente con la plataforma NUCLEO-F446RE de STMicroelectronics, aprovechando sus capacidades de procesamiento e integración con periféricos digitales e analógicos. Este enfoque garantiza la robustez del sistema y su alineación con tecnologías ampliamente utilizadas en el ámbito educativo y de investigación.

6.1. Fuentes de tensión senoidales

Según el libro de circuitos [5], una fuente de tensión variable senoidalmente tiene la siguiente estructura:

$$V_m \text{sen}(\omega t + \theta)$$

cuya gráfica se muestra en la Figura 4. La amplitud de la onda senoidal está dada por V_m , el ángulo de fase θ y la frecuencia angular ω . Dicha frecuencia angular también puede ser expresada como:

$$\omega = 2\pi f = \frac{2\pi}{T}$$

donde f corresponde a la frecuencia o T el periodo del senoide.

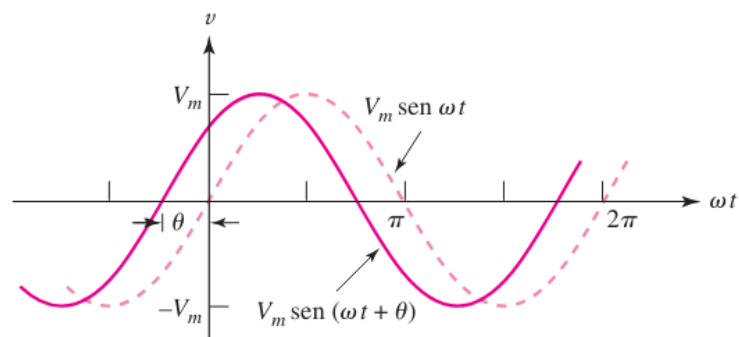


Figura 4: La onda senoidal $V_m \text{sen}(\omega t + \theta)$ adelantada por θ radianes

6.1.1. Sistemas polifásicos

El sistema trifásico balanceado es considerado como uno de los sistemas polifásicos más comunes. Tiene la característica de que las tensiones senoidales no están en fase; cada una de ellas está a 120 grados fuera de fase, en relación a las otras dos como se puede observar en la Figura 5. Según la investigación realizada en [6], una carga balanceada obtiene su potencia de estas tres fases. En ningún instante la potencia instantánea que demanda la carga instantánea llega a ser cero, es decir, la potencia instantánea total es constante. Para maquinaria rotatoria es una gran ventaja, puesto que mantiene el momento de torsión sobre su rotor de una forma mucho más constante.

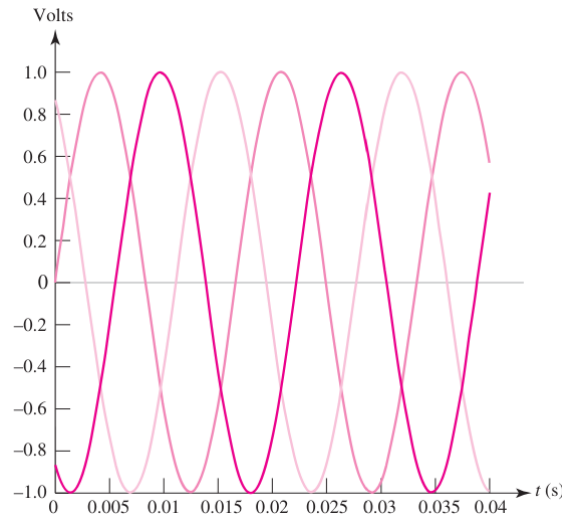


Figura 5: Conjunto de tres tensiones, cada una con un ángulo de desfase de 120°

6.2. Análisis de circuitos

6.2.1. Divisor de tensión

Al combinar resistencias y fuentes es posible crear divisores de tensión. Dicha división se utiliza para expresar el voltaje en una de varias resistencias en serie. El caso general para la división en una cadena de N resistencias en serie,

$$V_k = \frac{R_k}{R_1 + R_2 + \dots + R_N} V_{ent} \quad (1)$$

permite calcular la tensión V_k en cualquiera de la cadena de resistencias.

6.3. Amplificadores operacionales

Un amplificador operacional (también conocido como op-amp por su nombre en inglés *operational amplifier*) es un componente utilizado para realizar una variedad de operaciones matemáticas en señales eléctricas, tales como la amplificación, integración, diferenciación, adición o sustracción. Bajo condiciones ideales, los amplificadores operacionales los constituyen dos reglas fundamentales:

1. Nunca fluye corriente hacia ninguna terminal de entrada.
2. No existe diferencia de tensión entre las dos terminales de entrada.

Estos dispositivos presentan grandes ventajas como ganancia alta de voltaje, impedancia de entrada alta y respuesta lineal. El voltaje máximo de salida está delimitado por la alimentación positiva y negativa a la que se conecte el dispositivo (ver Figura 9 para la conexión física de los pines).

6.3.1. Seguidor de tensión

El seguidor de tensión también es conocido como amplificador de ganancia unitaria o buffer. Es utilizado cuando se requiere del aislamiento de cargas. Debido a su impedancia de salida baja, es posible conectar una etapa del circuito a otra sin que interfieran entre sí.

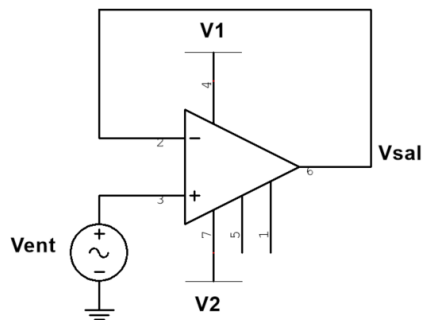


Figura 6: Ganancia unitaria o seguidor de voltaje con op-amp

El número en cada una de las terminales en la Figura 6 se refiere a las conexiones físicas en un integrado real.

6.3.2. Amplificador inversor

El circuito para construir un amplificador inversor con op amp es:

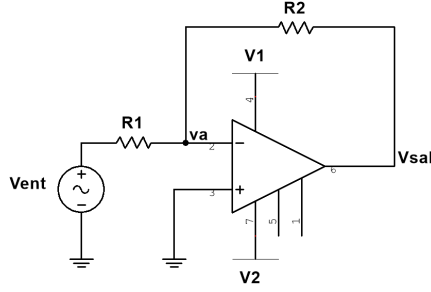


Figura 7: Amplificador inversor con op-amp

Tomar en cuenta que la tensión en la terminal positiva del op-amp es cero, por lo que en el análisis esta tensión se convierte en cero. El voltaje de salida mediante análisis de nodos o sumatoria de corrientes es:

$$\sum I_{va} : \frac{va - V_{ent}}{R_1} + \frac{va - V_{sal}}{R_2} = 0$$

$$V_{sal} = -\frac{R_2}{R_1} V_{ent} \quad (2)$$

6.3.3. Amplificador de diferencia

El circuito para construir un amplificador de diferencia tiene una característica importante: todas las resistencias son del mismo valor. En el análisis se toman como R .

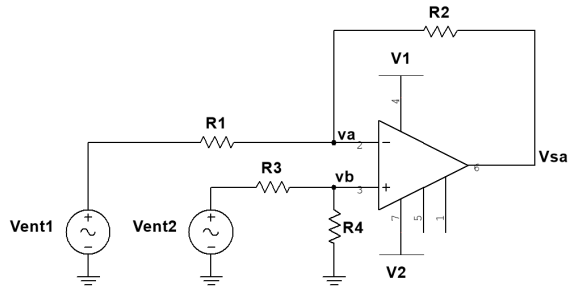


Figura 8: Amplificador de diferencia con op-amp

$$\sum I_{va} : \frac{va - V_{ent1}}{R} + \frac{va - V_{sal}}{R} = 0$$

$$\sum I_{vb} : \frac{vb - V_{ent2}}{R} + \frac{vb}{R} = 0$$

$$V_{sal} = V_{ent2} - V_{ent1} \quad (3)$$

6.3.4. Amplificador operacional TL081CP

Según la hoja de datos [7], el amplificador operacional TL081CP es un integrado de paquete único y entrada J-FET (transistor de efecto de campo de juntura o unión, por sus siglas en inglés) de 8 pines.

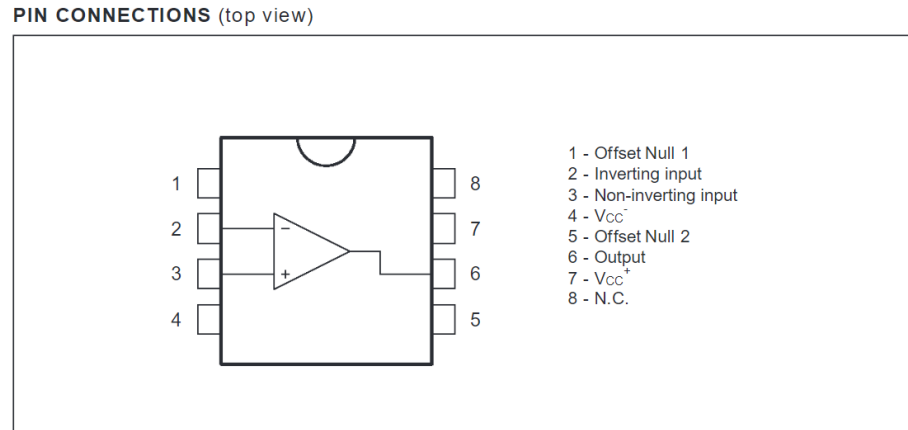


Figura 9: Conexiones de los pines del amplificador operacional TL081

Algunas de sus características eléctricas importantes son (asumiendo $T_{amb} = 25^\circ C$):

- Voltaje de alimentación (V_{CC}): $\pm 18V$.
- Voltaje de entrada: (V_i): $\pm 15V$.
- Diferencial de voltaje de entrada (V_{id}): $\pm 30V$.
- Corriente de polarización de entrada (*Input bias current* en inglés): $20pA$.
- *Slew Rate* (velocidad máxima a la cual un amplificador operacional puede seguir la frecuencia de entrada sin distorsión): $13V/\mu s$.

6.4. Transistores

6.4.1. Transistores bipolares de unión (BJT, por sus siglas en inglés)

Según el libro [8], transistor es un dispositivo semiconductor utilizado para amplificar y conmutar señales eléctricas. Los BJTs son llamados "bipolares" debido a que su funcionamiento depende del movimiento de ambos tipos de portadores de carga. Según su arquitectura, están compuestos por tres capas de material semiconductor con diferentes tipos de dopaje: una capa de tipo N (negativo, con exceso de electrones), una capa de tipo P (positivo, con un exceso de huecos), y otra capa de tipo N o P.

Estos transistores tienen tres principales regiones de operación:

1. Región de corte: el transistor se encuentra apagado debido a que no hay suficiente voltaje en la base para superar la barrera de potencial entre el emisor y la base. No hay corriente significativa entre el colector y el emisor.
2. Región activa: el transistor opera como un amplificador. Una pequeña corriente de base controla una corriente mucho mayor de colector a emisor.
3. Región de saturación: el transistor está completamente encendido, actuando como un interruptor cerrado.

6.4.2. Transistores NPN

Este tipo de transistor consta de dos regiones de tipo N separadas por una región de tipo P. Las tres terminales se denominan emisor, base y colector (ver Figura 10):

- Emisor (E): está frecuentemente dopado de material tipo N. Cumple la función de emitir electrones hacia la base.
- Base (B): es una capa de material tipo P, muy delgada y ligeramente dopada, situada entre el emisor y el colector. Cumple la función de controlar el flujo de electrones entre el emisor y el colector.
- Colector (C): dopado de material tipo N, pero en menor medida que el emisor. Su función es recoger los electrones inyectados desde el emisor a través de la base.

Su funcionamiento se basa en la aplicación de un voltaje positivo a la base respecto al emisor. La corriente fluye de la base a través del colector cuando hay una corriente positiva.

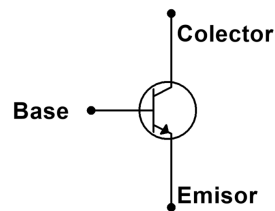


Figura 10: Símbolo y terminales de transistor NPN

6.4.3. Transistores PNP

Este tipo de transistor consta de dos regiones de tipo P separadas por una región de tipo N. Las tres terminales se denominan igual que los transistores PNP, pero su símbolo es distinto (ver Figura 11).

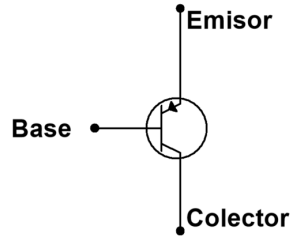


Figura 11: Símbolo y terminales de transistor PNP

En este tipo de transistores, la corriente fluye de la base a través del emisor cuando hay una corriente negativa (o ausencia de corriente) en la base.

6.4.4. Circuito complementario simétrico de empuje-tiro (*push-pull circuit*)

Al usar transistores complementarios (NPN y PNP), es posible obtener una señal de salida de ciclo completo a través de una carga utilizando semicírculos de operación de cada transistor (ver Figura 12). Dado que se aplica una única señal de entrada a la base de ambos transistores, conducirán en semicírculos opuestos de la señal de entrada. El transistor NPN se polariza para conducir durante el semiciclo positivo de la señal y el transistor PNP se polariza para conducir cuando la entrada es negativa [9].

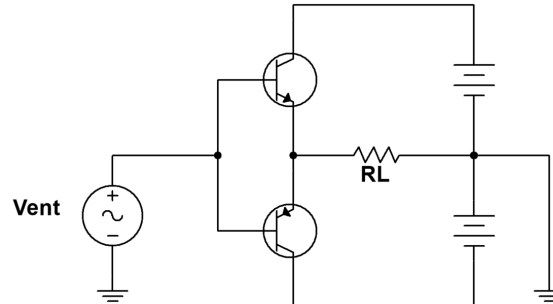


Figura 12: Circuito complementario simétrico de empuje-tiro (*push-pull circuit*)

La resolución de este circuito utilizando el análisis de mallas es (generalmente se aproxima la relación entre voltaje base-emisor como $V_{BE} \cong 0.7V$, debido a que se modela como la caída de voltaje de un diodo):

- Para tensiones positivas:

$$\sum V_{M1} : V_{ent} - V_{BE} - V_{RL} = 0$$

$$I_{RL} = \frac{V_{ent} - 0.7V}{R_L} \quad (4)$$

- Para tensiones negativas:

$$\sum V_{M2} : V_{ent} + V_{BE} - V_{RL} = 0$$

$$I_{RL} = \frac{V_{ent} + 0.7V}{R_L} \quad (5)$$

Este circuito actúa como un seguidor de voltaje y tiene la principal ventaja de aumentar la corriente que fluye a través de la resistencia de carga.

6.5. Plataforma NUCLEO-F446RE

6.5.1. Descripción general

La placa de desarrollo NUCLEO-F446RE (ver Figura [13](#)) es uno de los productos disponibles por la empresa STMicroelectronics, la cual presenta un gran catálogo de opciones para los usuarios. Dicha placa de desarrollo es parte de la familia NUCLEO, las cuales se dividen según la cantidad de pines. Los 3 tipos de placas de desarrollo NUCLEO son de 32, 64 y 144 pines. Cuenta con una plataforma de programación y un compilador llamado STMCubeIDE en el cual es posible configurar el hardware directamente y generar el código automáticamente. El modelo específico a utilizar está catalogado como una unidad de alto rendimiento de 64 pines y 32 bits, parte de la serie STM32F4xx. Según el sitio oficial [10](#), algunas de sus características son:

- Procesador Cortex-M4
- Memoria flash de hasta 512 Kbytes
- 3 ADC de 12 bits con 16 canales
- 2 DAC con resolución de 12 bits
- 12 temporizadores de 16 bits de uso general
- 2 temporizadores PWM para control de motores
- 2 temporizadores de 32 bits de uso general
- Oscilador de cristal de 4 a 26 MHz
- DMA de uso general: controlador de 16 flujos con FIFO
- 4 interfaces I2C
- 4 USART y 2 UART
- 4 SPI

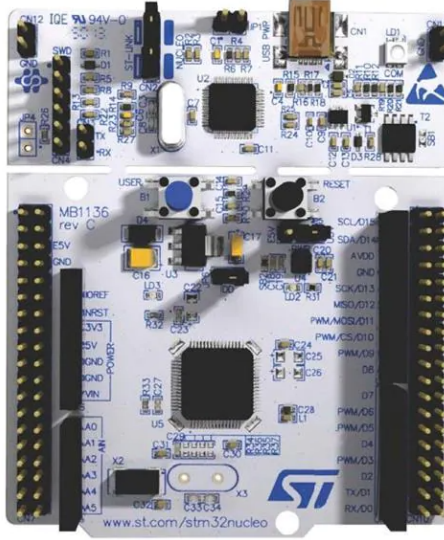


Figura 13: Placa de desarrollo NUCLEO-F446RE

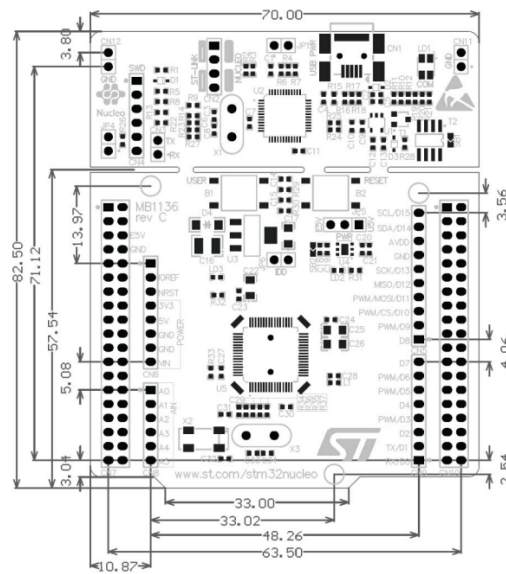


Figura 14: Dimensiones mecánicas plataforma NUCLEO

6.5.2. Controlador de acceso directo a la memoria (DMA, por sus siglas en inglés)

Según el manual de referencia [11], el DMA es utilizado para permitir transferencia de datos de alta velocidad entre los periféricos y la memoria o entre la memoria y la memoria. Los datos pueden moverse a través del DMA sin necesidad de acciones del CPU. De esta manera, el CPU está libre para ejecutar otras operaciones. La arquitectura del DMA combina un Bus avanzado de alto rendimiento (AHB, por sus siglas en inglés) con un sistema PEPS (primero en entrar, primero en salir, FIFO, por sus siglas en inglés).

Como se puede observar en la Figura 15, el protocolo de DMA para la NUCLEO-F446RE consiste en un bus que conecta la interfaz maestra del bus de memoria DMA a la BusMatrix. Este bus tiene como objetivo llegar a la memoria Flash Interna, SRAMs y memorias externas a través del FMS y QUADSPI (SPI cuádruple en inglés. Este protocolo de comunicación transfiere 4 bits en cada ciclo de reloj y alcanza velocidades alrededor de 40 Mbps).

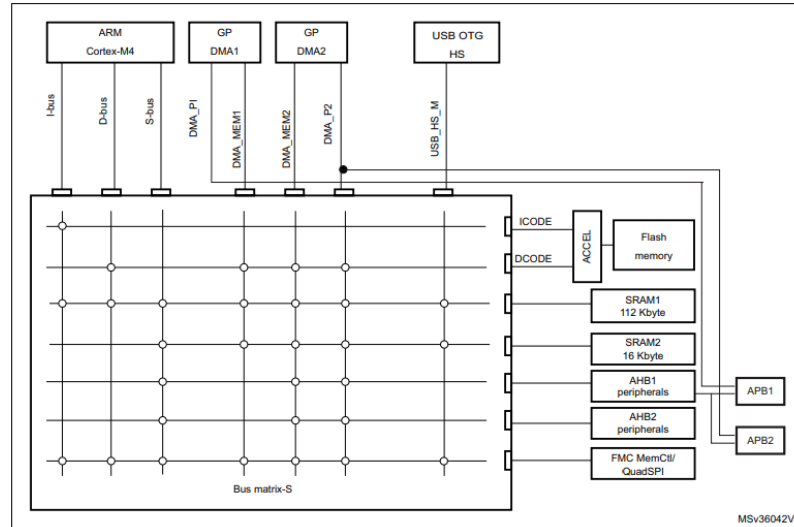


Figura 15: Arquitectura para los dispositivos STM32F446xx

6.5.3. Convertidor de digital a analógico (DAC, por sus siglas en inglés)

Basado en el libro sobre fundamentos de electrónica [12], el módulo DAC consiste en convertir una cantidad especificada en binario a voltaje, o a corriente, proporcional al valor de la entrada digital. Existen diversas arquitecturas, pero la más común consiste en una cadena de resistencias de valor $2n$ conectadas a una referencia de voltaje y tierra, creando un divisor de voltaje alto. Este conjunto de resistencias se conectan a un conjunto de interruptores analógicos MOSFET para enrutar el voltaje de la derivación seleccionada a un búfer de voltaje de salida (se puede ver un ejemplo en la Figura 16). A esta configuración se le conoce como DAC de cadena de resistencias.

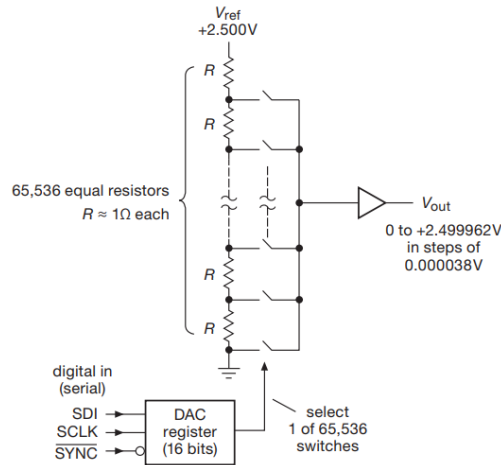


Figura 16: Ejemplo de un DAC de tipo cadena de resistencias con voltaje de 0 a +2.49V con pasos de 0.000038V

Otra alternativa muy utilizada es la cadena R-2R DAC (ver Figuraa [17](#)). Esta cadena consiste en valores de resistencia en forma de secuencia binaria, por lo que sus corrientes ponderadas binarias es la unión sumadora de un amplificador operacional. La precisión de las resistencias es muy importante y mientras más divisiones se hagan, más resistencias de menor valor se requieren y esto puede resultar complicado para aplicaciones que requieren un alto nivel de resolución. Tomar en cuenta que la configuración del amplificador operacional entrega un voltaje negativo, por lo que es necesaria otra fase de inversión.

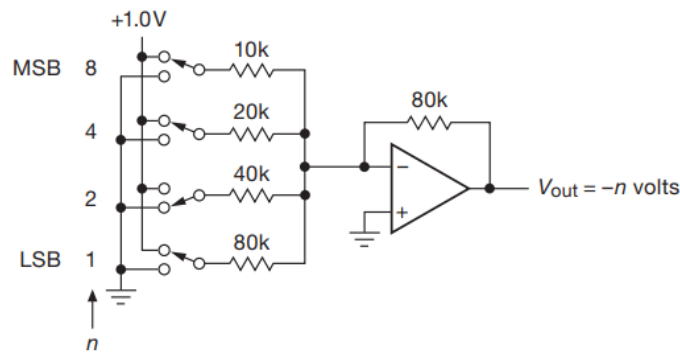


Figura 17: Arquitectura básica de un DAC R-2R

Según la ficha técnica [13](#), dentro de la placa de desarrollo NUCLEO-F446RE se cuenta con 2 módulos internos de resolución de hasta 12 bits para convertir dos señales digitales en dos salidas de señal de voltaje analógicas. Algunas de sus características son:

- Alineación de datos a la izquierda o derecha en resolución de 12 bits y alineación de datos a la derecha en resolución de 8 bits
- Capacidad de actualización sincronizada
- Generación de ondas de ruido

- Generación de ondas triangulares
- Conversiones independientes o simultáneas de dos canales DAC

Funciones implementadas

La función `HAL_DAC_Start_DMA` permite la transferencia automatizada de datos hacia el convertidor digital a analógico utilizando el acceso directo a memoria. El propósito principal de esta función es facilitar la conversión continua de una señal digital en una señal analógica mediante la carga automática de datos en el DAC. Dicha función toma los siguiente parámetros:

- `hdac`: un puntero a la estructura de configuración del DAC. Esta estructura contiene la información necesaria para controlar el periférico DAC en el microcontrolador.
- Canal del DAC: especifica el canal del DAC que será utilizado. Los valores más comunes son `DAC_CHANNEL_1` o `DAC_CHANNEL_2`, dependiendo del número de canales que el dispositivo posea.
- `pData`: un puntero al arreglo de datos que se enviarán al DAC. Estos datos representan los valores digitales que el DAC convertirá en una señal analógica.
- *Length*: define la longitud del arreglo de datos que será transmitido. Este valor indica cuántos elementos del arreglo `pData` serán enviados al DAC.
- *Alignment*: determina cómo se alinearán los datos en el DAC, afectando su precisión. Los valores comunes incluyen `DAC_ALIGN_12B_R` (12 bits alineados a la derecha) o `DAC_ALIGN_12B_L` (12 bits alineados a la izquierda).

6.5.4. Temporizadores de propósito general

Según el manual de referencia [14], los temporizadores de propósito general en la placa de desarrollo NUCLEO-F446RE tienen las siguientes características:

- Contador de recarga automática de 32 bits (TIM2 y TIM5) arriba, abajo y arriba/abajo
- Pre-escalador de 16 bits
- Hasta 4 canales independientes para: captura de entrada, comparación de salida, generación PWM y salida en modo de un pulso
- Generación de interrupciones/DMA

Estas configuraciones pueden realizarse directamente en el STMCubeIDE o a través de funciones para cambiar los registros directamente en la programación del microcontrolador (ver Figura [18]).

<ul style="list-style-type: none"> ▼ Counter Settings Prescaler (PSC - 16 bits value) Counter Mode Counter Period (AutoReload Register - 3. 100-1) Internal Clock Division (CKD) auto-reload preload ▼ Trigger Output (TRGO) Parameters Master/Slave Mode (MSM bit) Trigger Event Selection 	<ul style="list-style-type: none"> 150-1 Up No Division Disable Disable (Trigger input effect not delayed) Update Event
--	---

Figura 18: Ejemplo de configuración de un temporizador directamente en STMCubeIDE

Para configurar la frecuencia a la que el temporizador tomará cada una de las muestras se puede utilizar la siguiente ecuación (tomar en cuenta que no todos los temporizadores utilizan el mismo bus):

$$f_{muestra} = \frac{APBx}{PSC * ARR}$$

Funciones implementadas

Para iniciar el funcionamiento básico de un temporizador (TIM) en modo de conteo se utiliza la función `HAL_TIM_Base_Start`. Al llamar esta función, se habilita el temporizador específico para que comience a contar en función de la configuración previa del prescaler (PSC) y el valor de auto recarga (ARR). Solamente inicia el temporizador en modo base, sin habilitar interrupciones ni otras características como salidas PWM o *triggers*.

6.5.5. Generación de señal senoidal digital

Según la nota de aplicación [15] Para crear una señal senoidal con el NUCLEO-F446RE se puede utilizar la siguiente ecuación:

$$y_{SineDigital}(x) = \left(\sin \left(x \frac{2\pi}{n_s} \right) + 1 \right) \left(\frac{V_{REF} + 1}{2} \right) \quad (6)$$

en donde V_{REF} es el voltaje máximo (tomar en cuenta que el valor máximo permitido por el microcontrolador es de 3.3V) y n_s el número de muestras.

La frecuencia de la señal está dada por:

$$f_{Sinewave} = \frac{APBx}{PSC * ARR * n_s} \quad (7)$$

En lo que respecta a la amplitud, se tiene en cuenta que la resolución del DAC integrado es de 12 bits, lo que corresponde a un rango de valores de 0 a 4095 en decimal. Si el valor

máximo del DAC (4095) representa un voltaje de salida de 3.3V, es posible realizar una interpolación mediante una regla de tres simple, para ajustar los valores de salida de la señal, de manera que varíen entre 0 y el nivel de voltaje deseado. Esta técnica permite controlar con precisión la amplitud de la señal senoidal generada.

6.6. Protocolo de comunicación SPI (interfaz de periféricos, por sus siglas en inglés)

El *Serial Peripheral Interface* (SPI) es un protocolo de comunicación sincrónico de alta velocidad, comúnmente utilizado para la transferencia de datos entre microcontroladores y periféricos. Fue desarrollado por Motorola para la comunicación en sistemas embebidos, permitiendo la conexión de dispositivos como sensores, memorias y controladores de pantalla.

El protocolo SPI opera bajo un modelo maestro-esclavo, donde un dispositivo maestro controla la comunicación y uno o más esclavos responden. El intercambio de datos es completamente sincrónico y utiliza un esquema de transmisión duplex completo, lo que permite la transmisión de datos en ambas direcciones simultáneamente.

SPI utiliza cuatro líneas principales de comunicación:

- MOSI (*Master Out Slave In*): transmite datos desde el maestro al esclavo.
- MISO (*Master In Slave Out*): transmite datos desde el esclavo al maestro.
- SCK (*Serial Clock*): reloj generado por el maestro que sincroniza la transferencia de datos.
- SS (*Slave Select*): señal que selecciona el esclavo con el cual se está comunicando el maestro.

El protocolo SPI tiene cuatro modos de operación definidos por dos parámetros: la polaridad del reloj (CPOL) y la fase del reloj (CPHA). Estos parámetros determinan cuándo se muestrean los datos y en qué punto del ciclo del reloj se produce la transición de la señal de datos. Los cuatro modos se describen como sigue:

- Modo 0 (CPOL = 0, CPHA = 0): los datos se capturan en el flanco ascendente del reloj y se establecen en el flanco descendente.
- Modo 1 (CPOL = 0, CPHA = 1): los datos se capturan en el flanco descendente y se establecen en el flanco ascendente.
- Modo 2 (CPOL = 1, CPHA = 0): los datos se capturan en el flanco descendente y se establecen en el flanco ascendente.
- Modo 3 (CPOL = 1, CPHA = 1): los datos se capturan en el flanco ascendente y se establecen en el flanco descendente.

Implementación de fuente trifásica digital

En este capítulo se discutirá el proceso de creación del algoritmo para generar las 3 señales senoidales digitalmente. Se mencionarán las configuraciones iniciales de cada uno de los módulos, el funcionamiento de cada una de las funciones creadas, la estructura de los variables y el orden en que se ejecutan las tareas. También se mostrarán los resultados obtenidos a través de analizadores lógicos y osciloscopios.

7.1. Convertidores de señales digitales a analógicas (DAC) integradas en la plataforma NUCLEO F446RE

7.1.1. Configuraciones iniciales

A través del software *STM32CubeIDE* se pueden realizar todas las configuraciones necesarias para que los módulos DAC (*digital to analog converter*) operen de manera óptima. Este entorno de desarrollo ofrece la ventaja significativa de generar automáticamente el código de configuración requerido para los distintos periféricos del microcontrolador, facilitando el proceso de inicialización.

En primer lugar, es imprescindible habilitar ambos módulos DAC dentro de la configuración del sistema. En la plataforma NUCLEO-F446RE, el canal 1 del DAC se asocia al pin PA4, mientras que el canal 2 emplea el pin PA5. Para el disparo de los DAC, se utilizará el temporizador TIM2 como fuente de eventos, aunque el sistema permite la utilización de otros temporizadores como el TIM4, TIM5, TIM6, TIM7 y TIM8. Esta flexibilidad permite asignar temporizadores distintos a cada canal de conversión, facilitando el control independiente de las señales de salida (ver Figura [21](#)).

Sin embargo, dado que en el contexto del presente proyecto la frecuencia de operación será idéntica para ambos canales DAC, ambos módulos se configurarán para utilizar el mismo temporizador, lo que asegura una sincronización completa en la generación de las señales analógicas.

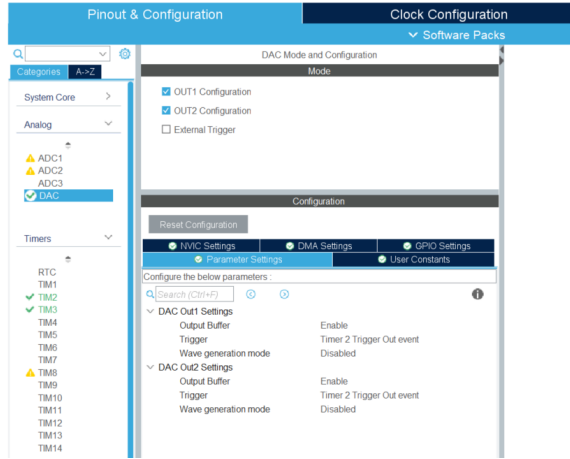


Figura 21: Activación módulo DAC con evento de disparo el temporizador TIM2

El siguiente paso implica habilitar el acceso directo a memoria (DMA) para cada uno de los convertidores DAC. Con el objetivo de evitar la necesidad de reactivar manualmente el envío de datos al finalizar cada ciclo de la señal, es necesario configurar el DMA en modo circular. Este modo de operación permite cargar un arreglo de datos en memoria, el cual se repetirá de manera continua, garantizando así un flujo constante de datos hacia los convertidores. De esta manera, la transferencia de datos se realiza de forma automática y continua, requiriendo únicamente la activación inicial del proceso. Esta configuración será especialmente útil cuando se requiera cambiar la frecuencia del sistema.

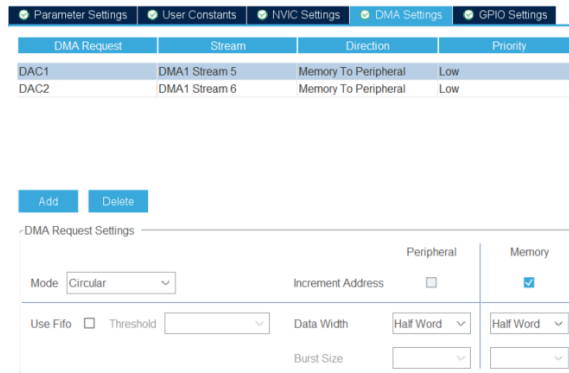


Figura 22: Activación de acceso directo a memoria

7.1.2. Temporizador de propósito general (TIM2)

El primer paso para configurar el temporizador TIM2 consiste en seleccionar la fuente de reloj adecuada, que en este caso corresponde al reloj interno del microcontrolador. Pos-

teriormente, es necesario definir los valores del prescaler (PSC) y del registro de *auto-reload* (ARR). Estos parámetros determinan la frecuencia de salida del temporizador, conforme a la ecuación 7, que establece que la frecuencia de la señal depende directamente de los valores de PSC y ARR, así como del número de muestras utilizadas para generar la señal. Cabe destacar que el TIM2 está conectado al bus APB1, cuya frecuencia máxima de reloj es de 90 MHz, lo que limita la velocidad máxima de operación del temporizador.

Frecuencia (Hz)	PSS	ARR
60	1000	15
100	600	15
150	400	15
200	300	15
300	200	15
600	100	15
1000	60	15
1500	40	15
2000	30	15
3000	20	15

Cuadro 1: Algunas frecuencias establecidas con $n_s = 100$ y $APB1 = 90MHz$

7.1.3. Diseño de algoritmo

El proceso de implementación del algoritmo mediante el entorno STM32CubeIDE comienza con la inicialización de las variables y constantes requeridas para la generación de la señal senoidal. En primer lugar, se define la constante matemática π , y se crean tres arreglos de 100 elementos, cada uno con un tamaño de al menos 16 bits. Dado que la señal senoidal constará de 100 muestras, se puede emplear la ecuación 6 para calcular los valores de cada uno de estos arreglos.

Para generar señales desfasadas, es necesario definir tres arreglos adicionales que representen las señales con desfases de 0, 120 y 240 grados, respectivamente. Estas señales desfasadas son esenciales para calcular ondas senoidales múltiples de manera simultánea, con fases específicas. La función que genera estas señales es responsable de definir tanto la fase como la amplitud de cada onda senoidal.

En términos de amplitud, el DAC integrado en la plataforma opera con una resolución máxima de 12 bits. Mediante experimentación, se determinó que el comportamiento óptimo de los módulos se alcanza cuando la señal varía hasta un máximo de 3V. Por lo tanto, la interpolación de los resultados sugiere que el valor máximo en términos de código digital debe ser 3723. Los arreglos de señales senoidales deben abarcar 100 muestras, lo cual se implementa a través de un ciclo *for* que recorre la ecuación la cantidad de veces correspondiente al número de muestras deseadas.

Con los parámetros establecidos, el ciclo genera arreglos de 100 datos que varían entre 0 y 3723, valores que representan el voltaje de salida en el DAC. Las ecuaciones que definen las señales con sus respectivos desfases son:

$$\text{sen}_{0\text{grados}} = \left(\text{sen} \left(i \cdot \frac{2 \cdot \pi}{100} \right) + 1 \right) \cdot \frac{3723}{2} \quad (8)$$

$$\text{sen}_{120\text{grados}} = \left(\text{sen} \left(i \cdot \frac{2 \cdot \pi}{100} + \frac{2 \cdot \pi}{3} \right) + 1 \right) \cdot \frac{3723}{2} \quad (9)$$

$$\text{sen}_{240\text{grados}} = \left(\text{sen} \left(i \cdot \frac{2 \cdot \pi}{100} + \frac{4 \cdot \pi}{3} \right) + 1 \right) \cdot \frac{3723}{2} \quad (10)$$

Estos arreglos son generados por una función llamada `sine_wave_DAC()`.

Una vez obtenidos los arreglos y configurados todos los parámetros iniciales, el siguiente paso consiste en utilizar las funciones del HAL (*Hardware Abstraction Layer*) para inicializar la transferencia de datos hacia los convertidores DAC. Primero, se habilita el temporizador en modo de conteo básico mediante la función `HAL_TIM_Base_Start(&htim2)`. El puntero del temporizador se genera automáticamente al momento de configurar los periféricos.

Finalmente, se inicia el DAC en modo DMA utilizando la función `HAL_DAC_Start_DMA`, que gestiona la transferencia del arreglo de datos desde la memoria hacia el DAC. Los parámetros de esta función incluyen el puntero del DAC (`&hdac`), el canal del DAC a utilizar (`DAC_CHANNEL_1` o `DAC_CHANNEL_2`), el arreglo de datos que contiene las muestras senoidales (cualquiera de los tres creados anteriormente), la cantidad de datos a enviar, y la alineación de bits (en este proyecto se utilizó una alineación de 12 bits a la derecha o `DAC_ALIGN_12B_R`).

Utilizando el analizador lógico *Logic Pro 16* de la marca Saleae, se obtuvieron los siguientes resultados:

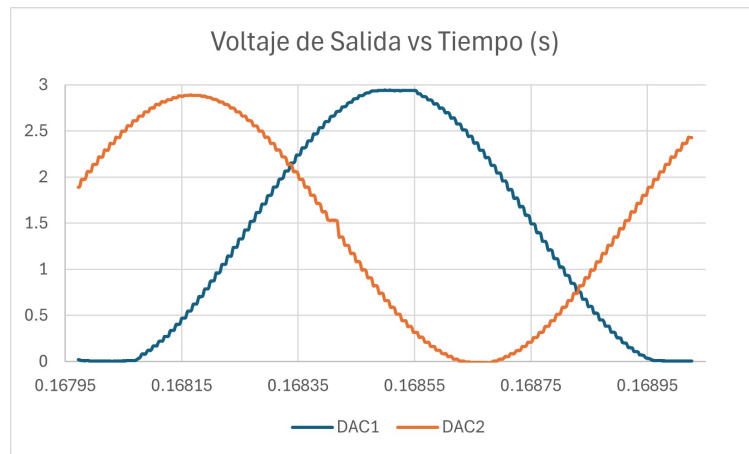


Figura 23: Ciclo completo de ambos canales DAC funcionando

7.2. Convertidor de señales digitales a analógicas (DAC) externo (MCP4921)

7.2.1. Configuraciones iniciales

Para la configuración de la interfaz con el convertidor digital a analógico (DAC) externo MCP4921, que cuenta con una resolución de 12 bits y se conecta a través de la interfaz SPI, es necesario habilitar uno de los canales SPI disponibles en la plataforma NUCLEO-F446RE. La configuración de este canal debe cumplir con las siguientes características:

- Modo: transmisión en modo *Master*, donde la plataforma solamente envía los datos sin necesidad de que haya un envío de vuelta.
- Formato: formato Motorola, compatible con el protocolo de comunicación utilizado por el MCP4921.
- Tamaño de la data: 16 bits, lo cual es necesario para enviar los 12 bits de información y los 4 bits de configuración
- Primer bit: el primer bit transmitido debe ser el más significativo (*MSB*).
- Prescaler: configurado en un valor de 2, para establecer la velocidad máxima permitida.
- Polaridad del reloj: el reloj debe mantenerse en nivel bajo (*low*) cuando esté inactivo.
- Fase del reloj: los datos se muestrean en el primer flanco de subida (*1st edge*) del reloj.

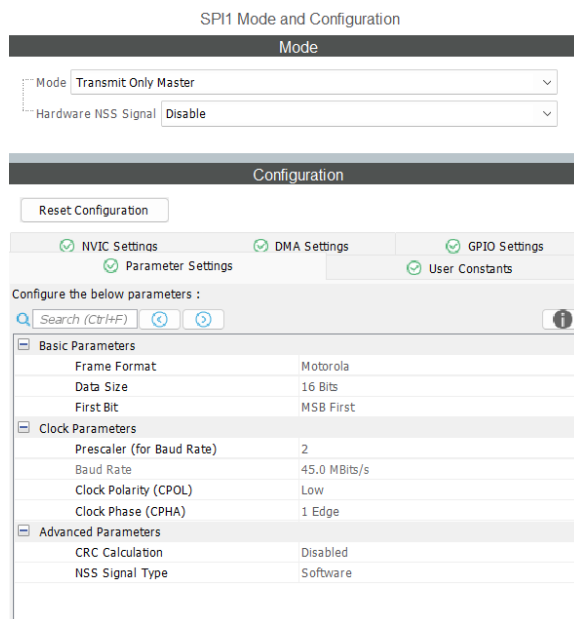


Figura 24: Activación de módulo SPI

SPIx	MOSI	SCK
SPI1	PA7	PB3
SPI2	PC4	PB10
SPI3	PB0	PC10

Cuadro 2: Pines para cada canal de comunicación SPI en la plataforma NUCLEO F446RE

Una vez que el canal del módulo SPI ha sido configurado, se habilita un pin como salida digital, el cual actúa como señal de control para la transferencia de datos. Los datos se transmiten cada vez que este pin presenta un flanco de bajada, es decir, cuando su estado cambia de alto a bajo. Al finalizar la transferencia, el pin vuelve a subir, lo que indica a la interfaz SPI que la transmisión de datos ha concluido correctamente. En el proyecto se utilizó el pin PC7 con este propósito.

7.2.2. Variación de frecuencia (TIM3)

A diferencia del módulo DAC, la variación de la frecuencia al utilizar el protocolo SPI se logra ajustando un tiempo de retraso establecido. En este contexto, el pin PC7 actúa como señal de control de transferencia, y la transmisión de datos se ralentiza a medida que aumenta la demora en el flanco de bajada de dicha señal. Este retraso puede generarse mediante el uso de un contador, integrado con un temporizador de propósito general.

El primer aspecto a considerar es la velocidad del bus APB1, al cual está conectado el temporizador TIM3. La frecuencia máxima de este bus es de 90 MHz, por lo que, al establecer el prescaler (PSC) en un valor de 9, la velocidad efectiva se reduce a 9 MHz. El registro de *auto-reload* (ARR) debe configurarse en su valor máximo, es decir, 0xFFFF en hexadecimal. Esta configuración es esencial para permitir que la función de retraso ofrezca un rango con mayor amplitud de valores, lo que a su vez proporciona mayor flexibilidad en el control del tiempo de transmisión.

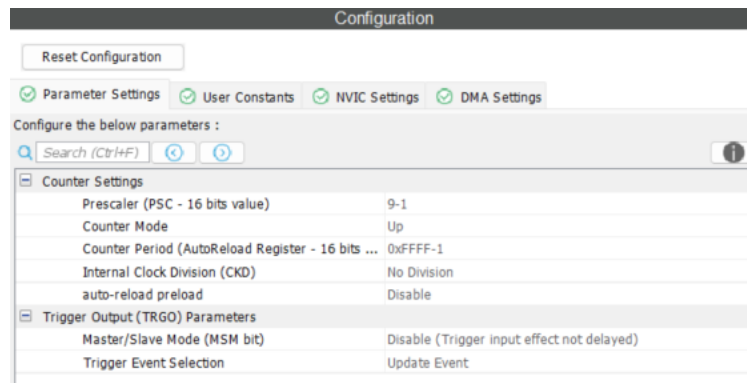


Figura 25: Configuración deL TIM3

Bajo esta lógica, se creó la función `delay_us(uint16_t us)` para generar un retraso controlado menor a los microsegundos. Esta función toma como parámetro un valor entero de 16 bits sin signo (`uint16_t us`), que especifica la cantidad de microsegundos de retraso

deseado.

El primer paso dentro de la función consiste en reiniciar el contador del temporizador mediante la macro `__HAL_TIM_SET_COUNTER(&htim3, 0)`, lo cual asegura que el temporizador comience desde cero. Posteriormente, se emplea un ciclo `while` que permanece activo hasta que el valor del contador (`__HAL_TIM_GET_COUNTER(&htim3)`) alcance el valor especificado por el parámetro `us`. Este ciclo es el encargado de mantener el retardo durante el tiempo indicado.

$$delay_{us} = \frac{APB1}{(PSC + 1)(ARR + 1)} = \frac{90MHz}{(9)(ARR + 1)} = 0.1 \cdot (ARR + 1)us$$

7.2.3. Diseño de algoritmo

Habiendo realizado las conexiones y las funciones mencionadas anteriormente, la estrategia para el envío de datos es similar a la empleada con los *DACs* integrados en la plataforma *NUCLEO F446RE*. El primer paso consiste en crear el arreglo de muestras que servirá para construir la señal senoidal, la cual será enviada a través del protocolo de comunicación *SPI*. No obstante, existe una diferencia clave en el caso del *DAC* MCP4921: este requiere 4 bits de configuración, como se explicó en el Capítulo [6.7](#).

Esto implica que los bits de configuración deben ser concatenados con los datos de la señal a enviar. De acuerdo con el manual del *DAC*, dichos bits de configuración deben ser los primeros en leerse durante la transmisión. Por lo tanto, se realizó un corrimiento de 12 bits hacia la izquierda en el arreglo de la señal, para asegurar que la comunicación se ejecute correctamente.

La configuración utilizada para los bits de control fue la siguiente:

- Bit 15: salida a DAC_A en (0 lógico)
- Bit 14: buffer activado (1 lógico)
- Bit 13: ganancia 1x (1 lógico)
- Bit 12: bajo consumo desactivado (1 lógico)

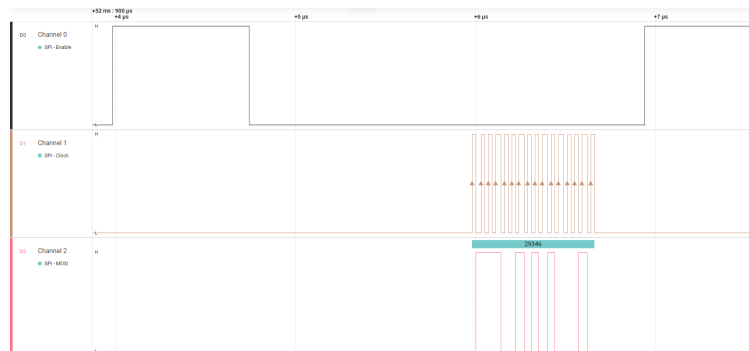


Figura 26: Comportamiento digital del módulo SPI

7.3. Sincronización de señales

Las señales generadas mediante los convertidores digital a analógico (DAC) integrados son gestionadas a través del controlador de acceso directo a memoria (DMA, por sus siglas en inglés). Por otro lado, el DAC MCP4921 controla la señal a través de un cambio de flanco en la señal de selección de chip (*Chip Select*). Ambos DAC emplean temporizadores distintos, lo que introduce una dependencia directa de la sincronización de las señales respecto al tiempo de retraso entre cada transmisión en el protocolo SPI. Como consecuencia de esta discrepancia, las modificaciones en el Registro de Recarga Automática (*ARR*) no logran establecer la frecuencia exacta necesaria para la sincronización del sistema.

Con el objetivo de abordar esta limitación, se propuso la definición de diez frecuencias específicas en las cuales se pudo lograr la sincronización deseada. No obstante, a medida que transcurre el tiempo, el sistema tiende a desfasarse progresivamente en cada ciclo, lo que eventualmente resulta en un desequilibrio de las cargas.

Para garantizar una sincronización constante de las señales, se implementó una solución que consiste en reiniciar los convertidores cada tres ciclos completos. Específicamente, una vez que se realizan tres transmisiones completas de las cien muestras al MCP4921, tanto los convertidores internos como los externos retornan a su configuración inicial. Esta estrategia asegura que la sincronización de las señales se mantenga estable a lo largo del tiempo, evitando desfasajes acumulativos que podrían comprometer el equilibrio del sistema. Esta misma función se ejecuta al momento de utilizar el pulsador, para asegurar que las señales inicien al mismo tiempo con las nuevas configuraciones. Además, para evitar cambios repentinos, se implementó una rutina de antirebote de 150 ms.

Frecuencia (Hz)	PSS (TIM2)	ARR (TIM2)	ARR (TIM3)
60	1000	15	1637
100	600	15	970
150	400	15	637
200	300	15	470
300	200	15	303
600	100	15	137
1000	60	15	68
1500	40	15	33
2000	30	15	21
3000	20	15	2

Cuadro 3: Frecuencias definidas con retraso de envío del SPI

El retraso en esta tabla está definido como:

$$delay_{TIM3} = 0.1 \cdot (ARR_{TIM3} + 1)us$$

Acondicionamiento de circuitos eléctricos

En este capítulo se discute el acondicionamiento de las señales a partir de su generación digital utilizando la plataforma NUCLEO-F446RE. Dentro del acondicionamiento se describen las 3 etapas del circuito: centralización de las señales (amplificadores operacionales), amplificación de voltaje (amplificadores operacionales) y amplificación de corriente (amplificador Clase B con transistores).

8.1. Amplificadores operacionales

Las señales generadas de manera digital oscilan entre 0 y 3 voltios (V). Por tanto, la primera operación consiste en restar 1.5 V para centrar el sistema. Considerando que la alimentación del microcontrolador es de 3.3 V, el divisor de voltaje debe tener una relación de:

$$1.5V = \frac{R_2}{R_1 + R_2}(3.3V)$$
$$1.5V = (0.45)(3.3V)$$

Para toda aquella relación de divisor de voltaje que cumpla los 0.45 se obtendrá el resultado de voltaje deseado. Sin embargo, estos cálculos teóricos se cumplen asumiendo la idealidad de las resistencias, es decir, que su resistividad sea exactamente la esperada. Debido a que no dicho supuesto no será real al momento de construir el circuito, es necesario agregar una resistencia variable que permita asegurar los resultados. Se tomó la decisión de elegir el valor de 1.5 k para R_1 y 1.8 k Ω para R_2 . La resistencia de 1.5 k Ω es un valor disponible con los materiales de la universidad, mientras que 1.8 k Ω no lo es. Por consiguiente, se modeló

la resistencia de $1.8k\Omega$ como dos resistencias en serie: 1 resistencia de $1k\Omega$ y 1 potenciómetro del mismo valor. Para dicho rango de resistencias la relación es:

$$\frac{1.5k\Omega}{1.5k\Omega + 2k\Omega}(3.3V) = 1.41V$$

para el valor máximo del potenciómetro y,

$$\frac{1.5k\Omega}{1.5k\Omega + 1k\Omega}(3.3V) = 1.98V$$

para el valor mínimo.

Este resultado refleja que es posible crear un divisor de voltaje desde los 1.41 hasta 1.98 V. Para calibrar el sistema será necesario que el usuario manualmente configure los potenciómetros hasta obtener los 1.5 V.

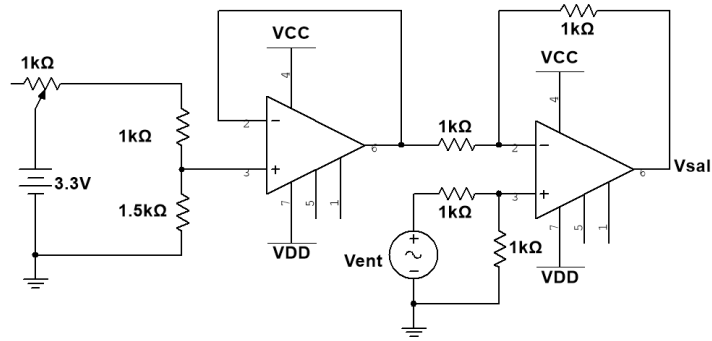


Figura 27: Divisor, seguidor y restador de voltaje con amplificadores operacionales

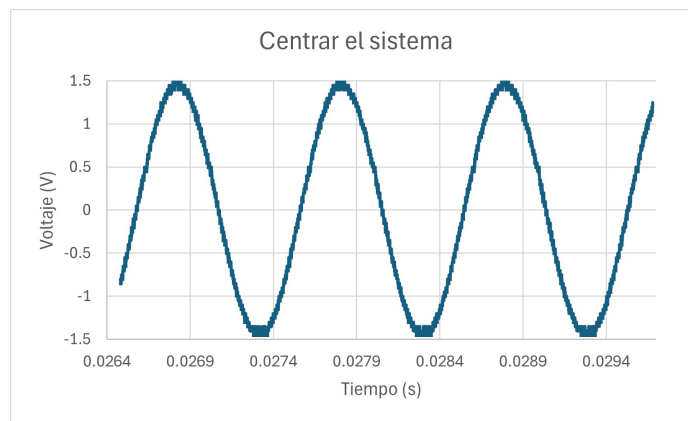


Figura 28: Resultados de centrar el sistema a través de una resta de voltaje

Una vez que el sistema se encuentra centrado en 0 V, sigue una etapa de amplificación de voltaje. Dicha amplificación se construyó con una configuración de amplificador inversor

(ver Figura 7) para que el voltaje de salida sea variable de 1.5 V hasta 9 V pico a pico. Por consiguiente, la relación entre el voltaje de salida debe ser (como la función senoidal es periódica, se omite el signo de la inversión):

$$1.5V = \frac{1k\Omega}{1k\Omega}(1.5V)$$

para el voltaje mínimo y,

$$10.5V = \frac{7k\Omega}{1k\Omega}(1.5V)$$

para el voltaje máximo.

Este rango de voltaje entre 3V hasta 10.5 V se logró conectando una resistencia de $2k\Omega$ en serie con una de resistencia que varíen entre 0 y $5k\Omega$. Dicho potenciómetro es un valor comercial, por lo que teóricamente el valor máximo que la fuente podrá entregar es de:

$$2k\Omega + 5k\Omega = 7k\Omega$$

$$V_{sal} = \frac{7k\Omega}{1k\Omega}(1.5V) = 10.5V$$

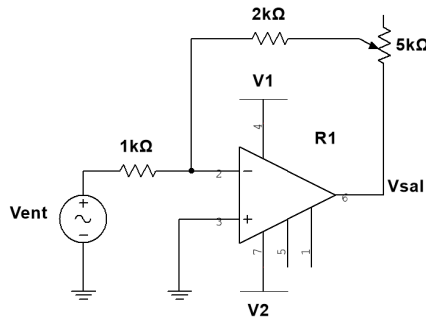


Figura 29: Circuito de amplificación de voltaje

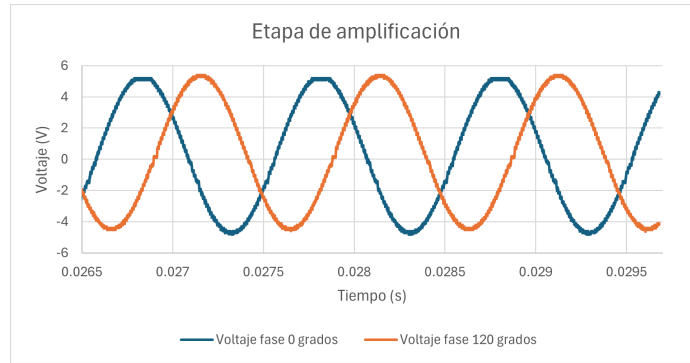


Figura 30: Resultados de etapa de amplificación

Sin embargo, al igual que el caso anterior, dichos cálculos se realizaron asumiendo la idealidad de los componentes. Por esta razón, para garantizar que el sistema entregue 10 V en todas las fases, el voltaje de diseño fue de 10.5 V.

8.2. Circuitos con transistores

La tercera y última fase de acondicionamiento consiste en una amplificación de corriente manteniendo el mismo voltaje de la fase anterior. Se diseñó un circuito tipo Push-Pull (ver Figura 12) en conjunto con un seguidor de voltaje con amplificadores operacionales. Esta combinación de circuitos permite realizar el acople entre fases manteniendo el voltaje en todo momento.

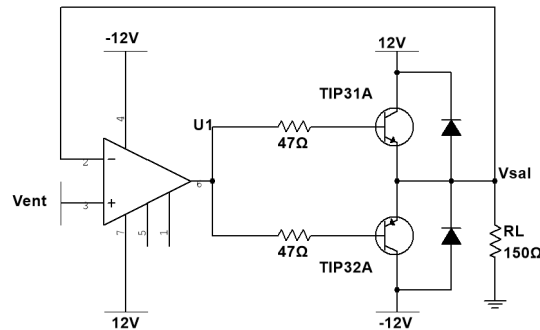


Figura 31: Circuito de amplificación de corriente en conjunto con un seguidor de voltaje

Según la ecuación 4, la corriente que este circuito es capaz de suministrar es:

$$I_{RL} = \frac{10.5V - 0.7V}{150\Omega} \approx 65.3mA$$

La corriente que el circuito es capaz de suministrar es inversa al valor de la resistencia de carga. Para mantener un rango de corriente seguro, el diseño se creó para que como máximo

entregara $100mA$. Por consiguiente, la resistencia mínima de carga que se debe conectar al circuito es de:

$$RL_{min} = \frac{10.5V - 0.7V}{100mA} = 98\Omega$$

Para cualquier valor superior a los $98\ \Omega$ el circuito tendrá una corriente menor a los $100mA$ o operará de manera dentro de los parámetros de diseño. Estos cálculos son válidos tanto para el ciclo positivo y negativo.

El circuito completo resultante para el acondicionamiento de una señal senoidal es:

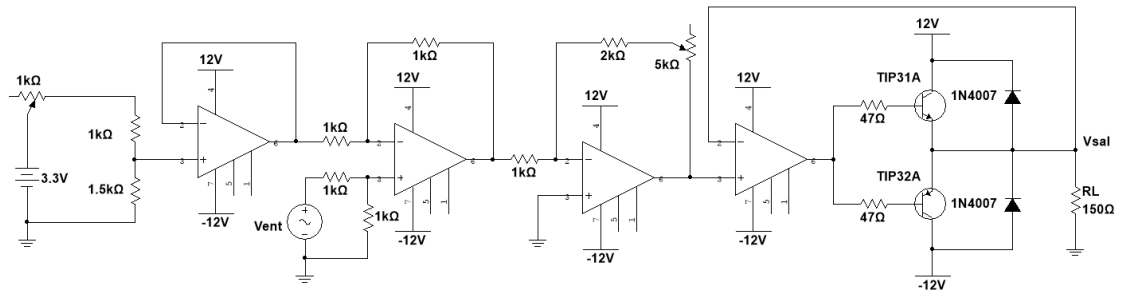


Figura 32: Circuito completo de acondicionamiento de señal senoidal

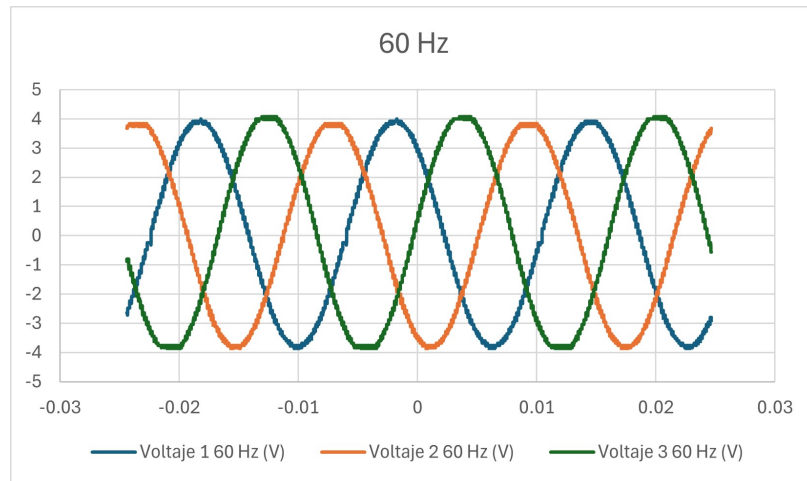


Figura 33: Sistema trifásico a 60 Hz

El resto de resultados se encuentran en el Anexo [14.1](#).

Diseño y fabricación de placa de circuito impreso (PCB)

En este capítulo se discutirá cómo es que las placas de circuitos impresos fueron diseñadas y fabricadas, además de los esquemáticos, componentes utilizados y registro de las conexiones.

Todas las placas fueron creadas utilizando el Software de *Altium Designer*, versión 24.8.2.

El diseño de la fuente trifásica digital se implementó a través de dos placas ensamblables a través de tiras de *pinhead*. La placa inferior está conectada directamente a la plataforma, mientras que la placa superior contiene todos los componentes de acondicionamiento mecánico de señales, así como las salidas de los circuitos. El diseño tiene como base las dimensiones mecánicas de plataforma (ver Figura 14), es decir, se planteó como un proyecto que pudiera integrarse sin necesidad de utilizar cables adicionales. Tomando en cuenta que se trata de una plataforma educativa, el objetivo fue que el usuario tuviera que manipular la mínima cantidad de conexiones posibles.

9.1. Placa inferior

9.1.1. Librerías integradas en Altium Designer

A través de una librería integrada de Altium Designer se crearon todos los componentes necesarios para diseñar y fabricar las placas. Cada uno de estos componentes incluye su representación en los esquemáticos, nombre de los pines, dimensiones mecánicas y modelo 3D. Este paso fue muy importante antes de iniciar los esquemáticos, porque permite ver la apariencia final que tendrán las placas antes de fabricarlas.

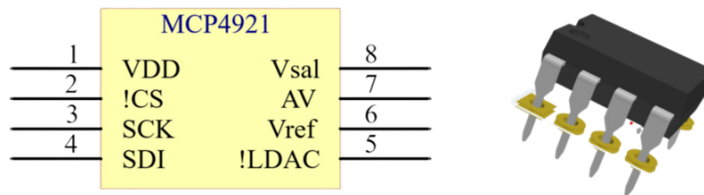


Figura 34: Representación del componente en esquemáticos (izquierda) y representación tridimensional para diseño PCB (derecha) utilizando librerías integradas de Altium Designer

9.1.2. Esquemáticos placa inferior

Ver Anexo [14.2.1](#) para los esquemáticos completos.

En esta placa se incluyeron las conexiones directas entre componentes y la plataforma; alimentación de los circuitos; módulo DAC MCP4921; y el acondicionamiento de dos de las tres señales, exceptuando los circuitos con transistores (ver Sección [8.2](#)).

Sección	Pines	Descripción
DAC NUCLEO-F446RE	PA4 (DAC_OUT1), PA5 (DAC_OUT2)	Salidas de convertidores internos de la plataforma.
DAC MCP4921	PC1 (MOSI), PC7 (!CS), PB10 (SCK)	Conexión de convertidor externo.
Display 7 segmentos	PB4 (A), PB5 (B), PB3 (C), PA10 (D), PB14 (E), PB13 (F), PC4 (G)	Señal senoidal de entrada 1 (TL084).
Pulsador	PA6	Cambiar la frecuencia del sistema.

Cuadro 4: Pines de la plataforma NUCLEO-F446RE utilizados para el desarrollo del proyecto

Durante el proceso de acondicionamiento de las señales, se empleó un conjunto de amplificadores operacionales en cascada, requiriendo un total de 12 dispositivos (4 por cada señal). Este enfoque presentó desafíos significativos en el diseño del PCB, ya que la gran cantidad de conexiones y componentes necesarios incrementaba la complejidad de fabricación y el espacio ocupado. Para optimizar el diseño y reducir la cantidad de componentes y conexiones, se optó por utilizar circuitos integrados que incluyen múltiples amplificadores operacionales. En particular, se seleccionaron los modelos TL084 y LM324, los cuales integran cuatro amplificadores operacionales en cada encapsulado y requieren únicamente dos pines de alimentación. La cantidad total de pines se redujo de 96 (12 OPAMP de 8 pines) a 42 (4 integrados de 14 pines).

Primera señal senoidal

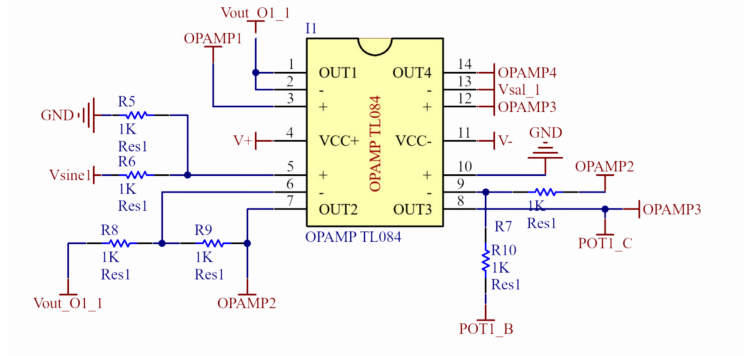


Figura 35: Fragmento de esquemáticos con la adaptación del acondicionamiento utilizando TL084

Los componentes necesarios para la construcción de esta placa son:

Componente	Cantidad
Resistencia 1kΩ 1/2W	12
Resistencia 2kΩ 1/2W	2
Resistencia 1.5kΩ 1/2W	2
Integrado TL084	2
Header hembra 6 pin	3
Header hembra 7 pin	1
Header hembra 19 pin	4
Bornera desmontable 3 terminales	1
DAC MCP4921	1
NUCLEO-F446RE	1

Cuadro 5: Componentes utilizados en los esquemáticos del PCB inferior

9.1.3. Diseño y fabricación de PCB inferior

Reglas Altium Designer

El primer paso para fabricar la placa fue definir las reglas de diseño. Estas reglas son importantes para que todas las conexiones funcionen correctamente al momento de soldar. Según ANSI IPC-2221A PCB Trace Width Calculator, el ancho mínimo de pista (*trace width*, en inglés) de las placas debe de ser de aproximadamente 15.77 mil o 0.4 mm para una corriente de 1 A y 12 V pico. Esta corriente se tomó como una medida de precaución, ya que las fuentes de poder del departamento por defecto entregan esta corriente máxima.

ANSI PCB TRACE WIDTH CALCULATOR							
Input Data			Results Data				
Field	Value	Units	Trace Data	Value	Units	Value	Units
Current (max. 35A)	1	Amps	Required Trace Width	15.77	mil	6.06	mil
Temperature Rise (max. 100°C)	10	°C	Cross-section Area	42.39	mil ²	16.3	mil ²
Cu thickness	2	oz/ft ²	Resistance	0.02	Ω Ohms	0.04	Ω Ohms
Ambient Temperature	25	°C	Voltage Drop	0.02	Volts	0.04	Volts
Conductor Length	1	inches	Loss	0.02	Watts	0.04	Watts
Peak Voltage	12	Volts	Required Track Clearance	25.4	mil		

Figura 36: Estimación de alto de pista para placas de circuito impreso

Sin embargo, bajo recomendación del taller de fabricación del departamento, se recomendó utilizar un ancho de 25 o 30 mil. La razón es, que al aumentar el área a través del ancho, las pérdidas de voltaje no serán significativas sin importar el largo de la conexión. Si se quisiera optimizar el espacio de cada *track*, será necesario calcular la corriente y el diferencial de tensión en cada uno de los nodos. Para este diseño, se utilizaron anchos de 30 mil para todas las conexiones de alimentación y 25 mil para el resto.

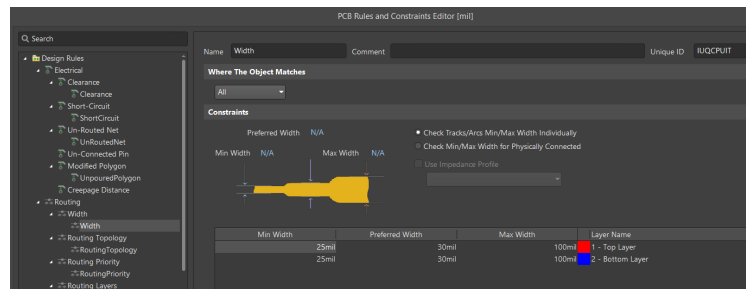


Figura 37: Alto de pista en Altium Designer

La siguiente regla fue el ancho de los agujeros, almohadillas *pads* y vías. Esta regla depende directamente del fabricante. Para el laboratorio del departamento, el ancho mínimo es de 0.4 mm (15.75 mil) y máximo de 3.0 mm (118.11 mil). El criterio de diseño fue: el tamaño del *pad* debe ser de al menos el doble del diámetro del agujero. Los agujeros más pequeños fueron las resistencias, con un tamaño de 0.8 mm. Todas las resistencias utilizadas fueron de 1/2 W, ya que son las que coinciden con el largo exacto del componente. Ahora bien, los agujeros más grandes fueron las borneras, con un diámetro de 1.4 mm.

La tercera regla estuvo relacionada con el espacio mínimo que se debe tener entre componentes y agujeros. La distinta mínima recomendada es de 2.54 mm. Como referencia, es el espacio que existe entre dos agujeros en una placa de pruebas (*protoboard* o *breadboard*). La importancia de esta regla radica en que este es el estándar para una gran variedad de integrados no superficiales, además que el espacio para la soldadura es suficiente para evitar conexiones indeseadas.

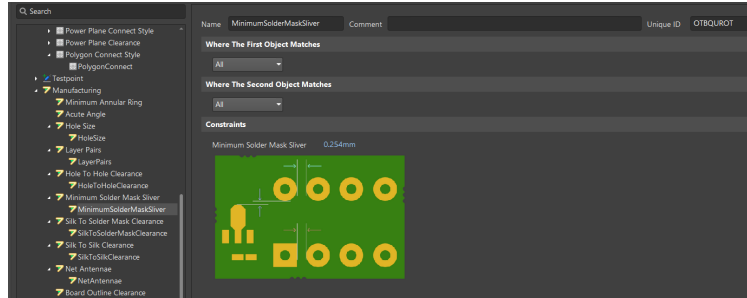


Figura 38: Distancia entre agujeros y componentes en Altium Designer

Diseño de la placa

Una vez fueron definidas las reglas, se inició el proceso de diseño de la placa. El PCB inferior es de doble capa con dimensiones de 82 x 94 mm. Como se mencionó anteriormente, estas dimensiones están basadas en una aproximación de la plataforma. El primer componente en ser colocado fueron los agujeros de la plataforma, siendo el que ocupa más espacio. Después, se colocaron los integrados TL084 de tal forma que las resistencias estén en su mayoría en los extremos, buscando aprovechar al máximo el espacio interno de la placa para todas las demás conexiones. Después, se colocó el DAC MCP4921 cerca de la mayoría de pines correspondientes a su conexión para optimizar el espacio.

Las conexiones entre placas a través de tiras de pines se administraron según la ubicación de distintos componentes y su relación con el circuito en general. En primer lugar, se colocó una tira de pines justo al lado de la bornera desmontable de alimentación. En este primer componente se incluyeron todos los voltajes de alimentación (V_- , V_+ , 3V3, GND), la salida del pin PA4 (DAC_OUT1) y el pin que controla el pulsador.

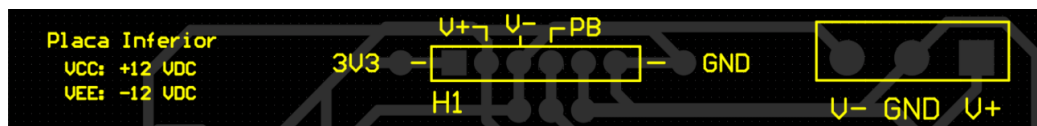


Figura 39: Conexiones de alimentación y demás componentes entre placas

Cada uno de los integrados TL084 están relacionados con una tira de 6 pines distinta. Las conexiones de estos son: 2 pines para modular el *offset*, 2 pines para modular la amplificación, 1 pin para la entrada del circuito Push-Pull y 1 pin para el seguidor de voltaje con la salida final del circuito. Por último, se incluyó una última tira de 7 pines para conectar todas las salidas digitales destinadas a mostrar el número del Display de 7 segmentos.

Importante: las tiras de pines de esta placa deben soldarse en la capa inferior (*bottom layer*)

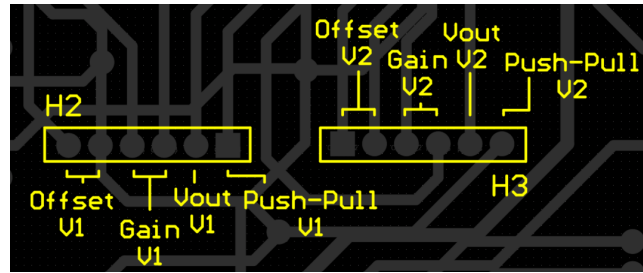


Figura 40: Conexiones para acondicionamiento mecánico de circuitos entre placas

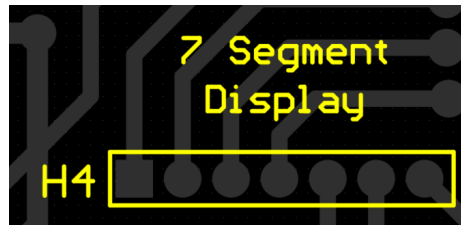


Figura 41: Conexiones para modificar el valor del *display* entre placas

Este diseño permite medir las resistencias variables de las placas e aislar cada una de las etapas. Dicha medida se tomó si posteriormente se necesita examinar alguna sección defectuosa de los circuitos.

Cada una de las capas diseñadas se encuentran en el Anexo [14.3.1](#).

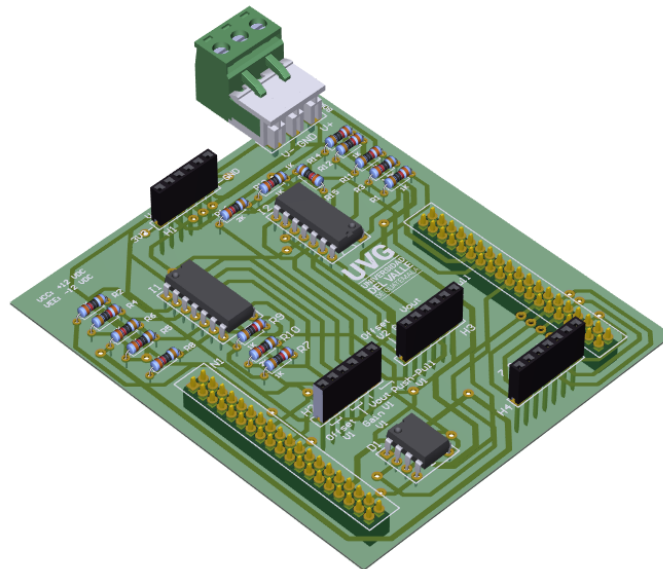


Figura 42: Vista 3D isométrica de capa inferior

9.2. Placa superior

9.2.1. Esquemáticos placa superior

En esta placa fueron incluidos todos los circuitos Push-Pull, potenciómetros con perilla, potenciómetros de ajuste (*trimpot*), pulsador, display de 7 segmentos, acondicionamiento completo de la tercera señal y la bornera desmontable de 4 pines para medición de salidas. Cada uno de los circuitos está separado por secciones en el esquemático (ver Anexo [14.2.2](#)).

Los componentes necesarios para la construcción de esta placa son:

Componente	Cantidad
Resistencia $1k\Omega$ 1/2W	6
Resistencia $2k\Omega$ 1/2W	1
Resistencia $1.5k\Omega$ 1/2W	1
Resistencia 47Ω 1/2W	6
Resistencia 330Ω 1/2W	1
Potenciómetro $5k\Omega$	3
Trimpot $1k\Omega$	3
Integrado TL084	1
Header macho 6 pin	3
Header macho 7 pin	1
TIP31C	3
TIP32C	3
Diodo rectificador 1N4007	6
Display 7 segmentos cátodo común	1
Bornera desmontable 4 terminales	1
Pulsador NA 4 pines 12mm	1

Cuadro 6: Componentes utilizados en los esquemáticos del PCB superior

9.2.2. Diseño y fabricación de PCB superior

Esta placa fue diseñada para que el usuario pueda variar la amplitud y desfase de todas las señales de forma mecánica. Para la el acondicionamiento de la amplitud se utilizaron potenciómetros con perilla, mientras que para el corrimiento vertical de la señal se utilizaron trimpot. De esta forma, solamente es necesario realizar el corrimiento una vez se haya terminado el proceso de soldadura.

Se utilizaron las mismas dimensiones y reglas de diseño que en la placa inferior (ver Sección [9.1.3](#)). Estas placas también comparten la posición y cantidad de tiras de pines mencionadas anteriormente para que sean encajables entre sí. Ahora bien, se decidió construir todos los circuitos Push-Pull en esta placa debido a la altura de los transistores. Además, es una medida de protección para evitar el sobrecalentamiento de los mismos.

Los trimpot se ubican del lado izquierdo, mientras que los potenciómetros están del lado derecho de la placa. El acondicionamiento de cada lineal está alineado, es decir, el primer

trimpot, potenciómetro y la primera salida de la bornera coinciden con la misma señal. En la parte inferior de la placa se encuentra el display de 7 segmentos y justo arriba está instalado el pulsador.

En cuanto a la *top overlay*, la tabla de frecuencias también está descrita al lado del display para que el usuario pueda observar en qué frecuencia de operación se encuentra. También se describe la polaridad de los diodos, el valor de cada una de las resistencias y el modelo de transistor que debe utilizar (ver más información en el Anexo [14.2.2](#)). Por último, las salidas están señaladas al lado de cada uno de las entradas de la bornera.

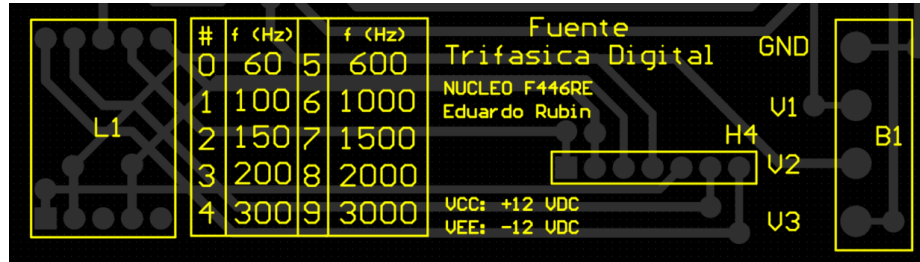


Figura 43: Tabla de frecuencias y señalización de salidas en capa superior

Importante: las tiras de pines de esta placa deben soldarse en la capa superior (*top layer*).

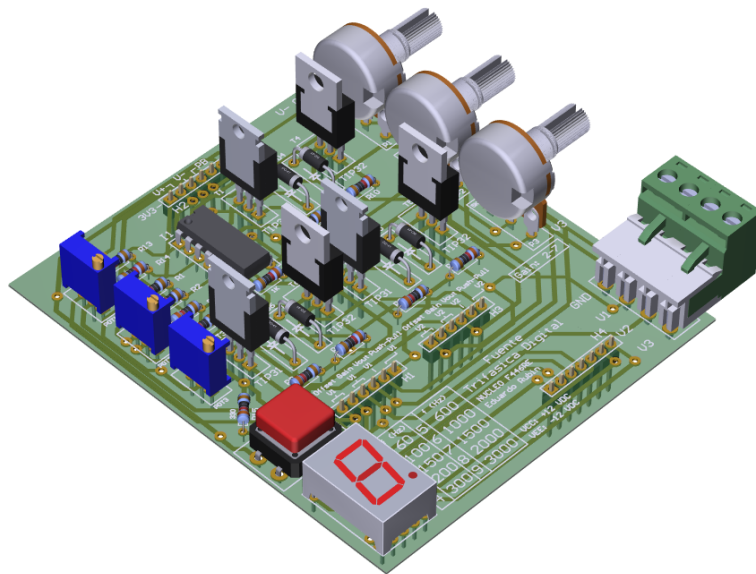


Figura 44: Vista 3D isométrica de capa superior

9.3. Costos de fabricación y resultado final

9.3.1. Costos de fabricación

Como primera iteración se fabricaron las placas en el laboratorio de la universidad. Sin embargo, para la presentación final se cotizó con el proveedor JLCPCB. Los costos de fabricación, con envío a Estados Unidos fueron los siguientes:

Descripción	Costo (USD)
Placa Inferior (5 piezas)	9.30
Placa Superior (5 piezas)	11.30
Envío UPS (2-4 días hábiles)	9.08
Subtotal (sin impuestos)	29.68

Cuadro 7: Resumen de costos

Tomando como tasa de cambio $Q7.72 = \$1.00$, el costo aproximado de fabricación de 5 conjuntos de placas es de Q229.13, por lo que el costo unitario es de Q45.83.

Ahora bien, el costo de todos los componentes fue:

Componente	Cantidad	Costo (GTQ)
Resistencia 1k Ω 1/2W	18	18.00
Resistencia 2k Ω 1/2W	3	3.00
Resistencia 1.5k Ω 1/2W	3	3.00
Resistencia 47 Ω 1/2W	6	1.00
Resistencia 330 Ω 1/2W	1	1.00
Potenciómetro 5k Ω	3	5.00
Trimpot 1k Ω	3	11.25
Integrado TL084	3	18.00
Tira de pinhead hembra 2x40 pines	1	9.00
Tira de pinhead macho 40 pines	1	3.00
Tira de pinhead hembra 40 pines	1	3.00
TIP31C	3	21.00
TIP32C	3	21.00
Diodo rectificador 1N4007	6	4.50
Display 7 segmentos cátodo común	1	5.00
Bornera desmontable 3 contactos	1	5.00
Bornera desmontable 4 contactos	1	6.00
Pulsador NA 4 pines 12mm	1	4.75
Base para IC de 14 pines	3	3.75
Base para IC de 8 pines	3	1.00
DAC MCP4921 (no disponible en Guatemala)	1	21.69
NUCLEO-F446RE (no disponible en Guatemala)	1	114.64

Cuadro 8: Costos totales de fabricación de Fuente Trifásica Digital.

El costo total de fabricar la fuente trifásica digital es de Q329.21. Sin embargo, tomando en cuenta que los integrados TL082, MCP4921 y la plataforma NUCLEO-F446RE son ensamblables, el costo del proyecto es de Q174.88. Todos estos precios se hicieron asumiendo compras de pocas unidades, por lo que el costo varía según el volumen de fabricación. Tampoco se tomaron en cuenta los costos del equipo de soldadura.



Figura 45: Ensamblaje físico final fuente trifásica digital

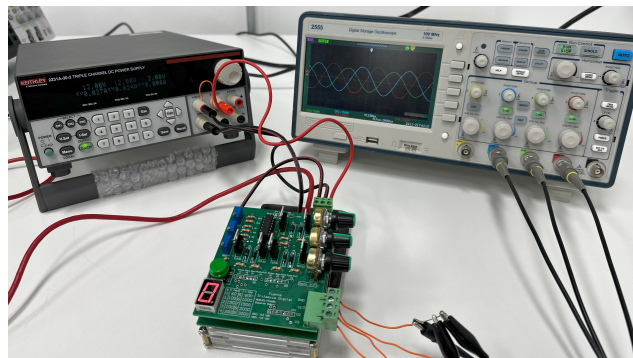


Figura 46: Funcionamiento físico del proyecto

CAPÍTULO 10

Manual de usuario

Para garantizar el uso adecuado de la plataforma, se desarrolló un manual que recopila todas las recomendaciones e indicaciones necesarias para su correcta operación. Este documento incluye una descripción detallada de las generalidades de la placa, así como la compatibilidad de los módulos removibles, entre los que se destacan la plataforma base, los convertidores digital a analógico (DAC) y los integrados de amplificadores operacionales.

Además, se proporcionan instrucciones específicas para la conexión de la alimentación eléctrica, asegurando que el usuario comprenda los pasos necesarios para una instalación segura y eficiente. Asimismo, se incluyen directrices claras sobre el ensamblaje de los componentes, con el objetivo de facilitar su integración en el sistema.

El manual también especifica el tipo de cable recomendado para la conexión de la plataforma, junto con los valores de voltaje sugeridos. Estas recomendaciones están diseñadas para prevenir problemas como el sobrecalentamiento y garantizar la durabilidad del proyecto en su conjunto. De este modo, el manual constituye una herramienta integral para optimizar el funcionamiento y la vida útil de la plataforma.

El manual completo se encuentra en el Anexo [14.4](#).

- Las 3 señales senoidales de la fuente trifásica digital se generaron a través de 3 convertidores digitales a analógicos con resolución de 12 bits (2 internos de la plataforma y 1 integrado MCP4921 con conexión SPI), arreglos de datos de 100 muestras y temporizadores de uso general para la sincronización.
- El acondicionamiento de las señales se implementó en 3 etapas: una resta de voltaje para centrar la señal según la referencia deseada y una amplificación con una ganancia de 2 a 7, obteniendo una amplitud teórica máxima de 10.5 V.
- La construcción y diseño del proyecto se definió con dos placas de circuito impreso (PCB) ensamblables entre sí y la plataforma NUCLEO-F446RE. Adicionalmente, las conexiones de alimentación y medición se implementaron a través de borneras desmontables.
- El manual de usuario menciona la compatibilidad de los componentes, los voltajes de alimentación y la correcta conexión del proyecto en general.

1. Evaluación de módulos DAC alternativos

El integrado MCP4921 presenta limitaciones debido a su dependencia de un flanco negativo del *chip select* para iniciar la transferencia de datos. Esta característica genera problemas de sincronización e inconsistencias al operar a altas frecuencias. Para mitigar estas dificultades, se recomienda investigar e implementar módulos DAC con protocolos de comunicación distintos y mayor capacidad de transferencia de datos. Algunos modelos que podrían ser considerados incluyen:

- MCP4725 (microchip): DAC de 12 bits con una interfaz I²C que elimina la necesidad de señales como *Chip Select*, facilitando la integración y reduciendo el tiempo de latencia en la transferencia de datos.
- AD5683R (analog devices): DAC de 16 bits con I²C, ideal para aplicaciones que requieren alta precisión y velocidad en la conversión digital a analógica.
- MAX5815 (maxim integrated): módulo DAC con interfaz SPI que incluye características de autoajuste de referencia y baja deriva térmica.

Estos módulos ofrecen mayores tasas de transferencia y una arquitectura que minimiza problemas de sincronización en comparación con el MCP4921. Su integración podría mejorar la estabilidad del sistema y facilitar la operación a frecuencias más elevadas.

2. Optimización del control de frecuencia mediante componentes adicionales

Actualmente, el sistema utiliza un pulsador para ajustar la frecuencia, lo cual limita la precisión y versatilidad del ajuste. Se recomienda sustituir este método por componentes que permitan un control más dinámico y preciso, como un potenciómetro acoplado a una pantalla LCD o un teclado numérico matricial.

- Pantalla LCD con potenciómetro: un potenciómetro conectado a una entrada analógica del microcontrolador puede ser utilizado para variar la frecuencia en tiempo real. La integración de una pantalla LCD (por ejemplo, modelos como el 16x2 con comunicación I²C) permitirá visualizar la frecuencia actual de manera precisa, facilitando el ajuste por parte del usuario.

- Teclado matricial numérico: una alternativa más avanzada sería emplear un teclado matricial de 4x4 conectado mediante un protocolo de comunicación (como I²C o SPI) para ingresar directamente el valor deseado de frecuencia. Este enfoque ofrece mayor flexibilidad y elimina la dependencia de ajustes incrementales con el pulsador.

Estas modificaciones no solo mejorarán la experiencia del usuario, sino que también permitirán un control más preciso y eficiente de las variaciones en la frecuencia del sistema.

3. Desarrollo de una interfaz gráfica basada en Python

Una solución innovadora para eliminar la necesidad de actuadores mecánicos en el sistema es la creación de una interfaz gráfica desarrollada en Python. Esta interfaz permitiría al usuario interactuar con el sistema de manera digital, facilitando el envío de datos al microcontrolador sin la dependencia de componentes físicos. Algunas características clave de la interfaz gráfica podrían incluir:

- Control de parámetros: la interfaz debería permitir el ajuste de frecuencia, la configuración de señales y la monitorización de parámetros en tiempo real.
- Comunicación serial: mediante bibliotecas como `pySerial`, se puede establecer una comunicación fluida entre el microcontrolador y la computadora.
- Diseño interactivo: herramientas como `Tkinter` o `PyQt` pueden ser utilizadas para desarrollar una interfaz atractiva y funcional que integre elementos gráficos como sliders, botones virtuales y cuadros de texto para el ingreso de valores.
- Compatibilidad multiplataforma: el uso de Python garantiza que la solución sea adaptable a diferentes sistemas operativos, ampliando su versatilidad.

Esta implementación no solo modernizará el sistema, sino que también aumentará su escalabilidad al permitir la integración de nuevos módulos o funciones mediante actualizaciones de software, sin necesidad de modificaciones en el hardware físico.

-
- [1] J. Villafuerte, “Evaluación de la Plataforma Nucleo64 F446RE para su implementación en cursos del departamento de ingeniería Electrónica, Mecatrónica y Biomédica.,” Tesis de Licenciatura, Universidad del Valle de Guatemala, 2023.
 - [2] U. Rossell, “Diseño e implementación de Kit de laboratorio a partir de STM32 con arquitectura ARM,” Tesis de Licenciatura, Universidad Politécnica de Cataluña, 2021.
 - [3] J. Montúfar, “Diseño de plataforma electrónica de pruebas para la implementación de los módulos GPIO, PWM, UART, I2C, I2S y SPI de la Raspberry Pi 3B+,” Tesis de Licenciatura, Universidad del Valle de Guatemala, 2023.
 - [4] M. Chapman, “Development of a Low Voltage Three Phase Power Supply for Educational Use,” Bachelor of Engineering, Murdoch University, 2013.
 - [5] W. Hayt Jr, J. Kemmerly y S. Durbin, “Características de las senoidales,” en *Análisis de circuitos en ingeniería*, McGraw Hill, 2012, págs. 371-372.
 - [6] W. Hayt Jr, J. Kemmerly y S. Durbin, “Sistemas Polifásicos,” en *Análisis de circuitos en ingeniería*, McGraw Hill, 2012, pág. 458.
 - [7] N. Semiconductor, “TL081 Wide Bandwidth JFET Input Operational Amplifier,” en *TL081 Datasheet*, 1995, págs. 1-9.
 - [8] R. Boylestad y L. Nashelsky, “DC Biasing - BJTs,” en *Electronic Devices and Circuit Theory*, 2011, págs. 160-161.
 - [9] R. Boylestad y L. Nashelsky, “Complementary-Symmetry Circuits,” en *Electronic Devices and Circuit Theory*, 2011, págs. 701-702.
 - [10] STMicroelectronics, “High-performance foundation line, Arm Cortex-M4 core with DSP and FPU, 512 Kbytes of Flash memory, 180 MHz CPU, ART Accelerator, Dual QSPI,” en <https://www.st.com/en/microcontrollers-microprocessors/stm32f446re.html>.
 - [11] STMicroelectronics, “Direct Memory Access Controller (DMA),” en *RM0390 Reference Manual*, 2021, págs. 203-205.
 - [12] P. Horowitz y W. Hill, “Digital-to-analog converters,” en *The Art of Electronics*, Cambridge University Press, 2015, págs. 881-882.

- [13] STMicroelectronics, “Digital-to-analog converter (DAC),” en *Datasheet STM32F446xC/E*, pág. 38.
- [14] STMicroelectronics, “General-purpose timers (TIM2 to TIM5),” en *RM0390 Reference manual*.
- [15] STMicroelectronics, “Using the DAC to generate a sine waveform,” en *AN3126 Application note*, págs. 14-16.

14.1. Resultados finales

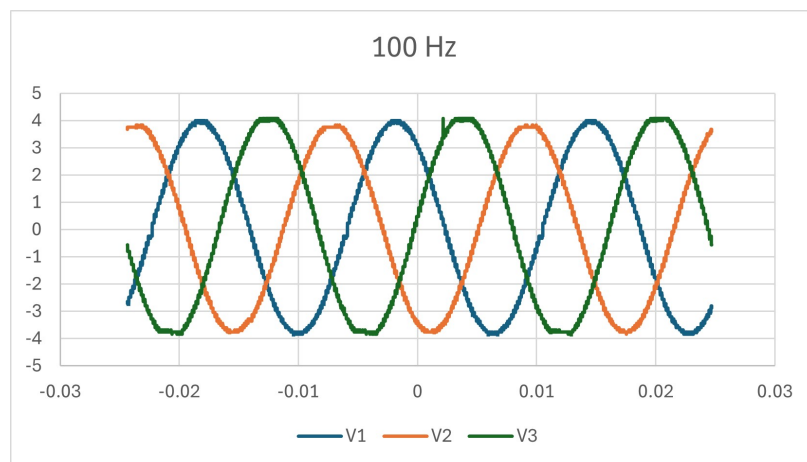


Figura 47: Sistema trifásico a 100 Hz

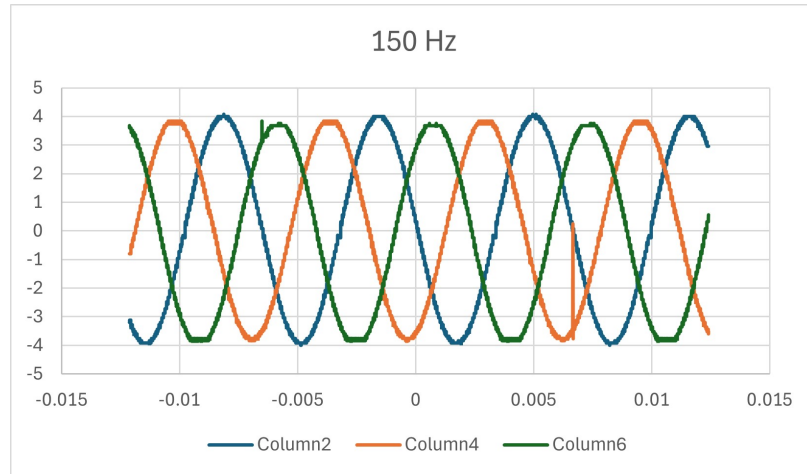


Figura 48: Sistema trifásico a 150 Hz

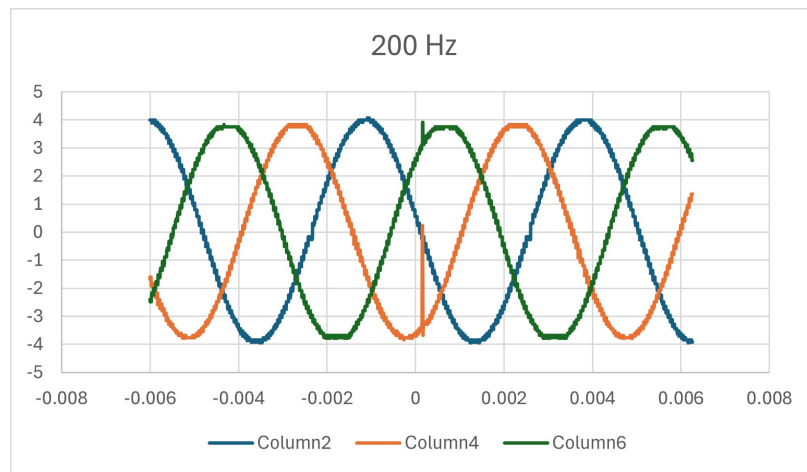


Figura 49: Sistema trifásico a 200 Hz

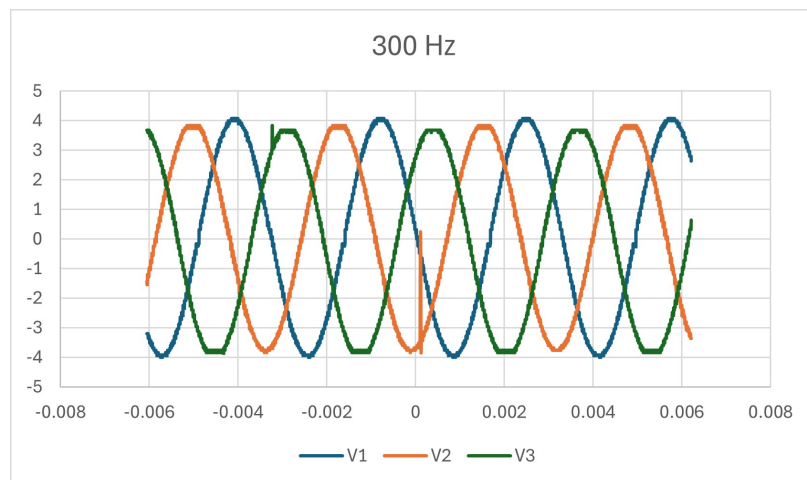


Figura 50: Sistema trifásico a 300 Hz

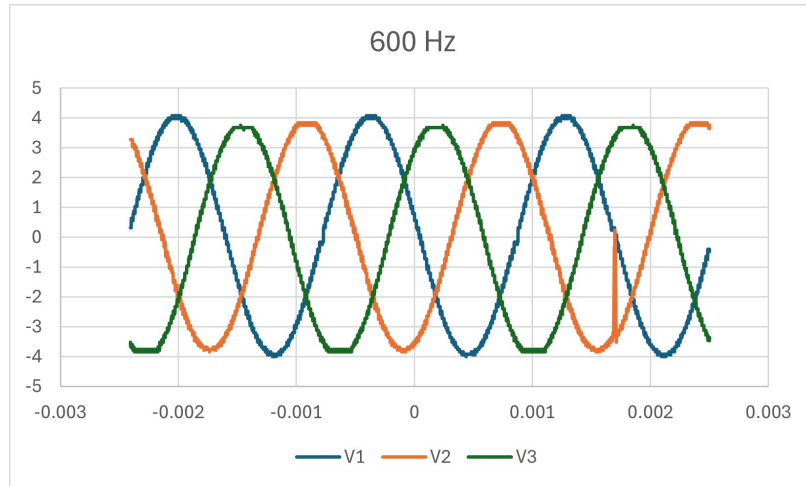


Figura 51: Sistema trifásico a 600 Hz

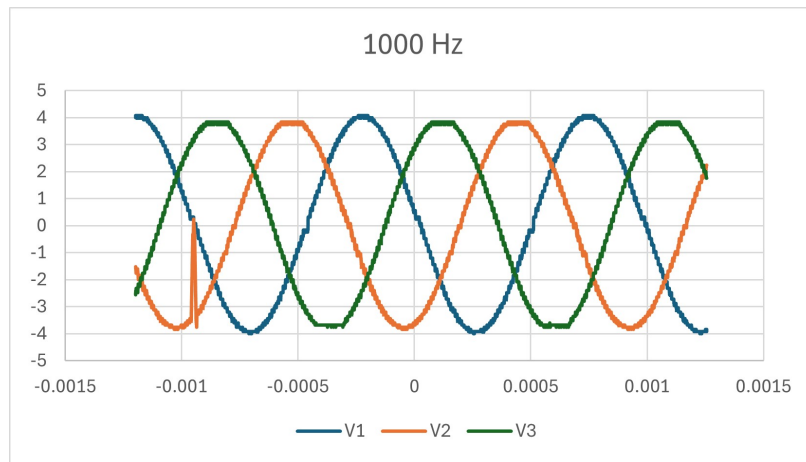


Figura 52: Sistema trifásico a 1000 Hz

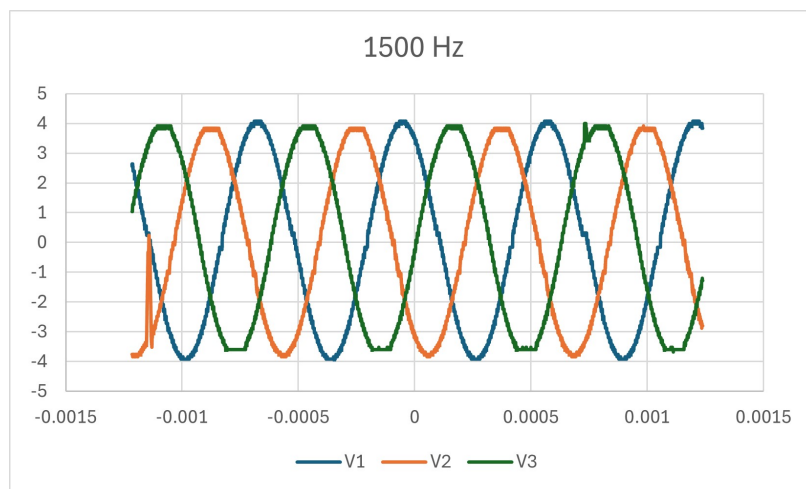


Figura 53: Sistema trifásico a 1500 Hz

14.2.2. Placa superior

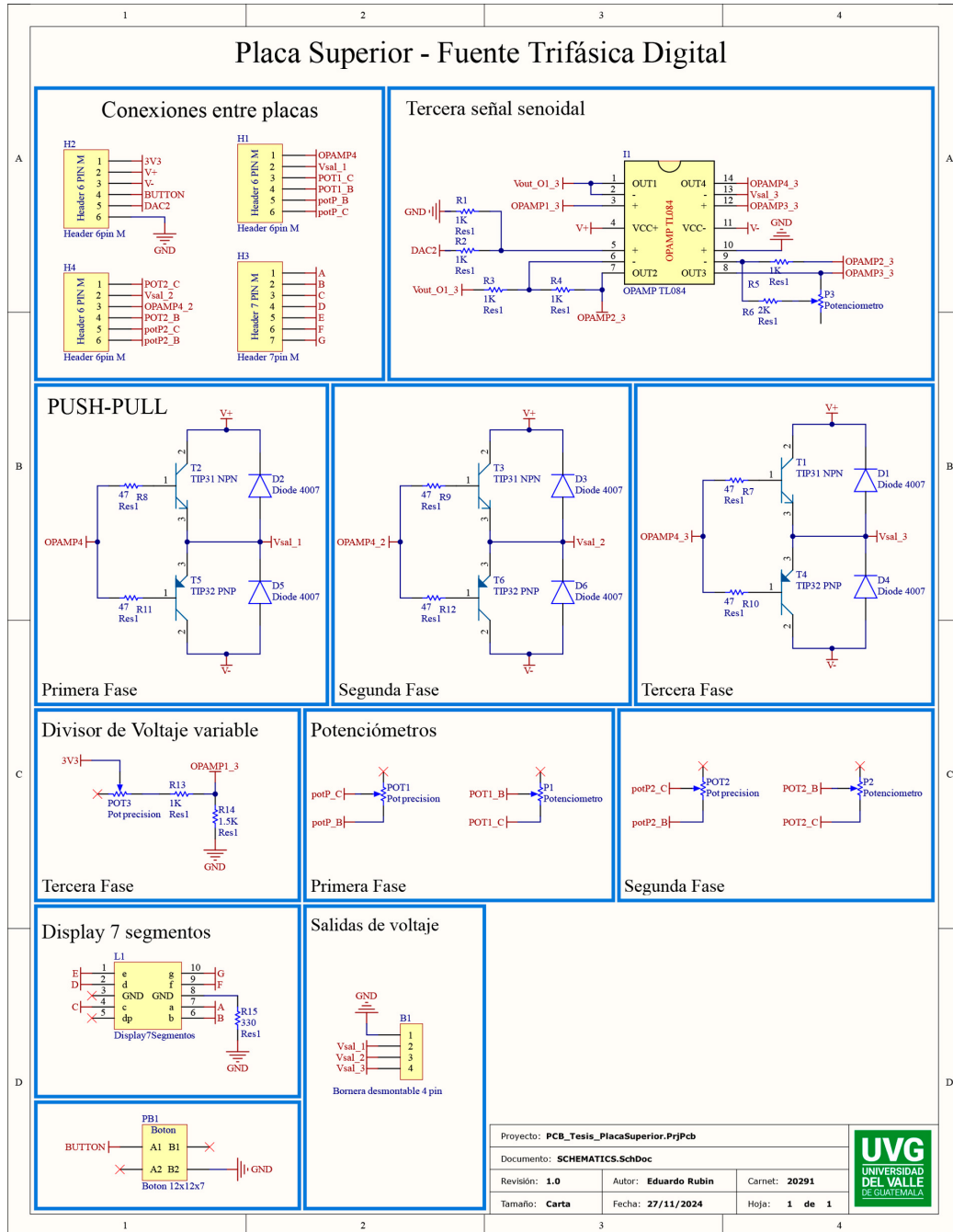


Figura 55: Esquemático completo placa superior

14.3. Placa de circuito impreso (PCB)

14.3.1. Placa inferior

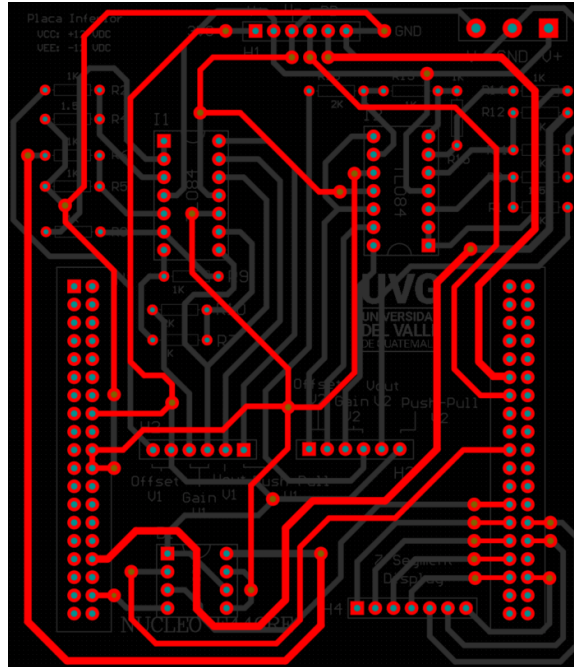


Figura 56: *Top layer* placa inferior

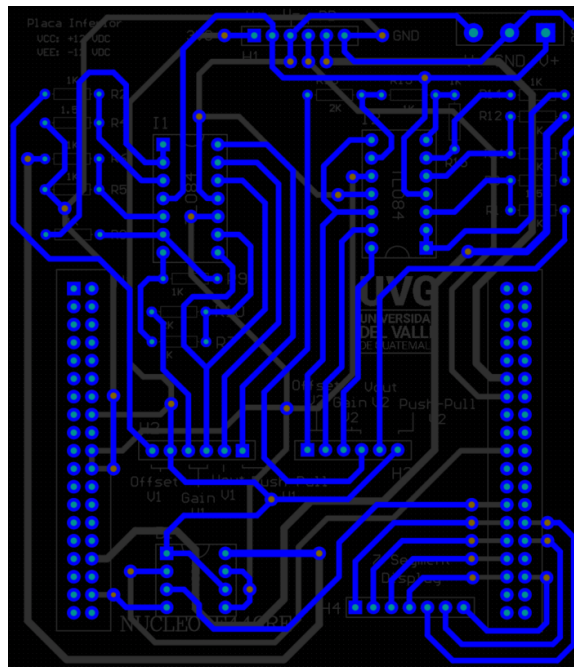


Figura 57: *Bottom layer* placa inferior

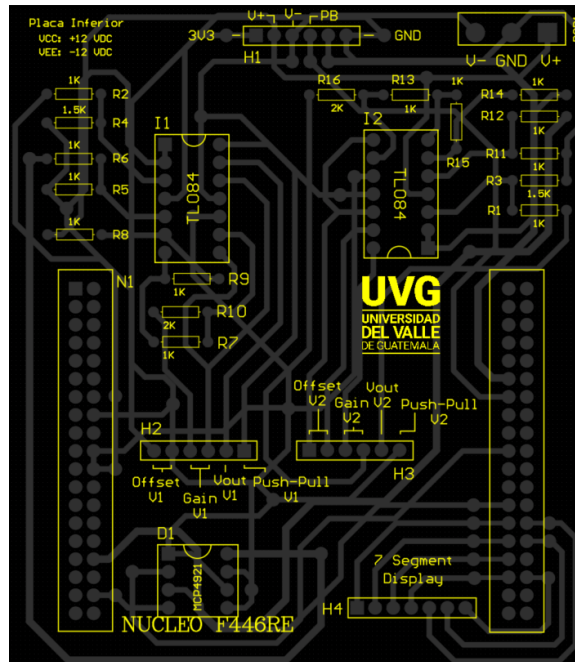


Figura 58: *Top overlay* placa inferior

14.3.2. Placa superior

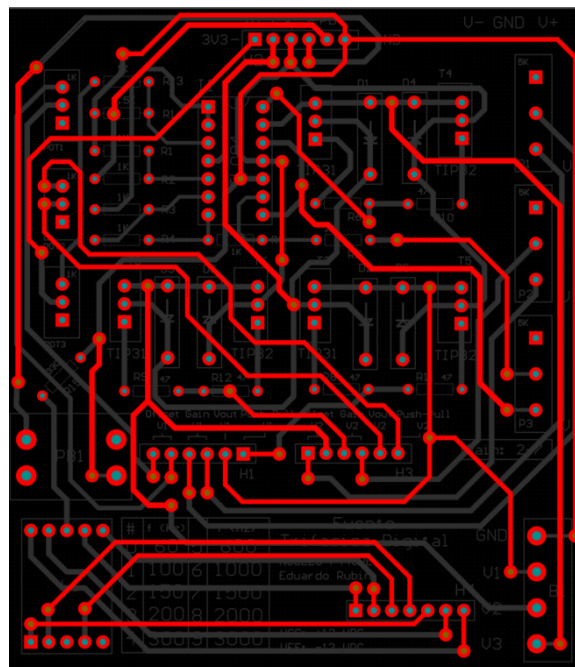


Figura 59: *Top layer* placa superior

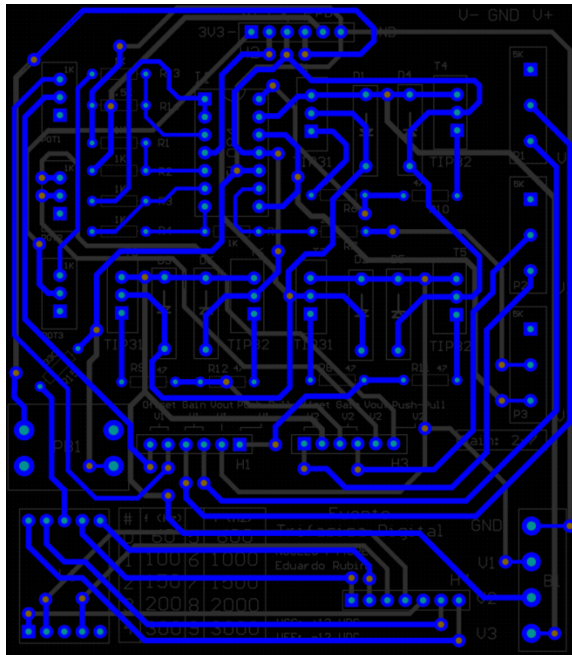


Figura 60: *Bottom layer* placa superior

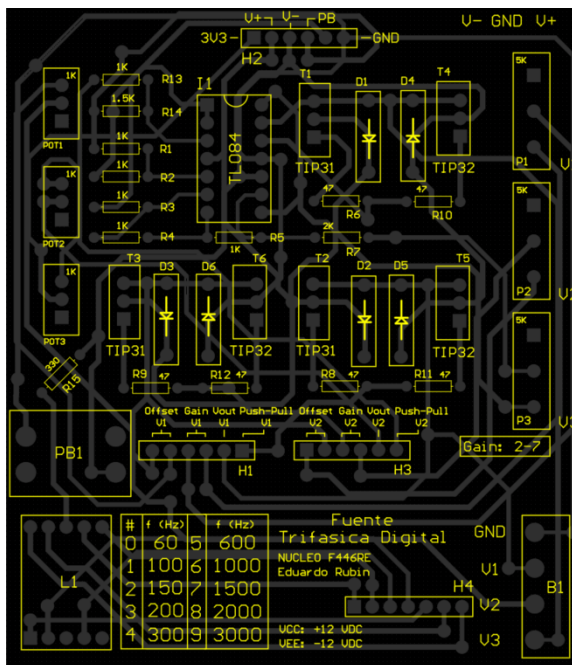


Figura 61: *Top overlay* placa superior

14.4. Manual de usuario



Plataformas educativas: implementación de una fuente trifásica para uso en laboratorios del Departamento de Ingeniería Electrónica, Mecatrónica y Biomédica de la Universidad del Valle de Guatemala

Autor: Eduardo Andrés Rubin Barrios

Manual de Uso – Guía de uso general y conexión de módulos removibles

Descripción general

La fuente trifásica se diseñó con el propósito de demostrar el comportamiento de un sistema trifásico mediante la generación digital de señales sinusoidales, complementada por un acondicionamiento con amplificadores operacionales y transistores. Este sistema incluye una configuración predeterminada que permite la selección de diez frecuencias específicas (ver tabla de frecuencias), ajustables mediante un pulsador. El diseño consta de dos placas: la placa inferior, conectada directamente a la plataforma NUCLEO F446RE, y la superior, que incorpora las borneras para medir las señales generadas (ver Figura 1).

El propósito de este manual es explicar la compatibilidad de los módulos removibles utilizados y la correcta conexión de los pines para que el proyecto funcione según el alcance establecido. En caso desee más información sobre el algoritmo implementado, esquemáticos completos y demás detalles por favor revisar el documento completo del proyecto.

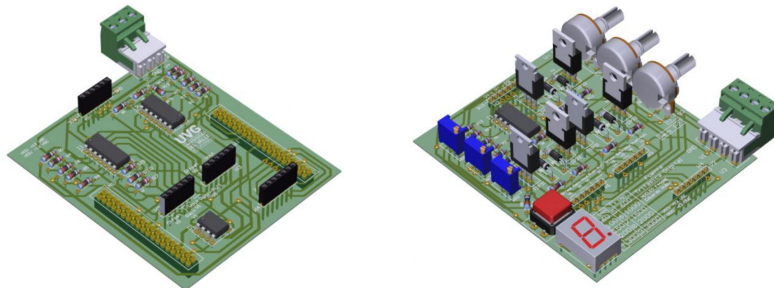


Figura 1: Placa de circuito impreso inferior y posterior de fuente trifásica digital

Figura 62: Primera página del manual

Este módulo funciona a través de comunicación SPI y tiene una resolución de 12 bits. La placa cuenta con una base para microcontroladores de 8 pines. Este módulo debe de colocarse de la siguiente manera en la primera placa:

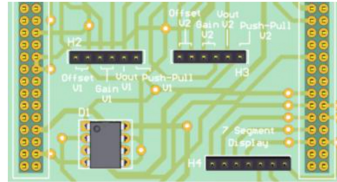


Figura 3: Orientación del módulo DAC MCP4921

1.3. Amplificadores operacionales (OPAMP, por sus siglas en inglés, *Operational Amplifier*)

El proyecto emplea un total de 12 amplificadores operacionales (OPAMP), de los cuales 4 están dedicados al acondicionamiento de cada una de las señales. Para optimizar el diseño, se ha utilizado un módulo integrado que contiene 4 OPAMP, lo que facilita una simplificación significativa del circuito general. El diseño original fue evaluado con dos modelos de amplificadores operacionales: TL084³ y LM324⁴. Ambos modelos cumplen con los parámetros de diseño establecidos, incluyendo el voltaje de alimentación, el cual se detallará más adelante. Además, dado que ambos modelos comparten la misma distribución de pines, es posible emplear indistintamente cualquiera de ellos en la base asignada sin requerir modificaciones adicionales.

Sin embargo, **es importante prestar atención a la orientación** de cada uno según el diseño de las placas.

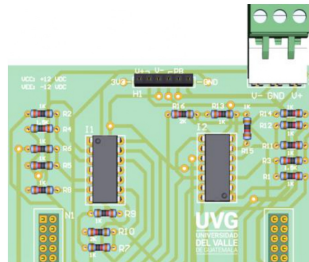


Figura 4: Orientación de amplificadores operacionales en placa inferior

³ Datasheet TL084x: <https://www.st.com/resource/en/datasheet/tl084ac.pdf>

⁴ Datasheet LM324: https://www.mouser.com/datasheet/2/149/LM324-195664.pdf?srsltid=AfmBOoo7MD3NGPP479WPqR3MI037kuhsueOI9nfxtlBNu87IAKKDtn_o

Figura 64: Tercera página del manual

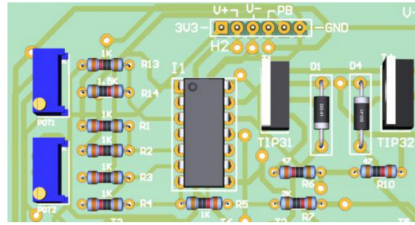


Figura 5: Orientación de amplificadores operacionales en placa superior

2. Ensamblaje del proyecto

Una vez que se colocaron todos los módulos, el siguiente paso consiste en ensamblar el proyecto completo. El primer paso es conectar la plataforma a la placa inferior. Al momento de conectarlo, se recomienda dejar un pequeño espacio entre las conexiones (unos cuantos milímetros), ya que se está haciendo una unión de 76 pines simultáneamente y esto puede dificultar el desmontaje.

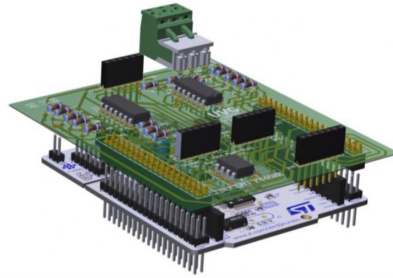


Figura 6: Ensamblaje de plataforma NUCLEO-F446RE y placa inferior

Por último, conectar la placa inferior con la placa superior:

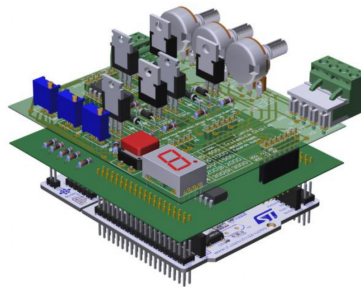


Figura 7: Ensamblaje completo de la fuente trifásica digital

Figura 65: Cuarta página del manual

3. Alimentación

3.1. NUCLEO-F446RE

La plataforma debe conectarse mediante un cable USB que disponga de un conector Tipo A en uno de sus extremos y un conector Mini USB Tipo B en el otro. La correcta funcionalidad del sistema puede verificarse conectando dicho cable a una fuente de energía, como un tomacorriente o una computadora, lo cual debería activar el *display* de 7 segmentos situado en la placa superior. Este *display* deberá cambiar su valor cada vez que se presione el pulsador. En caso de que el *display* no se encienda, se recomienda verificar la correcta ejecución del ensamblaje de los componentes para asegurar que todos los elementos estén debidamente conectados.

3.2. Alimentación de transistores y amplificadores operacionales

La placa inferior dispone de una bornera de 3 pines que se utiliza para suministrar el voltaje de alimentación a todos los circuitos del sistema. Considerando que el voltaje inicial de la señal sinusoidal generada es de ± 1.5 V y que la ganancia máxima alcanzable en el circuito es de 7, el voltaje teórico máximo de operación se estima en ± 10.5 V. Por consiguiente, para asegurar la ganancia máxima se recomienda utilizar 12 V (considerando las caídas de voltaje en los transistores, tolerancias de las resistencias, etc.). Estos valores están indicados en ambas placas.

Para obtener tanto voltaje positivo como negativo, las fuentes se deben de conectar de la siguiente manera:

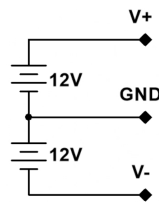


Figura 8: Conexión de fuentes para alimentación de los circuitos

Figura 66: Quinta página del manual