

UNIVERSIDAD DEL VALLE DE GUATEMALA
Facultad de Ingeniería



**Emulación digital de efectos de audio analógicos mediante
análisis de sistemas dinámicos no lineales**

Trabajo de graduación presentado por Diego Alberto Morales Ibáñez
para optar al grado académico de Licenciado en Ingeniería Mecatrónica

Guatemala,

2019

UNIVERSIDAD DEL VALLE DE GUATEMALA
Facultad de Ingeniería



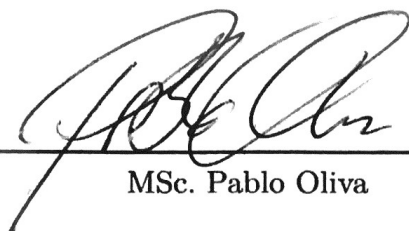
**Emulación digital de efectos de audio analógicos mediante
análisis de sistemas dinámicos no lineales**

Trabajo de graduación presentado por Diego Alberto Morales Ibáñez
para optar al grado académico de Licenciado en Ingeniería Mecatrónica


Guatemala,


2019

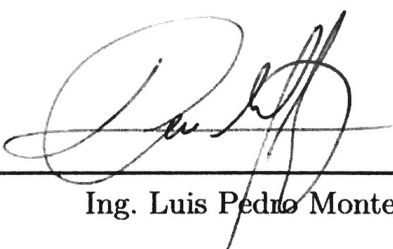
Vo.Bo.:

(f) 
MSc. Pablo Oliva

Tribunal Examinador:

(f) 
MSc. Pablo Oliva

(f) 
MSc. Carlos Esquit

(f) 
Ing. Luis Pedro Montenegro

Fecha de aprobación: Guatemala, 05 de diciembre de 2018.

Quisiera agradecer a las siguientes personas por el aporte brindado de forma directa durante la realización de este trabajo de graduación:

Pablo Oliva y Miguel Zea, por el valioso tiempo de asesoría y revisión.

Mirta Aragón y Alejandro Morales, por apoyarme en mis estudios.

Lourdes Morales y Julio Ovalle, por preocuparse por mi salud emocional y mental.

Sandra Chacón, por su dedicación y cariño.

Gabriela Osorio, por su comprensión y amor.

Bernardita Ibáñez, por ser un ejemplo para mi vida. Por esforzarse para que tuviera todo lo necesario. Y por motivarme a estudiar Ingeniería Mecatrónica. Gracias por 22 maravillosos años a tu lado. Nada de esto hubiera sido posible sin ti.

Prefacio	v
Lista de figuras	xiv
Lista de cuadros	xvi
Resumen	xvii
Abstract	xix
1. Introducción	1
2. Antecedentes	3
3. Justificación	7
4. Objetivos	9
4.1. Objetivo general	9
4.2. Objetivos específicos	9
5. Alcance	11
6. Marco teórico	13
6.1. Unión PN	13
6.1.1. Modelo Shockley del diodo	13
6.1.2. Efectos de temperatura	14
6.1.3. Niveles de resistencias	15
6.1.4. Capacitancias parásitas	16
6.1.5. Modelo SPICE del diodo	17
6.2. El transistor	19
6.2.1. Modelo Ebers-Moll	19
6.2.2. Ecuaciones del modelo de inyección de Ebers-Moll	19
6.2.3. Efecto Early	20
6.2.4. Variación de ganancia	21

6.2.5.	Capacitancias parásitas en el transistor	21
6.2.6.	Resistencias parásitas	21
6.2.7.	Modelo SPICE del transistor	22
6.3.	Amplificadores operacionales	24
6.3.1.	Corriente de polarización de entrada	24
6.3.2.	Desplazamiento en corriente de entrada	25
6.3.3.	Desplazamiento en voltaje de entrada	25
6.3.4.	Resistencia de entrada	26
6.3.5.	Resistencia de salida	26
6.3.6.	Repuesta en frecuencia	26
6.3.7.	Modelos simplificados del amplificador operacional	27
6.3.8.	Modelo SPICE del amplificador operacional	27
6.4.	MATLAB	29
6.4.1.	Simulink	30
6.4.2.	Simscape	31
6.4.3.	Audio System Toolbox	34
6.4.4.	DSP System Toolbox	36
7.	Estudio de pedal de distorsión Boss DS-1	39
7.1.	Esquemático	39
7.2.	Identificación de componentes	40
7.2.1.	Resistencias fijas	40
7.2.2.	Resistencias variables	40
7.2.3.	Capacitores	40
7.2.4.	Semiconductores	41
7.2.5.	Circuitos integrados	41
7.3.	Diseño de placa del circuito	42
8.	Análisis inicial del circuito	43
8.1.	Fuente de alimentación	43
8.2.	Búfer de entrada	44
8.3.	Transistor de amplificación	45
8.4.	Ganancia de op-amp y limitador	45
8.5.	Tono y volumen	47
8.6.	Búfer de salida	48
9.	Justificación en la utilización de modelos no lineales	49
9.1.	Modelos comparados	49
9.1.1.	Modelo ideal	49
9.1.2.	Modelo exponencial	50
9.2.	Metodología de comparación	51
9.3.	Circuito limitador con diodos	51
9.4.	Circuito de overdrive	52
9.5.	Conclusión sobre comparación de modelos	54

10. Modelo del diodo	55
10.1. Implementación de modelos en Simscape Simulink	55
10.2. Implementación del modelo del diodo	56
10.2.1. PN nivel I	56
10.2.2. PN nivel II	56
10.2.3. PN nivel III	56
10.2.4. PN nivel IV	58
10.3. Obtención de parámetros	58
10.4. Comparación de modelos	60
10.4.1. Curva característica del diodo	61
10.4.2. Circuito de limitador con diodos	61
10.5. Conclusión sobre implementación del diodo	67
11. Modelo del transistor	69
11.1. Implementación del modelo del transistor	69
11.1.1. BJT nivel I	69
11.1.2. BJT nivel II	69
11.1.3. BJT nivel III	70
11.1.4. BJT nivel IV	70
11.2. Obtención de parámetros	70
11.3. Comparación de modelos	72
11.3.1. Curva característica del transistor	73
11.3.2. Transistor de amplificación	74
11.4. Conclusión sobre implementación del transistor	78
12. Modelo del amplificador operacional	81
12.1. Implementación del amplificador operacional	81
12.1.1. OPAMP nivel I	81
12.1.2. OPAMP nivel II	82
12.1.3. OPAMP nivel III	82
12.2. Obtención de parámetros	83
12.2.1. Impedancias de entrada y salida	84
12.2.2. Ganancia en lazo abierto	84
12.2.3. Ancho de banda y fuente dependiente de corriente (nivel dos)	85
12.2.4. Amplificador diferencial con BJT y slew-rate	85
12.2.5. Limitadores de voltaje de salida	86
12.3. Comparación de modelos	86
12.3.1. Seguidor de voltaje	86
12.3.2. Ganancia de amplificador operacional	89
12.4. Conclusión sobre implementación del amplificador operacional	94
13. Aplicación de modelos en el efecto BOSS DS-1	97
13.1. Emulación fuera de línea	97
13.1.1. Comparación entre implementación, SPICE y circuito real	98

14.Desarrollo de la emulación en tiempo real	103
14.1. Configuración del entorno y equipo	103
14.1.1. Equipo e interfaz de audio	103
14.1.2. Lectura y escritura de audio	104
14.1.3. Interconexión Simscape - Audio System Toolbox	104
14.1.4. Configuración del solucionador	105
14.1.5. Optimización de la ejecución	105
14.2. Emulación BOSS DS-1	105
14.2.1. Diagrama de emulación e interfaz de usuario	105
14.2.2. Implementación de prototipo	105
14.2.3. Prototipos optimizados	107
14.2.4. Comparación entre prototipos	108
14.3. Conclusión sobre emulación	108
15.Conclusiones	113
16.Recomendaciones	115
17.Bibliografía	117
18.Anexos	121
18.1. Esquemático BOSS DS-1	121
18.2. Códigos de componentes semiconductores creados	124
19.Glosario	129

1.	Curva característica del diodo [12]	14
2.	Comportamiento del diodo a diferentes temperaturas [12]	15
3.	Capacitancia de difusión y transición [12]	16
4.	Modelo estático SPICE del diodo [14]	18
5.	Modelo dinámico SPICE del diodo [14]	19
6.	Características en la salida del BJT mostrando el Efecto Early [11]	20
7.	Curvas típicas I_c contra β [11]	21
8.	Modelo equivalente del BJT [11]	22
9.	Modelo de transporte de SPICE [17]	23
10.	Modelo del BJT SPICE [17]	24
11.	Modelo SPICE del BJT con resistencias en serie [17]	24
12.	Etapas típicas de entrada del opamp [11]	25
13.	Circuito equivalente del opamp incluyendo desplazamiento de voltaje y corriente, resistencias de entrada y salida y ganancia de voltaje [11]	26
14.	Amplificador operacional lineal DC [18]	27
15.	Amplificador operacional lineal AC [18]	27
16.	Opamp universal LTspice nivel 1 [19]	28
17.	Opamp universal LTspice nivel 2 [19]	28
18.	Opamp universal LTspice nivel 3.a [19]	28
19.	Opamp universal LTspice nivel 3.b [19]	29
20.	Amplificador operacional modelo macro [18]	29
21.	Distribución original de componentes	42
22.	Placa elaborada en Altium	42
23.	BOSS DS-1, Fuente de alimentación	43
24.	BOSS DS-1, Búfer de entrada	44
25.	BOSS DS-1, Transistor de amplificación	45
26.	BOSS DS-1, Ganancia de op-amp y limitador	46
27.	BOSS DS-1, Tono y volumen	47
28.	BOSS DS-1, Búfer de salida	48
29.	Curva característica del diodo ideal	50

30.	Curva característica del diodo 1N4148 SPICE	50
31.	Circuito limitador con diodos	51
32.	Salida en circuito limitador con diodos	52
33.	Circuito de overdrive	53
34.	Salida en circuito de overdrive	53
35.	Diagrama en Simulink de implementación del diodo nivel uno	56
36.	Diagrama en Simulink de implementación del diodo nivel dos	57
37.	Diagrama en Simulink de implementación del diodo nivel tres	57
38.	Diagrama en Simulink de implementación del diodo nivel cuatro	58
39.	Voltaje contra corriente en polarización directa para el diodo 1N4148 de Fairchild [28]	59
40.	Voltaje en inversa contra capacitancia total para el diodo 1N4148 de Fairchild [28]	59
41.	Voltaje de ruptura para el diodo 1N4148 de Fairchild [28]	60
42.	Corriente en inversa contra tiempo de recuperación para el diodo 1N4148 de Fairchild [28]	60
43.	Diagrama de Simulink empleado para generar curva característica del diodo	61
44.	Curva característica del diodo con cada nivel de implementación y el modelo SPICE	62
45.	Diagrama de Simulink empleado para topología de diodos limitadores	62
46.	Salida de diodos limitadores con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz	63
47.	Error respecto a medición real en salida de diodos limitadores con cada nivel de implementación y modelo SPICE con entrada seno de 2Vpp a 1kHz	64
48.	Salida de diodos limitadores con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz	65
49.	Error respecto a medición real en salida de diodos limitadores con cada nivel de implementación y modelo SPICE con entrada seno de 2Vpp a 10kHz	65
50.	Periodograma de salida de diodos limitadores con cada nivel de implementación, modelo SPICE y medición real con entrada cuadrada de 2Vpp a 1kHz	66
51.	Periodograma del error respecto a la medición real en salida de diodos limitadores con cada nivel de implementación y modelo SPICE con entrada cuadrada de 2Vpp a 1kHz	67
52.	Diagrama en Simulink de implementación del BJT nivel uno	70
53.	Diagrama en Simulink de implementación del BJT nivel dos	71
54.	Diagrama en Simulink de implementación del BJT nivel tres	71
55.	Diagrama en Simulink de implementación del BJT nivel cuatro	72
56.	Diagrama de Simulink empleado para generar curva característica del BJT	73
57.	Curva característica del BJT con cada nivel de implementación y el modelo SPICE	74
58.	Diagrama de Simulink empleado para topología de transistor de amplificación	75
59.	Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz	75
60.	Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz	76

61.	Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz	77
62.	Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz	77
63.	Periodograma de salida de transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada cuadrada de 2Vpp a 1kHz	78
64.	Periodograma del error respecto a la medición real en salida de transistor de amplificación con cada nivel de implementación y modelo SPICE con entrada cuadrada de 2Vpp a 1kHz	79
65.	Diagrama en Simulink de implementación del OPAMP nivel uno	82
66.	Diagrama en Simulink de implementación del OPAMP nivel dos	83
67.	Diagrama en Simulink de implementación del OPAMP nivel tres	84
68.	Diagrama de Simulink empleado para estudiar el seguidor de voltaje	87
69.	Salida del seguidor de voltaje con cada nivel de implementación y el modelo SPICE	88
70.	Periodograma del seguidor de voltaje con cada nivel de implementación y el modelo SPICE	88
71.	Diagrama de Simulink empleado para topología de amplificador de ganancia	89
72.	Salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz	90
73.	Error en salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz	90
74.	Salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz	91
75.	Salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz sin desfase en salida	92
76.	Error respecto a medición real en salida de ganancia de opamp con cada nivel de implementación y modelo SPICE con entrada seno de 2Vpp a 10kHz sin desfase en salida	93
77.	Periodograma de salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada cuadrada de 2Vpp a 1kHz	93
78.	Periodograma del error respecto a la medición real en salida de ganancia de opamp con cada nivel de implementación y modelo SPICE con entrada cuadrada de 2Vpp a 1kHz	94
79.	Diagrama en Simulink del efecto BOSS DS-1	99
80.	Salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada seno de 200mVpp a 1kHz	100
81.	Salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada seno de 200mVpp a 10kHz	100
82.	Salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada seno de 200mVpp a 1kHz con control de tono desplazado	101
83.	Respuesta en frecuencia en salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada cuadrada de 200mVpp a 1kHz	102

84.	Diagrama de interconexión entre Simscape y Audio System Toolbox en Simulink	104
85.	Diagrama en Simulink del efecto BOSS DS-1 configurado como subsistema . . .	106
86.	Diagrama en Simulink de la interfaz del BOSS DS-1	107
87.	Salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada	109
88.	Acercamiento en salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada	110
89.	Errores respecto a medición real en salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada	110
90.	Página 1 de esquemático BOSS DS-1	121
91.	Página 2 de esquemático BOSS DS-1	122
92.	Página 3 de esquemático BOSS DS-1	122
93.	Página 4 de esquemático BOSS DS-1	123
94.	Página 5 de esquemático BOSS DS-1	123
95.	Página 6 de esquemático BOSS DS-1	124

Lista de cuadros

1.	Resistencias utilizados en prototipo	40
2.	Capacitores utilizados en prototipo	41
3.	Semiconductores utilizados en prototipo	41
4.	Circuito integrado utilizado en prototipo	41
5.	Error cuadrático medio en salida de modelos con circuito limitador	52
6.	Error cuadrático medio en salida de modelos con circuito de overdrive	53
7.	Error cuadrático medio en curva característica del diodo comparado con el modelo SPICE	61
8.	Error cuadrático medio en diodos limitadores con entrada seno de 2Vpp a 1kHz	63
9.	Error cuadrático medio en diodos limitadores con entrada seno de 2Vpp a 10kHz	64
10.	Error cuadrático medio en diodos limitadores con entrada cuadrada de 2Vpp a 1kHz	66
11.	Error cuadrático medio en curva característica del BJT	73
12.	Error cuadrático medio en transistor de amplificación con entrada seno 1KHz 2Vpp	76
13.	Error cuadrático medio en transistor de amplificación con entrada seno 10KHz 2Vpp	76
14.	Error cuadrático medio en transistor de amplificación con entrada cuadrada de 2Vpp a 1KHz	78
15.	Error cuadrático medio en salida del seguidor de voltaje	87
16.	Error cuadrático medio en periodograma del seguidor de voltaje	87
17.	Error cuadrático medio en transistor de amplificación con entrada seno 1KHz 2Vpp	91
18.	Error cuadrático medio en transistor de amplificación con entrada seno 10KHz 2Vpp	92
19.	Error cuadrático medio en transistor de amplificación con entrada seno 10KHz 2Vpp sin desfase en salida	92
20.	Error cuadrático medio en transistor de amplificación con entrada cuadrada de 2Vpp a 1kHz	92

21.	Error cuadrático medio en salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada seno de 200mVpp a 1kHz	98
22.	Error cuadrático medio en salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada seno de 200mVpp a 10kHz	98
23.	Error cuadrático medio en salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada seno de 200mVpp a 1kHz con control de tono desplazado	98
24.	Error cuadrático medio en frecuencia de salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada cuadrada de 200mVpp a 1kHz	101
25.	Modelos implementados de cada componente en prototipos	109
26.	Error cuadrático medio en salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada	109

Se propone un acercamiento distinto para el diseño de efectos de audio analógicos. En lugar de manipular la señal a un alto grado de abstracción mediante la implementación de procesadores digitales, se desarrolla un diseño basado en el comportamiento físico de la circuitería del efecto. Inicialmente, se centra en el estudio de los componentes electrónicos y topologías implementadas en los circuitos que conforman un procesador de audio y continúa con el análisis de los sistemas dinámicos no lineales que los caracterizan. El resultado final consiste en la elaboración de una emulación digital de alta fidelidad del efecto de audio seleccionado ejecutable en tiempo real, la cual es comparada con el equipo analógico original con mediciones en el dominio del tiempo y espectro de frecuencias.

A different approach is proposed for the design of analog audio effects. Instead of manipulating the signal to a high level of abstraction through the implementation of digital processors, a design based on the physical behavior of the effect circuitry was developed. Initially, it focused on the study of the electronic components and architectures implemented in the circuits that make up an audio processor and continued with the analysis of the non-linear dynamic systems that characterize them. The final result consists in the elaboration of a high fidelity digital emulation of the selected audio effect executed in real time, which is compared with the original analogical equipment with measurements in the frequency spectrum and time domain.

Este trabajo tiene como objetivo analizar un procesador de efectos de audio analógico estudiando los sistemas dinámicos no lineales que caracterizan el comportamiento físico de los componentes electrónicos que conforman las distintas topologías presentes en el pedal. Con los resultados anteriores se desarrollará una emulación en tiempo real de alta fidelidad empleando MATLAB y Simulink. Se busca que las diferencias entre la implementación digital y el equipo de audio analógico sean indistinguibles para aplicaciones prácticas, lo cual se evaluará mediante comparaciones cuantitativas de la señal procesada por el efecto en mediciones de tiempo y frecuencia.

La determinación de los modelos matemáticos de los dispositivos semiconductores y circuitos integrados, así como las características que determinan su comportamiento involucra una investigación previa de diversas referencias para obtener toda la información necesaria para la construcción de los modelos que se utilizarán en la emulación digital del circuito analógico. Se proponen distintos niveles de complejidad para los modelos del diodo, transistor y amplificador operacional, evaluando la exactitud de cada uno y considerando el costo computacional requerido. Finalmente, se propone una implementación completa del pedal estudiado que proporcione una solución suficientemente cercana al comportamiento físico y que pueda ejecutarse en tiempo real.

Los efectos digitales de audio desarrollados hasta el momento se basan principalmente en un análisis de alto nivel sobre la evolución de la señal mediante la aplicación de sistemas simplificados, filtros digitales y salidas previamente calculadas, lo cual resulta en una implementación sencilla y eficiente de bajo nivel computacional [1]. Sin embargo, guitarristas experimentados tienden a considerar estas emulaciones digitales inferiores al equipo analógico original [2]. La fidelidad de la réplica digital puede mejorarse implementando la dinámica y comportamiento no lineal que caracteriza a los componentes electrónicos [3]. Estudios realizados por el Ph.D. David T. Yeh en 2007 [4] marcan el inicio de las emulaciones de efectos de audio analógicos mediante un análisis sobre las etapas que componen un efecto de guitarra electrónico real, considerando las topologías de circuitos utilizadas y el modelado de sus componentes físicos con el objetivo de obtener una emulación más realista.

Su primera publicación, titulada *Simplified, Physically-Informed Models of Distortion and Overdrive Guitar Effects Pedals*, explora el diseño de algoritmos para la emulación de circuitos de distorsión mediante un acercamiento de modelado físico. Estudia las topologías presentes en búferes de entrada/salida, etapas de ganancia, limitadores con diodos y filtros pasa bajas, presentes en los pedales Ibanez Tube Screamer y BOSS DS-1. Su análisis utiliza modelos simplificados de los componentes debido a la dificultad que implica considerar modelos más realistas y el alto costo computacional que conlleva, en especial considerando que busca ser implementado en tiempo real. Determina los filtros discretizados que caracterizan cada etapa del circuito de diversas formas, especialmente apoyándose con análisis de resultados obtenidos en SPICE y realizando simplificaciones considerables. Sus resultados logran reproducir las características generales de los pedales modelados a un costo computacional comparable con el de emulaciones digitales de la industria, aunque no de forma exacta. Invita a futuros investigadores a considerar modelos más complejos para las etapas que involucren transistores y amplificadores operacionales, especialmente cuando hay no linealidades presentes [2]. El mismo año, publicó su trabajo *Simulation of The Diode Limiter in Guitar Distortion Circuits By Numerical Solution of Ordinary Differential Equations*, el cual es una continuación de sus primeros avances pero aplicándolos a un entorno de simulación en tiempo real, para el cual realiza la comparación entre la utilización de métodos numéricos

simples como Forward Euler y Runge-Kutta de cuarto orden, y métodos numéricos con estabilidad rígida como Backward Euler, Trapezoidal Rule y Backward Difference Formula. En su discusión menciona que un método estable de bajo orden es suficiente para garantizar una salida estable y limitada. La diferencia entre los diferentes métodos evaluados para una entrada de audio es despreciable para la frecuencia de muestreo utilizada. Los métodos semi-implícitos producen perturbaciones no deseadas a altas frecuencias, lo cual resulta ser un caso extremo debido a que periodos tan bajos son difícilmente generadas de forma práctica por una señal de guitarra. En el dominio de frecuencias, los métodos explícitos muestran resultados poco precisos a menos que la frecuencia de muestreo se aumente. Su conclusión es que se prefiere la implementación de métodos implícitos o semi-implícitos debido a que debido al requerimiento de grandes periodos de muestreo para métodos explícitos para producir salidas estables [4].

Al año siguiente presentó *Digital Implementation of Musical Distortion Circuit*, en el cual continúa su estudio sobre topologías comunes de distorsión y los efectos producidos por los componentes físicos y sus comportamientos no lineales. Explora utilizar principios de onda digital y simulaciones de espacios de estados no lineales (mediante el método K). Para ello, propone dividir el sistema en bloques modelados a partir de etapas de circuitos, representados por entrada, salida y sus respectivas impedancias. Los análisis realizados sobre los circuitos se basan en las leyes de Kirchhoff y los modelos exponenciales de los componentes semiconductores junto con sus diagramas esquemáticos, con lo cual logra modelar el comportamiento general del procesador de audio. Hace énfasis en la importancia del desarrollo de este tema debido a la creciente dificultad para conseguir ciertos componentes analógicos y este trabajo muestra un esfuerzo por preservar el sonido característico de estos circuitos. Entre sus conclusiones comenta que estos métodos requieren el modelado preciso de los dispositivos no lineales, de lo contrario se obtienen resultados poco confiables. Ambos métodos resultan ser efectivos para la resolución de ecuaciones no lineales. Se invita a considerar el análisis del procesador de efectos completo, considerando todas sus etapas y evaluar su desempeño en un entorno en tiempo real, así como su exactitud [5].

En 2010, se presentan una propuesta para la derivación filtros no lineales a partir de los diagramas esquemáticos de circuitos de audio con el propósito de lograr una emulación digital en tiempo real. Este trabajo, titulado *Automated Physical Modeling of Nonlinear Audio Circuits For Real-Time Audio*, continúa con el enfoque del diseño de efectos de audio mediante un acercamiento físico. Menciona que programas basados en SPICE no pueden utilizarse en aplicaciones en tiempo real debido a que están enfocados para un análisis detallado y general fuera de tiempo. Además, requieren de intervención manual del usuario para asegurar la convergencia de las soluciones. En este trabajo se propone un método mecanizado que parte de las relaciones de nodo especificadas en simuladores de circuitos y evita el tedioso y dificultoso proceso de obtener las ecuaciones diferenciales de los esquemáticos estudiados. Su extensión del método K ofrece una atractiva alternativa por su eficiencia computacional comparado con otras aproximaciones de sistemas no lineales, permitiendo expandirse a otras áreas de aplicación. Su principal limitación se encuentra en la imposibilidad para variar parámetros una vez finalizado el proceso, por lo que el usuario no tiene control sobre las variables del efecto. Se propone continuar el estudio para generar el procesador de audio de forma automática a partir de descripciones de circuitos [6].

Un año después presenta la segunda parte de su estudio, comparando los resultados

obtenidos al aplicar su método-k discretizado (DK) en topologías comunes que incorporan BJT en audio, utilizando SPICE como referencia. La solución de los sistemas no lineales se calcula previamente fuera de tiempo y la salida es aproximada mediante una interpolación para evitar errores de convergencia, lo cual ofrece la ventaja de ser más sencillo de procesar en tiempo real. Concluye que la propuesta de su método DK es un inicio para la generación automática de filtros en tiempo real que simulen las no linealidades deseables en circuitos electrónicos enfocados en audio [7]. El mismo año, Zölzer y Holters publican su trabajo *Physical Modelling of a Wah-wah Effect Pedal as a Case Study for Application of the Nodal DK Method to Circuits with Variable Parts*. En esta publicación utilizado el método nodal DK para la derivación del espacio de estados no lineal de un sistema eléctrico modelado por el comportamiento de sus componentes físicos. El cálculo de los coeficientes del sistema implica la operación de matrices de gran tamaño, lo cual complica la implementación cuando el sistema cambia constantemente en el tiempo, por ejemplo, si se deseara variar los parámetros de resistencia o capacitancia de una topología. Entonces, se presenta una extensión del método y se aplica al efecto de wah-wah, Dunlop Crybaby, el cual requiere del constante cambio de la posición del potenciómetro para la caracterización y versatilidad del efecto de audio real. Su modelo final ofrece una aproximación razonable del circuito original, además de ser la capacidad de ejecutarse en hardware de computadoras relativamente antiguo [8].

La electrónica digital ha desplazado a la analógica en una gran variedad de aplicaciones debido a su gran exactitud, bajo costo, menor tamaño y mayor velocidad. Sin embargo, la industria de audio continúa eligiendo equipos analógicos de procesamiento de efectos por su sonido característico y único. Generalmente, las emulaciones digitales se realizan a un alto nivel de abstracción de la señal [1], ignorando por completo el comportamiento físico de los componentes y las topologías empleadas. El resultado es un efecto fácilmente implementable y de reducido costo computacional. Sin embargo, asumir esta idealización produce diferencias perceptibles para músicos profesionales, quienes logran distinguir claramente la emulación digital de su implementación física [9]. El presente proyecto busca estudiar los modelos matemáticos que describen el comportamiento no lineal de dispositivos semiconductores y sus efectos dinámicos [10], así como proponer distintos niveles de implementación del amplificador operacional [11]. Se investiga un procedimiento para la obtención de los parámetros necesarios para cada modelo [12]. Luego, se procede a comparar los modelos implementados contra mediciones reales y la obtención de datos mediante la utilización de un simulador basado en tecnología SPICE. Finalmente, se analizan las topologías que conforman el efecto de audio en su totalidad y se obtendrá el sistema dinámico no lineal que describe la evolución del equipo analógico original a nivel de componentes para implementarlo en tiempo real. El objetivo es desarrollar una emulación de alta fidelidad que logre encontrar un equilibrio entre la complejidad matemática necesaria para caracterizar el comportamiento físico del circuito y las capacidades computacionales de la tecnología actual, lo cual se evaluará mediante comparaciones cuantitativas de la señal procesada. El resultado final pretende disminuir las diferencias entre la implementación física y la digital lo suficiente para ser indistinguible por individuos de la industria musical y evaluar la factibilidad de utilizar la metodología propuesta en nuevos campos de aplicación. En los cuales, las limitaciones físicas de la electrónica analógica no serán impedimento para el desarrollo de efectos de audio, y permitirán la variación de parámetros que no se pueden modificar de forma práctica en el mundo real.

4.1. Objetivo general

Analizar un procesador de efectos de audio analógico utilizando teoría de sistemas dinámicos no lineales e implementar una emulación de forma digital.

4.2. Objetivos específicos

- Caracterizar el sistema dinámico no lineal que describe la evolución del efecto de audio analógico.
- Implementar la emulación obtenida para ser ejecutada en tiempo real.
- Comparar los modelos implementados con los utilizados en simuladores basados en tecnología SPICE.

El proyecto busca realizar una emulación digital del pedal de distorsión BOSS DS-1 implementable en tiempo real utilizando MATLAB como herramienta de desarrollo junto con el entorno de programación visual Simulink y las librerías de Simscape y Audio System Toolbox. Se investigan distintos niveles de complejidad para los componentes semiconductores y amplificadores operacionales utilizados con el objetivo de evaluar y comparar su desempeño en aplicaciones fuera de tiempo y en tiempo real. El estudio y análisis de los sistemas dinámicos no lineales se realiza a nivel de dispositivos electrónicos, enfocándose en caracterizar su comportamiento de forma adecuada para aplicaciones de audio limitadas a una frecuencia máxima de 20kHz. La implementación en software se desarrolla a nivel de circuitos electrónicos mediante la utilización directa de las topologías originales. No se toma consideración la simplificación de las estructuras descritas en el diagrama esquemático ni su deducción directa en código.

El estudio del efecto de distorsión se realiza con un enfoque diferente al utilizado comúnmente en la industria de audio. De forma similar a la propuesta en las investigaciones publicadas por David T. Yeh y Udo Zölzer, el desarrollo del efecto se centra en los componentes físicos y circuitos eléctricos, en lugar de estudiar solamente la señal. Se toman en consideración los resultados obtenidos y las conclusiones expuestas, así como las recomendaciones para trabajos futuros. En este caso se estudiará la evolución del efecto a través de todas las etapas de circuitos que componen el efecto, con énfasis en los distintos niveles de complejidad de los componentes para comparar su exactitud contra mediciones reales y simulaciones en el simulador LTSpice en topologías dedicadas de audio. Se investigan los modelos exponenciales de los semiconductores, considerando capacitancias parásitas y resistencias internas, así como otros efectos significativos para la caracterización de su comportamiento. El amplificador operacional se estudia a nivel macro para simplificar su implementación, disminuyendo el costo computacional y facilitando la construcción del modelo a partir de los parámetros presentes en la hoja de datos. Se busca definir modelos suficientemente buenos para aplicaciones dedicadas de audio, los cuales se puedan construir a partir de las especificaciones provistas por el fabricante.

La investigación culmina con el desarrollo de una emulación digital que pueda ser ejecutada en tiempo real. Además, se realizarán comparaciones contra un pedal analógico fabricado, del cual se tiene conocimiento sobre los componentes y sus especificaciones, mediante mediciones cuantitativas en tiempo y frecuencias. Los resultados obtenidos permitirán evaluar la factibilidad de implementar la metodología propuesta para el desarrollo de emulaciones de alta fidelidad mediante el análisis de los componentes y circuitos. Se busca que las diferencias con el equipo original sean cada vez menores o incluso imperceptibles para músicos.

6.1. Unión PN

Las propiedades descritas por la unión PN poseen una gran influencia en el comportamiento de circuitos semiconductores e integrados ya que este tipo de uniones se encuentran presentes en componentes más complejos. Características como capacitancias parásitas, voltajes de ruptura y resistencias dependen directamente de las propiedades de la región de deplexión [11].

6.1.1. Modelo Shockley del diodo

La ecuación 1 caracteriza el comportamiento no lineal estático del diodo. El modelo Shockley describe la relación entre la corriente que pasa a través de la unión PN y el voltaje [12].

$$I_D = I_S(e^{\frac{V_d}{nV_T}} - 1) \quad (1)$$

Donde

- I_D , es la corriente que pasa a través del diodo.
- I_S , es la corriente de saturación.
- V_d , es el voltaje de polarización en el diodo.
- n , es un factor de idealización.
- V_T , es el voltaje termal.

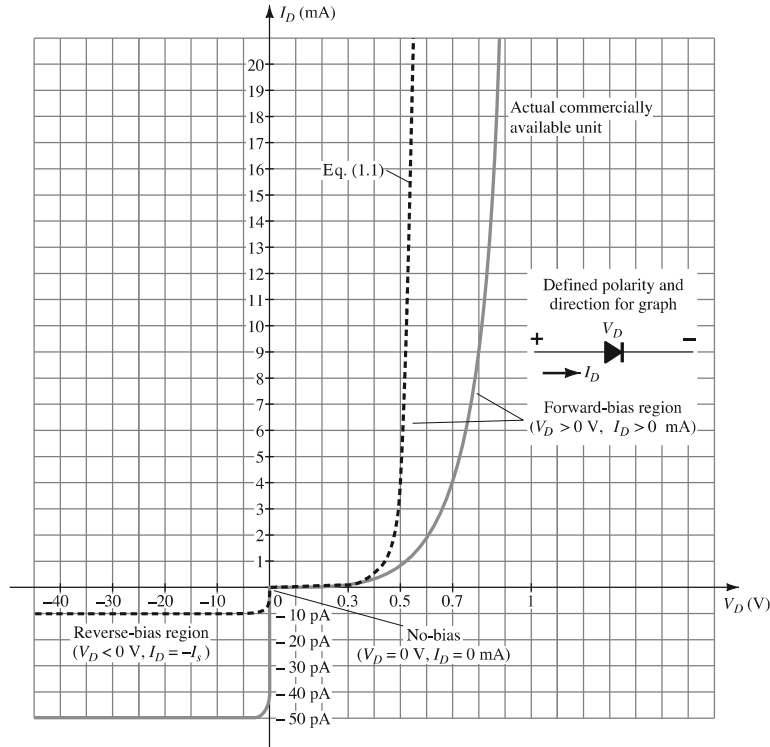


Figura 1: Curva característica del diodo [12]

El voltaje termal está determinado por

$$V_T = \frac{kT_K}{q} \quad (2)$$

Donde

- k , es la constante de Boltzmann = $1.38 * 10^{-23} J/K$
- T_K , es la temperatura absoluta en kelvins
- q , es la magnitud de la carga eléctrica = $1.6 * 10^{-19} C$

En la Figura 1 se muestra la curva exponencial para un diodo con una corriente de saturación de $10pA$ junto con un modelo comercial. Las variaciones en capacitancia, resistencia y temperatura definen completamente el comportamiento de un diodo polarizado, por esta razón, la ecuación 1 por sí sola resulta no ser suficiente [12].

6.1.2. Efectos de temperatura

En polarización directa, la curva de corriente de saturación de un diodo de silicio sufre un desplazamiento hacia la izquierda a una tasa de $2.5mV$ por cada grado centígrado de

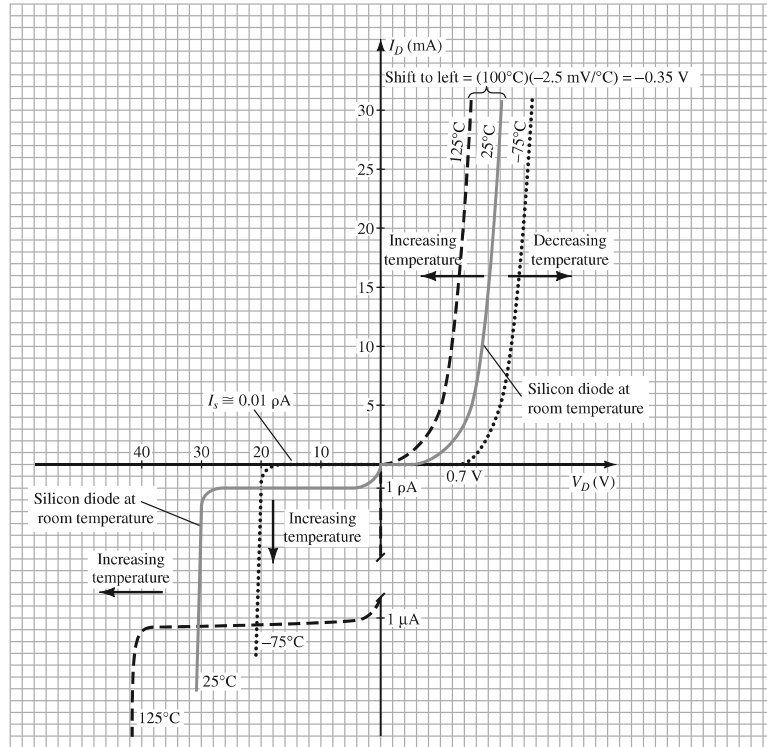


Figura 2: Comportamiento del diodo a diferentes temperaturas [12]

aumento en la temperatura [12].

La ecuación que define el comportamiento mencionado con anterioridad a partir de una corriente de saturación y temperaturas medidas, las cuales se encuentran en las hojas de datos del fabricante, es la siguiente [13].

$$I_S(T) = I_S(T_0)2^{\frac{T-T_0}{10}} \quad (3)$$

Donde

- T_0 , es la temperatura de referencia para el I_S dado

6.1.3. Niveles de resistencias

La resistencia presente en el diodo varía a medida que el punto de operación se desliza por la curva característica. Dependiendo del tipo de señal aplicada, pueden analizarse distintos tipos de resistencias: estática y dinámica [12].

Para ambos casos, los niveles de resistencia serán mayores para valores inferiores al voltaje intrínseco e irán decayendo conforme la corriente aumente.

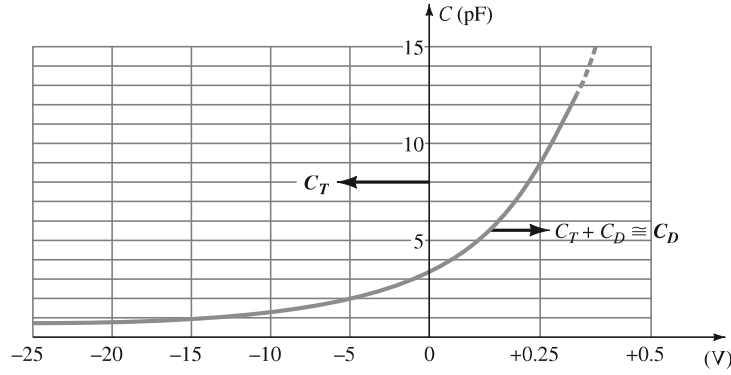


Figura 3: Capacitancia de difusión y transición [12]

Resistencia estática

Si se aplica un nivel de voltaje constante, el nivel de resistencia será constante y estará definido por la ecuación 4.

$$R_{DC} = \frac{V_D}{I_D} \quad (4)$$

Resistencia dinámica

Una señal de corriente alterna producirá un movimiento del punto de operación Q . El valor de resistencia estará determinado por una linealización de su curva característica (ec. 5).

$$r_d = \frac{\Delta V_D}{\Delta I_D} \quad (5)$$

La variación en el voltaje se puede reemplazar por el voltaje termal (ec. 6) para simplificación de cálculos.

$$r_d \approx \frac{V_T}{I_D} = \frac{26mV}{I_D} \quad (6)$$

6.1.4. Capacitancias parásitas

Debido a que existe una carga Q asociada a la zona de depleción, se puede definir la relación entre el voltaje y la capacitancia del diodo [11]. La región PN de un semiconductor posee dos tipos de capacitancias: transición y difusión. Ambas se encuentran presentes en polarización directa e inversa, sin embargo, dependiendo del caso, una de las dos tendrá un efecto más significativo sobre la otra (Fig. 3). Estas se representan como capacitores conectados en paralelo al modelo exponencial del diodo.

Capacitancia de transición

La zona de deplexión en un diodo actúa como un aislante, separando las capas de cargas opuestas. Debido a que esta zona aumenta en tamaño mediante el voltaje de polarización en inversa aumenta, la capacitancia disminuirá de la forma descrita por la ecuación 7. Este tipo de capacitancia es la predominante para voltajes negativos.

$$C_t = \frac{C_0}{\left(1 - \frac{V_D}{V_K}\right)^n} \quad (7)$$

Donde:

- C_0 , capacitancia sin voltaje aplicado.
- V_K , voltaje intrínseco de la unión.
- n , factor dependiente de manufactura.
- V_D , voltaje aplicado.

Capacitancia de difusión

La capacitancia de transición tiene un efecto predominante comparado con la capacitancia de difusión durante la polarización directa. Esta capacitancia parásita depende de la tasa de cambio del nivel de corriente sobre el voltaje aplicado y el tiempo de vida de los portadores minoritarios [10], como se muestra en la ecuación 8.

$$C_d = \frac{\tau_T q I_s}{nkT} e^{\frac{qV_D}{nkT}} \quad (8)$$

Donde:

- τ_T , tiempo de tránsito.

6.1.5. Modelo SPICE del diodo

El modelo del diodo basado en tecnología SPICE incorpora los efectos de capacitancias y resistencia anteriores. Dependiendo del nivel de complejidad necesario para la aplicación, se pueden distinguir dos modelos distintos: estático y dinámico [10].

Modelo estático del diodo

Este modelo posee una unión PN con una resistencia en serie, como se muestra en la Figura 4. Si el voltaje es mayor o igual a menos cinco veces el voltaje termal, la corriente se modela por la ecuación de Shockley. Si es menor, entonces es igual a la corriente de saturación con signo negativo. Se agrega un factor de idealización, n , en el exponente del

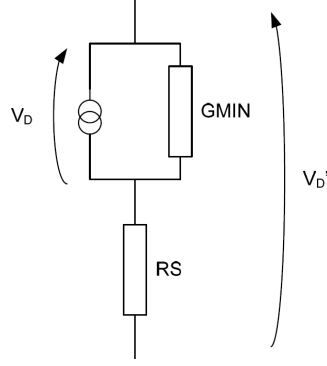


Figura 4: Modelo estático SPICE del diodo [14]

modelo Shockley y una conductancia de convergencia denominada $GMIN$, la cual evita que la respuesta diverja cuando la corriente es demasiado pequeña. La resistencia simula los efectos resistivos del material. Para grandes señales con polarización en inversa, se toman en consideración parámetros adicionales para el modelado de la tensión de ruptura: IBV y BV corresponden a la corriente y el voltaje de ruptura, respectivamente [10].

$$I_D = \begin{cases} I_S(e^{qV_D/nkT} - 1) + V_D GMIN, & \text{para } V_D \geq -5 \frac{nkT}{q} \\ -I_S + V_D GMIN, & \text{para } V_D < -5 \frac{nkT}{q} \end{cases} \quad (9)$$

Modelo dinámico del diodo

El modelo dinámico toma en consideración el efecto de las capacitancias parásitas descritas por la ecuación 10. A diferencia del modelo estático, el cual ignora la presencia de cargas y responde de forma instantánea. La capacitancia de difusión se modela de la misma forma que la ecuación 8. Para la capacitancia de transición se debe evaluar si el voltaje de la unión es mayor o igual a la multiplicación del voltaje intrínseco por un factor FC . Si se cumple esta condición, se deben evaluar los factores F_1 , F_2 y F_3 (dados por las ecuaciones 11, 12 y 13) y calcular la capacitancia según la ecuación 10. De lo contrario, la capacitancia se modela de la misma forma que la ecuación 7, donde m corresponde al coeficiente del gradiente de la unión. Los efectos de ambas capacitancias se implementan como un capacitor en paralelo al modelo de Shockley como se muestra en la Figura 5 [10].

$$C_D = \begin{cases} C_d + \frac{C_j(0)}{(1 - \frac{V_D}{\phi_0})^{-m}}, & \text{para } V_D < FC\phi_0 \\ C_d + \frac{C_j(0)}{F_2} (F_3 + \frac{mV_D}{\phi_0}), & \text{para } V_D \geq FC\phi_0 \end{cases} \quad (10)$$

$$F_1 = \frac{\phi_0}{1 - m} [1 - (1 - FC)^{1-m}] \quad (11)$$

$$F_2 = (1 - FC)^{1+m} \quad (12)$$

$$F_3 = 1 - FC(1 + m) \quad (13)$$

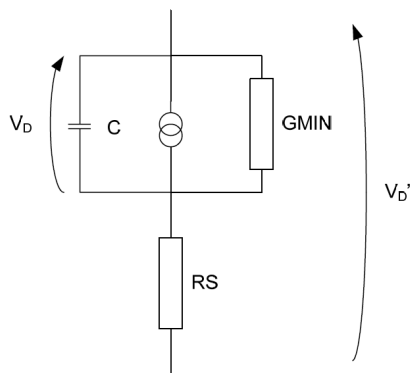


Figura 5: Modelo dinámico SPICE del diodo [14]

6.2. El transistor

La estructura del transistor de unión polar (BJT) consiste en la unión de materiales NPN o PNP, donde el colector, base y el emisor se denominan C, B y E, respectivamente [11]. La relación de corrientes entre sus terminales está dada por el modelo Ebers-Moll. Al igual que la unión PN, el BJT incorpora resistencias en serie y capacitancias parásitas conectadas en paralelo. Además de ello, la construcción física de los transistores que resulta de la interconexión de los materiales semiconductores agrega más efectos a considerar, tales como la variación de la ganancia y el voltaje de Early [12].

6.2.1. Modelo Ebers-Moll

En la publicación de Proceedings of the IRE de 1954 J. J. Ebers y J. L. Moll propusieron el modelo general para transistores, el cual actualmente es ampliamente utilizado en el análisis no lineal y circuitos de baja frecuencia [15]. El modelo consiste en dos diodos interconectados en su región p con dos fuentes independientes de corriente [16]. Los elementos que caracterizan el comportamiento del diodo se aplican también para la generación del modelo BJT utilizado por SPICE, el cual representa la región PN mediante una fuente dependiente de corriente, dos capacitancias en paralelo y una resistencia en serie. Además, computacionalmente, ofrece la ventaja de que las ecuaciones que describen su comportamiento funcionan bajo todas las condiciones de operación del transistor [17].

6.2.2. Ecuaciones del modelo de inyección de Ebers-Moll

La demostración matemática realizada en la publicación de Ebers y Moll parte de la ecuación del diodo Shockley y mediante la relación de corrientes utilizando la Ley de Kirchhoff, obtiene como resultado las siguientes relaciones para describir el comportamiento del transistor (ec. 14, 15 y 16) [15].

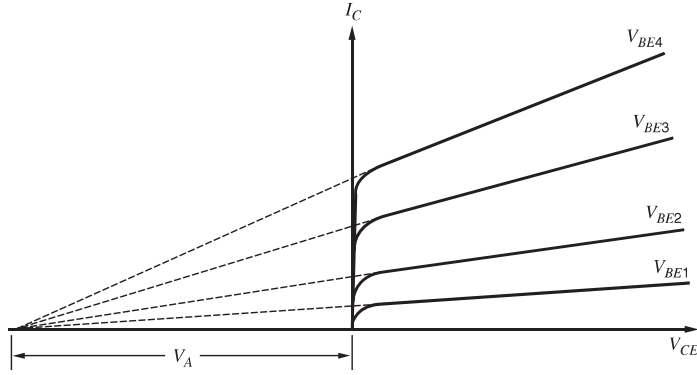


Figura 6: Características en la salida del BJT mostrando el Efecto Early [11]

$$I_E = I_{ES}(e^{V_{BE}/V_T} - 1) - \alpha_R I_{CS}(e^{V_{BC}/V_T} - 1) \quad (14)$$

$$I_C = \alpha_F I_{ES}(e^{V_{BE}/V_T} - 1) - I_{CS}(e^{V_{BC}/V_T} - 1) \quad (15)$$

$$I_B = (1 - \alpha_F)I_{ES}(e^{V_{BE}/V_T} - 1) + (1 + \alpha_R)I_{CS}(e^{V_{BC}/V_T} - 1) \quad (16)$$

Donde

- I_{ES} , es la corriente de saturación del diodo base-emisor.
- I_{CS} , es la corriente de saturación del diodo base-colector.
- α_F , es la ganancia de corriente en polarización directa.
- α_R , es la ganancia de corriente en polarización inversa.

6.2.3. Efecto Early

El voltaje colector-emisor, V_{CE} , produce un efecto considerable en la región que se encuentra entre la saturación y la ruptura (Fig. 6). Variaciones en este voltaje, modifican el tamaño de la zona de depleción. Este cambio en el ancho de la base del transistor evita que la corriente del colector, I_C , se mantenga constante en esta zona. Al extrapolar las curvas características para distintos valores de voltaje base-emisor, V_{BE} , todas se interceptan en un mismo punto ubicado sobre el eje V_{CE} , el cual corresponde al valor del voltaje de Early V_A . Este comportamiento, también conocido como "modulación del ancho de la base", presente en la región directa-activa, se representa por la ecuación 17 [11].

$$I_C = I_S \left(1 + \frac{V_{CE}}{V_A}\right) e^{\frac{V_{BE}}{V_T}} \quad (17)$$

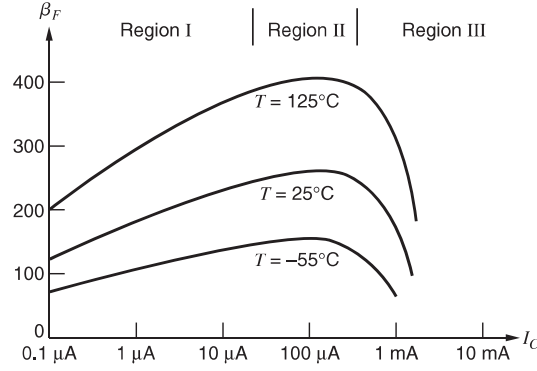


Figura 7: Curvas típicas I_C contra β [11]

6.2.4. Variación de ganancia

Generalmente se asume un valor de ganancia β constante, sin embargo, en realidad depende de las condiciones de operación del transistor. Los cambios en la temperatura y en la corriente del colector I_C producen variaciones en la ganancia, como se muestra en la Figura 7. Su comportamiento respecto a I_C se puede dividir en tres regiones. La primera es la región de baja corriente, en la cual β disminuye conforme la corriente colector disminuye. La segunda zona aproxima el valor de β por una constante. En la tercera región, la corriente de colector es alta y la β disminuye conforme ésta aumenta [11].

6.2.5. Capacitancias parásitas en el transistor

Se pueden identificar tres regiones de deplexión con capacitancias asociadas. La unión base-emisor C_{JE} , base-colector C_u y colector-sustrato C_{CS} .

La primera se puede aproximar de forma adecuada mediante la ecuación 7 que describe la capacitancia de difusión del diodo. Las capacitancias C_u y C_{CS} tienden a comportarse como lo describe la ecuación 18. Valores comunes para cada capacitancia bajo polarización cero son $C_{JE0} = 10\text{fF}$, $C_{u0} = \text{fF}$ y $C_{CS0} = 20\text{fF}$ [11].

$$C_u = \frac{C_{u0}}{\left(1 - \frac{V}{\phi_0}\right)^n} \quad (18)$$

6.2.6. Resistencias parásitas

Estas resistencias son producidas por el material entre los contactos superiores del transistor y la región activa de la base debajo del emisor. Existen resistencias asociadas a las terminales de la base y colector r_b y r_c . También una resistencia en el contacto del emisor r_e , la cual afecta en gran medida para polarizaciones de corriente altas (Fig. 8). Los rangos comunes de valores para estas resistencias son $r_b = 50 - 500 \text{ Ohm}$, $r_e = 1 - 3 \text{ Ohm}$ y

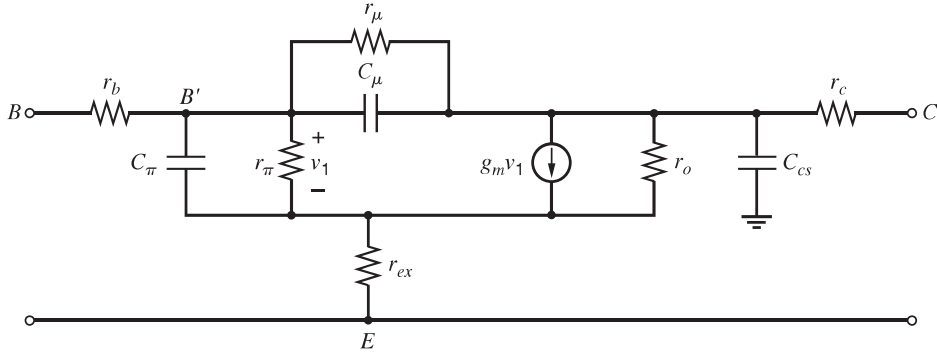


Figura 8: Modelo equivalente del BJT [11]

$r_c = 20 - 500 \text{ Ohm}$ [11].

6.2.7. Modelo SPICE del transistor

Ecuaciones del modelo de transporte de Ebers-Moll

Los parámetros del estándar internacional SPICE se basan en el modelo de transporte de Ebers-Moll (Fig. 9). Las ecuaciones varían ligeramente en notación comparados con el modelo de inyección. Se reemplazan las ganancias en directa y en inversa, α_F y α_R por β_F y β_R , dados por las relaciones 19 y 20. Las ecuaciones implementadas por el simulador para el modelo estático del transistor están dadas por 21, 22, 23 [17].

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (19)$$

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (20)$$

$$I_{CC} = I_S(e^{\frac{V_{BE}}{nV_T}} - 1) \quad (21)$$

$$I_{EC} = I_S(e^{\frac{V_{BC}}{nV_T}} - 1) \quad (22)$$

$$I_{CT} = I_{CC} - I_{EC} \quad (23)$$

Finalmente, la relación de corrientes entre las terminales del BJT resultan de la forma descrita por las ecuaciones 24, 25 y 26. Al igual que en el caso del diodo, se agrega una conductancia en paralelo a cada unión PN para asegurar la convergencia en la solución [10].

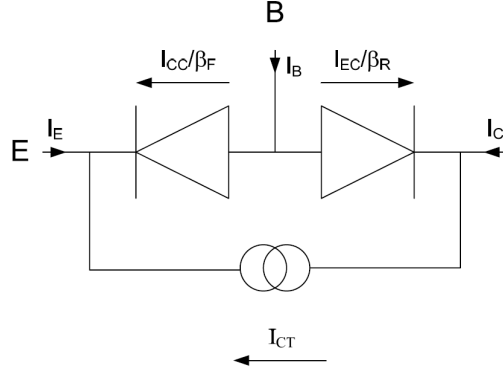


Figura 9: Modelo de transporte de SPICE [17]

$$I_C = I_S \left[\left(e^{\frac{V_{BE}}{V_T}} - e^{\frac{V_{BC}}{V_T}} \right) - \frac{1}{\beta_R} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \right] \quad (24)$$

$$I_E = I_S \left[\left(e^{\frac{V_{BE}}{V_T}} - e^{\frac{V_{BC}}{V_T}} \right) - \frac{1}{\beta_F} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \right] \quad (25)$$

$$I_B = I_S \left[\frac{1}{\beta_F} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + \frac{1}{\beta_R} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \right] \quad (26)$$

Resistencias en terminales

La implementación de resistencias constantes en las terminales mejora la caracterización del comportamiento DC del BJT. La resistencia de colector afecta la corriente I_C limitando la pendiente de crecimiento en la región de saturación para valores bajos de voltaje colector-emisor. El emisor es la región más dopada de todas con el objetivo de adquirir un β_F alto. Por esta razón, el componente dominante de la resistencia emisor es la del contacto, la cual se encuentra por el orden de 10Ohm y es usualmente despreciable. Como se discutió anteriormente, la resistencia de la base produce el mayor efecto de las tres para señales pequeñas y respuestas transitorias. Depende en gran medida del punto de operación Q , por lo que se dificulta su medición precisa [10]. El modelo Ebers-Moll de SPICE implementa todas estas resistencias como valores constantes conectados en serie a las terminales (Fig. 11).

Capacitancias parásitas

Las capacitancias se modelan en SPICE de la misma forma que para las uniones PN (ec. 10). Se debe considerar que los valores de capacitancias bajo polarización cero y el coeficiente de emisión son distintos para cada unión, así como la dependencia de sus voltajes.

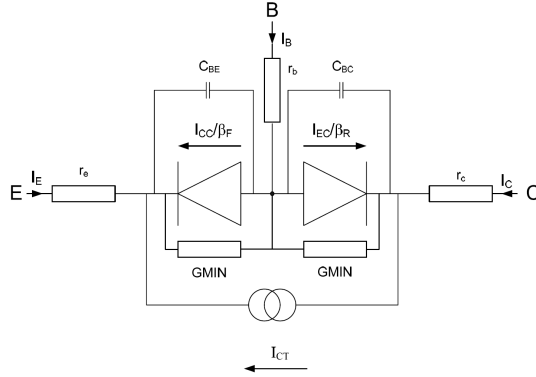


Figura 10: Modelo del BJT SPICE [17]

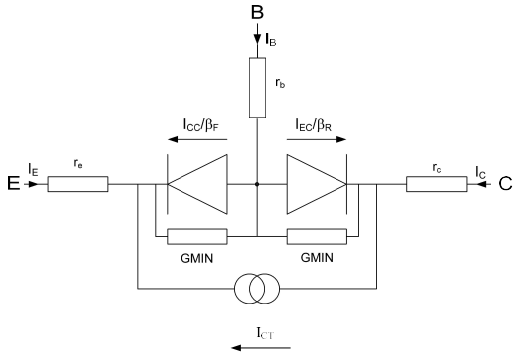


Figura 11: Modelo SPICE del BJT con resistencias en serie [17]

Modelo AC del transistor en SPICE

Utilizando el modelo descrito por Ebers y Moll y agregando los efectos de capacitancias parásitas y resistencias internas, se obtiene el modelo final utilizado por SPICE [17].

6.3. Amplificadores operacionales

El amplificador operacional (opamp) ideal posee una entrada diferencial, ganancia infinita, resistencia de entrada infinita y resistencia cero en la salida. Sin embargo, el comportamiento real del opamp se aleja de estas idealizaciones [11]. A continuación, se discuten de forma general las características más importantes.

6.3.1. Corriente de polarización de entrada

La Figura 12 muestra una etapa de entrada típica presente en los opamps. Las corrientes base de los transistores fluye dentro de las terminales de entrada del amplificador. Estas

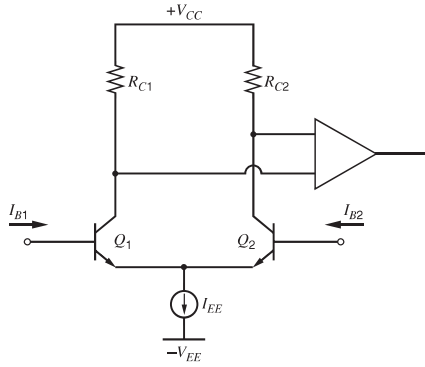


Figura 12: Etapa típica de entrada del opamp [11]

corrientes de polarización se encuentran en el rango de 10 a 100nA para BJT [11].

6.3.2. Desplazamiento en corriente de entrada

Las corrientes de polarización serán iguales únicamente si las ganancias β de los transistores es la misma, sin embargo, en realidad existen diferencias de hasta el 5% aunque el componente integrado sea de las mismas dimensiones. Estas variaciones varían de forma aleatoria y no pueden ser compensadas por una resistencia de valor fijo. Esta característica se define por un desplazamiento en la corriente de entrada, el cual se define por la ecuación 27.

$$I_{OS} = I_{B1} - I_{B2} \quad (27)$$

Por lo cual, finalmente se puede definir la corriente de polarización como el promedio entre ambas corrientes de entrada (ec. 28) [11].

$$I_{bias} = \frac{I_{B1} + I_{B2}}{2} \quad (28)$$

6.3.3. Desplazamiento en voltaje de entrada

Diferencias en la construcción de los componentes provocan un desplazamiento en la entrada. Este representa el voltaje diferencial en la entrada que se debe aplicar para producir un valor de cero en la salida. Comúnmente este valor se encuentra entre 0.1 – 2mV para transistores de unión polar. Este efecto se puede corregir con la adición de un potenciómetro externo, sin embargo, la temperatura también produce una variación en el voltaje que debe ser considerada [11].

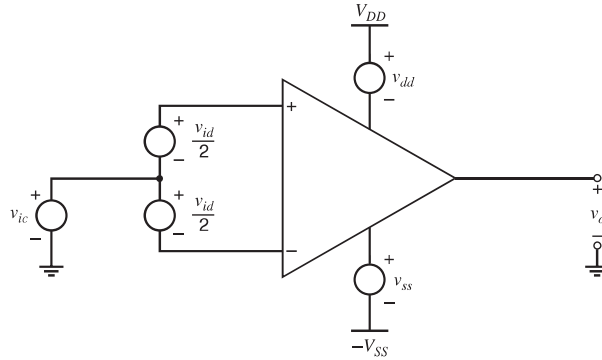


Figura 13: Circuito equivalente del opamp incluyendo desplazamiento de voltaje y corriente, resistencias de entrada y salida y ganancia de voltaje [11]

6.3.4. Resistencia de entrada

Los transistores bipolares poseen resistencias en la etapa de entrada alrededor de 100K hasta 1M Ohm. La ganancia de voltaje en configuraciones de lazo cerrado generalmente es tan grande que esta resistencia resulta despreciable.

6.3.5. Resistencia de salida

La resistencia de salida presente en los opamps se encuentra en el rango de 40 a 100 Ohmios. Similar al caso anterior, en aplicaciones de lazo cerrado, este valor no es significativo [11].

6.3.6. Respuesta en frecuencia

Las capacitancias asociadas al amplificador operacional implican una reducción en la ganancia de voltaje de la salida conforme aumenta la frecuencia de la señal de entrada. Este aspecto del comportamiento del opamp se caracteriza por un ancho de banda de unidad finita, el cual es la frecuencia a la cual la ganancia de voltaje en lazo abierto es igual a la unidad. Generalmente, esta frecuencia se encuentra en el rango de 1 hasta 100MHz. Estas diferencias del modelo idealizado pueden ser implementadas mediante el circuito equivalente de la Figura 13.

Otro aspecto que considerar en el comportamiento a altas frecuencias es la limitación en la tasa de cambio del voltaje de salida. Esto surge de la escasa corriente dentro del circuito para cargar el capacitor. Este fenómeno se conoce como slew-rate [11].

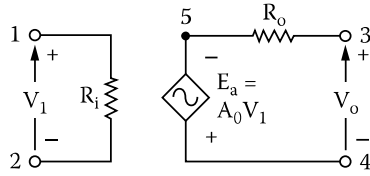


Figura 14: Amplificador operacional lineal DC [18]

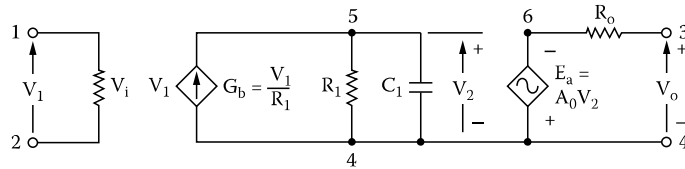


Figura 15: Amplificador operacional lineal AC [18]

6.3.7. Modelos simplificados del amplificador operacional

Modelo lineal DC del opamp

El amplificador operacional se puede modelar como una fuente controlada de voltaje con ganancia finita con resistencias de entrada y salida, como se muestra en la Figura 14. Se asume que la ganancia de voltaje es independiente de la frecuencia, a diferencia del amplificador operacional real, en el cual la ganancia decae conforme aumenta la frecuencia. Estos modelos son apropiados para aplicaciones DC o de baja frecuencia [18].

Modelo lineal AC del opamp

La respuesta en frecuencias del amplificador operacional se puede aproximar por una única frecuencia de corte. Generalmente, el ancho de banda se modela por el circuito de la Figura 15. Si el opamp posee más de una frecuencia de corte, se pueden representar utilizando tantos capacitores en paralelo a la fuente de corriente dependiente como sea necesario. Posee resistencias de entrada y salida, al igual que el modelo anterior. Su comportamiento sigue siendo lineal ya que no considera efectos de slew-rate ni saturaciones [18].

6.3.8. Modelo SPICE del amplificador operacional

SPICE no considera el opamp como un modelo sino como un subcircuito. Sin embargo, el simulador LTspice ofrece un modelo universal con cuatro niveles de exactitud para describir los aspectos generales del amplificador operacional. El componente se denota como *Universal Opamp* y dentro de sus propiedades se puede especificar el nivel y los parámetros del circuito integrado [19].

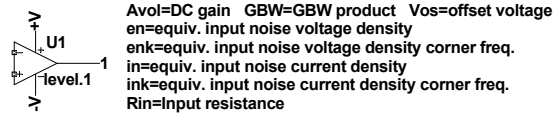


Figura 16: Opamp universal LTspice nivel 1 [19]

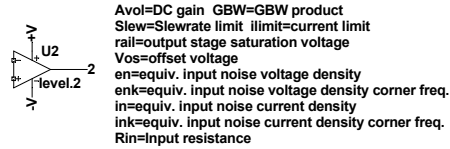


Figura 17: Opamp universal LTspice nivel 2 [19]

Modelo SPICE del opamp nivel 1

El primero modela un opamp lineal con único polo sin nodos internos. No modela efectos de slew-rate ni limitación de voltaje en la salida. La Figura 16 muestra su implementación en LTspice y los parámetros requeridos para definir el modelo completamente.

Modelo SPICE del opamp nivel 2

El segundo modelo posee también un único polo, pero con un nodo interno, además, introduce efectos de slew-rate y limitaciones en el voltaje y corriente de salida. Los parámetros empleados se muestran en la Figura 17.

Modelo SPICE del opamp nivel 3.a

Este nivel modela dos polos con dos nodos internos, slew rate, limitadores en el voltaje y corriente de salida y un margen de fase programable. Requiere de las entradas especificadas en la Figura 18.

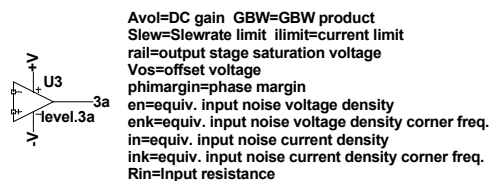


Figura 18: Opamp universal LTspice nivel 3.a [19]

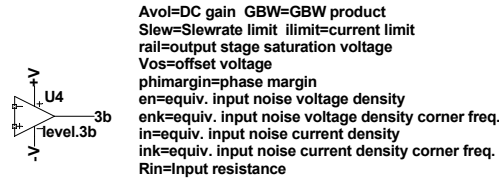


Figura 19: Opamp universal LTspice nivel 3.b [19]

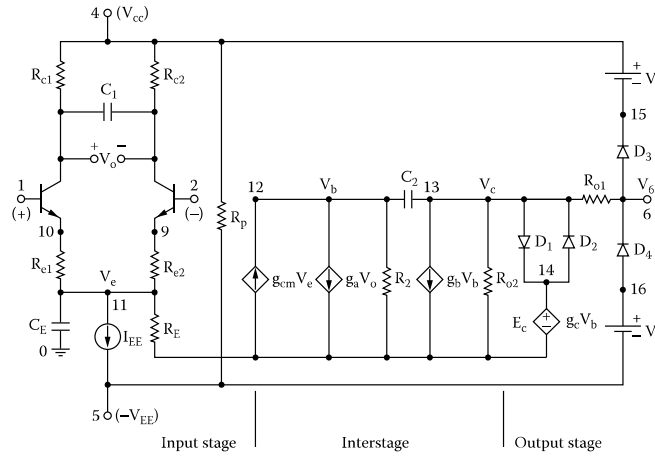


Figura 20: Amplificador operacional modelo macro [18]

Modelo SPICE del opamp nivel 3.b

El último modelo muestra un polo dominante con retraso, límites de slew rate, limitaciones en sus voltajes y corrientes de salida y un margen de fase programable. Implementa siete nodos internos.

Modelo macro del opamp

Los modelos de simulación de amplificadores operacionales proporcionados por los fabricantes se construyen como subcircuitos dentro de librerías. Estas implementaciones se componen de una gran cantidad de componentes pasivos, fuentes dependientes, diodos y transistores (Fig. 20), por lo que su carga computacional es mucho más elevada comparada con los modelos más sencillos. Ofrece la solución más cerca al comportamiento del opamp real [18].

6.4. MATLAB

MATLAB es una plataforma de programación diseñada para ingenieros y científicos. Su lenguaje expresa vectores y matrices de forma directa, lo cual resulta natural para matemá-

tica computacional. Permite analizar datos, desarrollar algoritmos y crear modelos. Además, se puede ampliar su funcionalidad mediante cajas de herramientas (toolboxes), las cuales son desarrolladas, puestas a prueba y documentadas [20].

6.4.1. Simulink

Simulink es un entorno de programación visual basado en diagramas de bloques que permiten simulaciones de múltiples dominios. Permite diseño a nivel de sistemas, simulación, generación automática de código y pruebas continuas de verificación para sistemas embebidos. Provee un editor gráfico, librerías con bloques personalizables y solucionadores para el modelado y simulación de sistemas dinámicos. Se encuentra integrado dentro de MATLAB, permitiendo incorporar algoritmos dentro de los modelos y exportar los resultados de simulación a MATLAB para su análisis posterior [21].

Diagramas de bloques

Los bloques pueden representar un componente físico, un pequeño sistema o una función. Los bloques se caracterizan por una relación entrada-salida. Se encuentran agrupados por funcionalidad dentro de las librerías. La función principal de Simulink es simular el comportamiento de los componentes del sistema a través del tiempo. Esto involucra mantener un reloj que determine el orden en el que los bloques se simularán y la forma en que se propagan las salidas de cada bloque al siguiente. En cada paso, cada bloque computa su salida dependiendo de la entrada. Una vez que todas las señales en el diagrama han sido computadas para un paso específico, Simulink determina el siguiente (dependiendo de la configuración del modelo y solucionador). En la simulación, el tiempo transcurre de forma distinta a un reloj real. Cada paso toma el tiempo necesario para finalizar las computaciones del diagrama. Los datos manipulados por Simulink se dividen en señales, estados y parámetros [21].

Solucionadores

La simulación de un sistema dinámico involucra la computación de estados sucesivos sobre un tiempo especificado. Simulink pone a disposición un conjunto de programas conocidos como solucionadores, los cuales proponen distintos acercamientos en la resolución del modelo.

Los solucionadores de paso fijo resuelven el modelo con un intervalo regular de tiempo desde el principio hasta el final de la simulación. El tamaño del intervalo se conoce como tamaño del paso, el cual se puede especificar o dejar que selecciona el más apropiado de forma automática. Generalmente, un disminuir el tamaño del paso aumenta la exactitud, aumentando el tiempo requerido para simular el sistema.

Los solucionadores de paso variable modifican el tamaño del paso durante la simulación. Disminuye el tamaño del paso para aumentar la exactitud cuando los estados del modelo cambian rápidamente e incrementa el tamaño del paso para evitar tomar pasos innecesarios cuando el estado del modelo cambia lentamente.

Los solucionadores continuos utilizan integración numérica para computar los estados del sistema de forma continua basándose en el paso actual y en anteriores. Dependen de los bloques individuales para computar los valores de los estados discretos del modelo durante cada paso.

Los solucionadores discretos se utilizan principalmente para resolver modelos puramente discretos. Únicamente computan el siguiente paso de la simulación. Dependen de cada bloque del modelo para actualizar su estado discreto individual. No computan estados continuos [21].

Modos de ejecución

MATLAB ofrece tres distintos modos de ejecución, los cuales ofrecen un aumento en la velocidad de la simulación a cambio de flexibilidad. El modo normal ofrece la mayor flexibilidad para realizar ajustes en el modelo y mostrar resultados, pero es el más lento de los tres. El modo acelerador ofrece un mayor rendimiento e interacción media. No permite diagnósticos durante la ejecución. Por último, el modo de acelerador rápido es el más veloz de todos, sin embargo, no soporta depurador ni perfiles, y funciona únicamente con modelos que poseen código C o archivos MEX disponibles para todos los bloques que incorpore [21].

Desempeño

Simulink ofrece técnicas que permiten acelerar la simulación de un modelo. El *Performance Advisor* examina las condiciones y configuraciones que pueden ralentizar la simulación. Esta herramienta puede realizar cambios de forma automática para correcciones o simplemente mostrarlas y permitir que el usuario las aplique de forma manual [21].

6.4.2. Simscape

Simscape permite crear modelos de sistemas físicos en el ambiente de Simulink mediante la construcción de componentes físicos basados en conexiones que se integran directamente con diagramas de bloques y otros paradigmas de modelado. Ayuda en el desarrollo de sistemas de control y en pruebas de desempeño a nivel de sistema. Tiene la capacidad de crear modelos propios utilizando el lenguaje de Simscape basado en MATLAB. Permite especificar la autoría del modelado físico de los componentes, dominios y librerías. Los modelos se pueden parametrizar utilizando variables y expresiones de MATLAB [22].

Modelado físico

El modelado físico consiste en un acercamiento mediante redes, en las cuales los bloques de Simscape corresponden a elementos físicos. Se pueden unir por líneas que corresponden a conexiones que transmiten potencia. Este método permite describir la estructura física del sistema en lugar de emplear matemática directa. La librería base contiene un conjunto de elementos básicos y bloques de construcción organizados por dominio [22].

Modelos eléctricos

La librería de eléctrica contiene bloques organizados en elementos, fuentes y sensores. Se deben conectar de la misma forma a como se realizaría en el sistema física real [22].

Los bloques de elementos eléctricos disponibles son [22]:

- Capacitor
- Diode
- Referencia eléctrica
- Giratorio
- Transformador ideal
- Inductor
- Resistencia infinita
- Memristor
- Inductor mutuo
- Op-Amp
- Circuito abierto
- Resistencia
- Convertidor rotacional electromecánico
- Switch
- Resistencia termal
- Convertiro traslacional electromecánico
- Resistencia variable

Los bloques de fuentes eléctricas son [22]:

- Fuente de corriente AC
- Fuente de voltaje AC
- Fuente dependiente de corriente
- Fuente dependiente de voltaje
- Fuente dependiente de corriente por fuente de corriente
- Fuente dependiente de corriente por fuente de voltaje

- Fuente de corriente DC
- Fuente de voltaje DC
- Fuente dependiente de voltaje por fuente de corriente
- Fuente dependiente de voltaje por fuente de voltaje

Los bloques de sensores eléctricos son [22]:

- Sensor de corriente
- Sensor de voltaje

Solucionador local

La simulación apropiada de Simscape requiere realizar cambios predeterminados en Simulink y tomar ciertas consideraciones. Se puede trabajar con solucionadores globales de Simulink o locales de Simscape. El solucionador local se selecciona en el bloque de configuración del solucionador. Los ajustes realizados afectan únicamente a la red física conectada y pueden diferir entre distintas redes. Una red física que implementa un solucionador local aparece en el solucionador global de Simulink como si tuviese estados discretos.

El solucionador local permite seleccionar entre el método de *Backward Euler* (predeterminado), *Trapezoidal Rule* o *Partitioning* y el tiempo de muestreo. Se puede especificar un costo fijo de simulación para iteraciones no lineales con el objetivo de evitar el desbordamiento de datos en aplicaciones en tiempo real. Este ajuste requiere de un solucionador global de paso fijo. Para asegurar el funcionamiento correcto entre diferentes periodos de muestreo para el solucionador global y local, se debe asegurar que el paso del primero sea más pequeño o igual al local, además de guardar una relación de multiplicidad [22].

Simulación en tiempo real

Un modelo es capaz de ser implementado en tiempo real si cumple con los siguientes requisitos:

- El resultado coincide con lo esperado, basado en datos empíricos o en modelos teóricos.
- El modelo se simula sin incurrir en desbordamiento.

Para crear un modelo viable en tiempo real se debe seleccionar un paso fijo y un costo fijo de simulación. Conforme se disminuye el tamaño del paso o se aumenta el número de iteraciones, el resultado se vuelve más exacto, sin embargo, el costo de la simulación aumenta y toma más tiempo para ejecutarse. Si el tamaño del paso es demasiado pequeño o si se realizan muchas iteraciones para calcular la solución en tiempo real, entonces puede ocurrir un desbordamiento de datos. Se recomiendan dos o tres iteraciones para obtener resultados

precisos. Si los resultados de la simulación en tiempo real no coinciden con los obtenidos con la referencia, se debe aumentar la precisión disminuyendo el tamaño del paso o aumentando el número de iteraciones. Si al realizar cambios en la configuración la exactitud o la velocidad aún no es suficiente, se debe evaluar hacer cambios sobre el modelo, disminuyendo su complejidad. En términos de velocidad, la única forma de determinar la factibilidad en tiempo real es realizando pruebas sobre el hardware de implementación y evaluar si existe desbordamiento. Los solucionadores explícitos de Simulink generalmente poseen la menor carga computacional entre las opciones globales, pero los solucionadores locales ofrecen el menor costo. El método de Euler es más robusto y estable que el trapezoidal. El trapezoidal es más preciso, pero menos estable, tiende a capturar oscilaciones. El método de partición es aún más robusto, sin embargo, no puede implementarse en ciertos modelos. Independientemente del solucionador seleccionado, la simulación utiliza el método de Euler cuando la estabilidad numérica se encuentra en riesgo [22].

Para reducir la carga computacional se deben considerar los siguientes aspectos [22]:

- Limitar el registro y monitoreo de datos.
- Evitar utilizar imágenes grandes y gráficos complejos.
- Deshabilitar diagnósticos innecesarios de errores y advertencias.
- Reconfigurar tolerancias.
- Simplificar subsistemas o reemplazarlos con tablas de búsqueda.
- Linealizar efectos no lineales.
- Eliminar redundancia en los cálculos.
- Reducir el número de ecuaciones diferenciales algebraicas.

6.4.3. Audio System Toolbox

La caja de herramientas de sistemas de audio provee algoritmos y herramientas para el diseño, simulación y elaboración de prototipos de sistemas de procesamiento de audio. Incorpora transmisión de señales de baja latencia desde y hacia interfaces de audio, ajuste de parámetros interactivo y generación automática de tecnologías de estudio virtual (VST) con código de MATLAB. Incluye librerías de algoritmos para procesamiento de audio, fuentes y medición. Permite interfaces externas MIDI para control y la incorporación de controladores de baja latencia como ASIO, ALSA y CoreAudio. Para el modo acelerado de simulación o prototipos de escritorio, ofrece soporte de generación de código C/C++ [23].

Lectura y escritura de audio

Esta herramienta se encuentra optimizada para procesamiento de señales en tiempo real. Los objetivos de entrada y salida son eficientes, ofrecen poca latencia y permiten la manipulación de parámetros para intercambiar rendimiento por latencia.

La adquisición de audio desde un archivo se realiza mediante el objeto *Audio File Reader*. Para transmitir audio desde un dispositivo o interfaz de audio se emplea el objeto *Audio Device Reader*. Las propiedades permiten especificar el controlador (driver), dispositivo (tarjeta de sonido), tasa de muestreo, profundidad de bits, tamaño del búfer, mapeo de canales entre el las entradas del dispositivo y la salida del objeto [23].

El procesamiento de audio en tiempo real para la lectura de datos se ejecuta de la siguiente manera [23]:

1. El dispositivo de entrada capta el sonido y lo envía una señal eléctrica continua a la tarjeta de sonido.
2. La tarjeta de sonido realiza la conversión analógica a digital con la configuración especificada en las propiedades.
3. Se escriben muestras de audio en el búfer de la tarjeta de sonido. Si el búfer se encuentra lleno, las nuevas muestras se ignoran. Esto se conoce como desbordamiento (*overrun*).
4. El dispositivo de lectura utiliza el controlador para extraer el cuadro más antiguo del búfer de la tarjeta de sonido de forma iterativa.

Para transmitir una señal de audio hacia un archivo, se utiliza el objetivo *Audio File Writer*. Si se desea transmitir hacia un dispositivo, entonces se emplea el objeto *Audio Device Writer*. De forma similar que para el dispositivo de entrada, se deben especificar los parámetros de tasa de muestreo, profundidad de bits, tamaño del búfer y el mapeo entre canales [23].

El procesamiento en tiempo real para la escritura de datos se ejecuta de la siguiente manera [23]:

1. La etapa de procesamiento entrega un cuadro del tamaño del búfer especificado para el dispositivo.
2. Este cuadro es enviado al búfer de la tarjeta de salida.
3. La tarjeta de sonido extrae el cuadro más antiguo del búfer y efectúa la conversión digital a analógica. La tarjeta de sonido envía la señal analógica al altavoz. Si el búfer se encuentra vacío cuando se realiza la extracción de datos, la tarjeta de sonido reproduce una región de silencio conocida como *underrun*.

Para lograr una sincronización correcta entra la lectura y escritura de audio se debe asegurar de que la configuración del dispositivo de entrada y salida sean las mismas. Si durante la ejecución de la simulación sucede un *overrun* o *underrun*, se deben tomar las siguientes consideraciones [23]:

1. Identificar cuando ocurre. Si sucede en las primeras iteraciones, se debe considerar llamar al comando de configuración antes del procesamiento. También se pueden utilizar bloques de data vacíos durante unos cuadros antes de iniciar el procesamiento real.

2. Utilizar controladores ASIO y asegurarse que el tamaño del búfer coincida con el utilizado en MATLAB.
3. Si la aplicación permite agregar latencia, se debe considerar aumenta el tamaño del búfer de los objetos.
4. Si la aplicación permite disminuir la resolución de la señal, se debe considerar disminuir la tasa de muestreo.
5. Cerrar todos los procesos no esenciales de la computadora. Estas tareas pueden solicitar tiempo de procesamiento de forma asíncrona durante interrupciones, perturbando el ciclo de procesamiento de audio en tiempo real.
6. Para maximizar el rendimiento se deben remover todos los bloques de visualización. De ser necesarios, se debe considerar incorporar visualizadores del *DSP System Toolbox*.
7. Si el algoritmo de procesamiento es muy pesado, se deben considerar medidas apropiadas para reducir el costo computacional.

6.4.4. DSP System Toolbox

La herramienta *DSP System Toolbox* provee algoritmos, aplicaciones y visualizadores para diseñar, simular y analizar sistemas de procesamiento de señales digitales (DSP) en MATLAB y Simulink. Permite modelar sistemas DSP en tiempo real para comunicaciones, radares, audio, dispositivos médicos, el internet de las cosas, y otras aplicaciones. Con este *toolbox* se pueden diseñar y analizar filtros FIR, IIR, multi-tasas, multi-etapas y adaptativos. Transmitir señales desde variables, archivos de datos y dispositivos de red para desarrollo de sistemas y verificación. El visualizador de tiempo, analizador de espectro y analizador de lógica permite mostrar y medir de forma dinámica la transmisión de señales. Incorpora la generación de código C/C++, soporte para procesadores embebidos y arquitecturas ARM Cortex. Los algoritmos se encuentra disponibles como funciones de MATLAB, objetivos de sistema y bloques de Simulink [24].

Procesamiento basado en cuadros

Los bloques procesan los datos un cuadro (*frame*) a la vez. Cada cuadro contiene muestras secuenciales de un canal. Cada canal se representa por una columna de la señal de entrada. Los bloques interpretan un vector de $M \times N$ como N canales que contienen M muestras por cuadro. Este tipo de procesamiento resulta ventajoso para muchas aplicaciones de procesamiento de señales porque permite procesar múltiples muestras a la vez. Empleando un búfer, generalmente mejora el tiempo computaciones de los algoritmos. Durante una ejecución en tiempo real, se realiza rápidamente el muestreo y se procesan un cuadro que contiene una gran cantidad de datos, en lugar de una muestra a la vez.

El bloque *Unbuffer* divide una entrada $M \times N$ en una salida individual de $1 \times N$. La tasa a la que el bloque recibe entradas es generalmente menor que la tasa a la que el bloque produce las salidas. El bloque ajusta la tasa de salida para que el periodo de muestreo sea el mismo para la entrada y la salida.

El bloque *Buffer* redistribuye los datos de entrada para formar una salida con diferente tamaño de cuadro. Ingresar una señal al búfer involucra una tasa de salida más lenta que la entrada. Sin embargo, también se puede configurar para funcionar como un *Unbuffer*, en cuyo caso, la tasa de la salida sería más veloz que la de entrada [24].

Estudio de pedal de distorsión Boss DS-1

Se realizó una investigación sobre los esquemáticos, componentes electrónicos y PCB que conforman el pedal de efectos a estudiar. Con esta información, se fabricó una réplica física para la toma de mediciones y comparaciones con las implementaciones digitales. Se tomaron en consideración no solo los valores nominales de los componentes pasivos sino también las tolerancias y materiales utilizado en las resistencias y capacitores, así como la utilización de los circuitos integrados originales o equivalentes que mantuvieran características relevantes similares. Teniendo conocimiento sobre los componentes empleados en el prototipo de pruebas, se tiene a disposición las hojas de datos de los fabricantes, las cuales contienen valores esenciales para ser utilizados en los parámetros de los modelos finales.

7.1. Esquemático

El estudio para la obtención del esquemático original del pedal de distorsión inicia con una búsqueda de diagramas existentes. Se revisaron alrededor de cinco propuestas, siendo las más relevantes y congruentes las elaboradas por ElectroSmash [25] y Brett Miller [26]. Este acercamiento permite realizar un primer diagrama del circuito, construido por el aporte de ambas fuentes y terminado por la comparación final con un pedal físico real, con el cual se corroboraron que las topologías fueran correctas, así como los valores de los componentes, potencias y materiales. Los diagramas esquemáticos utilizados a lo largo de este proyecto se encuentran adjuntos en la sección de anexos. Se verificó su funcionamiento mediante una simulación en NI Multisim 14.0. Los diagramas electrónicos y diseño del PCB fueron elaborados en Altium Designer 17.

Componente	Ohms	Cantidad	# Fabricante
R9	22	1	CFR-25JR-52-22R
R4,R6,R10,R11,R23	100k	5	CFR-25JR-52-100K
R3,R8,R18,R21,R24,R25	10k	6	CFR-25JR-52-10K
R1,R22,R40	1k	3	CFR-25JR-52-1K
R19,R20	1M	2	CFR-25JR-52-1M
R14,R15	2.2k	2	CFR-25JR-52-2K2
R13	4.7k	1	CFR-25JR-52-4K7
R2,R7	470k	2	CFR-25JR-52-470K
R39	47k	1	CFR-25JR-52-47K
R16,R17	6.8k	2	CFR-25JR-52-6K8
VR1,VR2	100k	2	P160KN-0QC15B100K
VR3	20k	1	P160KN-0QC15B20K

Cuadro 1: Resistencias utilizados en prototipo

7.2. Identificación de componentes

Con el diagrama esquemático final y apoyándose en el pedal físico original, se procedió a realizar el listado de componentes necesarios para la elaboración del prototipo. Todos los materiales empleados fueron adquiridos en MOUSER ELECTRONICS, a continuación, se detallan los componentes divididos en las siguientes categorías: resistencias, capacitores, semiconductores y circuitos integrados.

7.2.1. Resistencias fijas

Todas las resistencias utilizadas son marca Yageo, de película de carbón de la serie CFR. Disipan hasta $1/4W$ de potencia, su tolerancia es del 5% y su coeficiente de temperatura es de $350PPM/C$. El listado se encuentra en el Cuadro 1, el número de resistencia hace referencia al presentado en el diagrama esquemático final.

7.2.2. Resistencias variables

Los controles de distorsión, tono y volumen son controlados por potenciómetros lineales. Se seleccionaron con una tolerancia del 20%, disipación potencia de $1/5W$, rango de voltaje de $200VAC$ de la marca TT Electronics, con los valores de resistencia mostrados al final del Cuadro 1.

7.2.3. Capacitores

Se utilizaron capacitores electrolíticos, de película de poliéster y cerámicos de acuerdo a los observados en el pedal original, descritos en el Cuadro 2. Los electrolíticos y de poliéster son de la marca Nichicon, su rango de voltaje es de $50VDC$, con una tolerancia del 20%

Capacitor	Capacitancia	Material	Cantidad	# Fabricante
C1, C3, C13	0.047u	Poliéster	3	QYX1H473JTP
C2, C8, C9	0.47u	Electrolítico	3	UVR1HR47MDD
C4	250p	Cerámica	1	562R10TST25QA
C5	0.068u	Poliéster	1	QYX1H683KTP
C7	100p	Cerámica	1	S101K29S3NN63L6R
C10	0.01u	Poliéster	1	QYX1H103KTP
C11	0.022u	Poliéster	1	QYX1H223KTP
C12	0.1u	Poliéster	1	QYX1H104KTP
C14	1u	Electrolítico	1	ULD1H010MDD1TD
C15	47u	Electrolítico	1	UVR1H470MED1TD
C23	100u	Electrolítico	1	UVR1H101MPD1TD

Cuadro 2: Capacitores utilizados en prototipo

Semiconductor	Cantidad	# Fabricante
D4, D5, D8	3	1N4148
D1	1	1N4004-T
Q1, Q2, Q3	3	BC550CBU

Cuadro 3: Semiconductores utilizados en prototipo

y 10%, respectivamente. Para los cerámicos se seleccionó la marca Vishay, con rango de voltaje de $1kVDC$ y una tolerancia del 10%.

7.2.4. Semiconductores

Los diodos utilizados 1N4148 y 1N4004-T son de las marcas ON Semiconductor y Rec-tron, respectivamente. Los transistores originales incorporados en el pedal, C2240, no se producen más, debido a ello se tuvieron que reemplazar por otro modelo que sí estuviera disponible, se decidió optar por el transistor BC550CBU de ON Semiconductor (Cuadro 3).

7.2.5. Circuitos integrados

El único circuito integrado (IC) utilizado en el diseño del pedal es un amplificador operacional dual de alimentación individual de alto rendimiento NJM3404AL de la marca New Japan Radio CO (Cuadro 4).

IC	Cantidad	# Fabricante
U1	1	NJM3404AL

Cuadro 4: Circuito integrado utilizado en prototipo

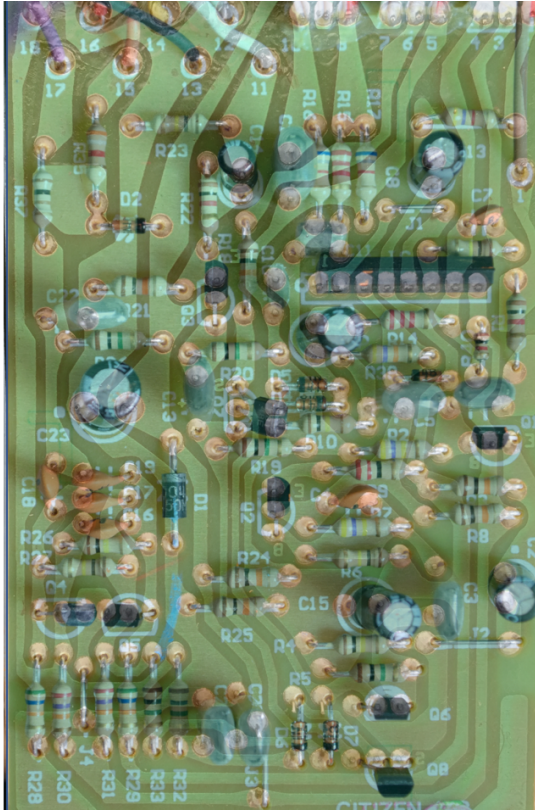


Figura 21: Distribución original de componentes

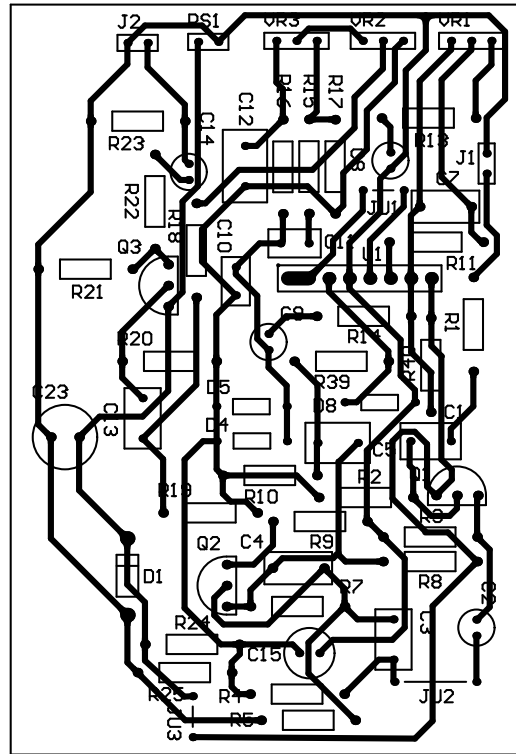


Figura 22: Placa elaborada en Altium

7.3. Diseño de placa del circuito

El diseño de la placa se realizó utilizando el software Altium Designer 17. La razón por la cual se decidió fabricar el PCB fue para minimizar la presencia de capacitancias parásitas al armar el circuito en una placa de prototipos, así como minimizar la resistencia entre las conexiones de los componentes. De esta forma, se disminuye el aporte de factores externos a los considerados en el análisis. Con la información de las hojas de datos de los componentes, se realizaron las librerías de esquemáticos y PCB (footprints), las cuales se encuentra disponibles en el repositorio de Librerías de componentes.

Basándose en el diagrama del circuito seleccionado anteriormente, se procedió a realizar el esquemático del proyecto, el cual se dividió en las etapas individuales que se estudiarán posteriormente, colocándolas en diferentes páginas. Con ello, se hizo el diseño de la placa, para la cual se prestó atención a la distribución de componentes de la placa física original con el objetivo de que fuera lo más parecida posible, minimizando las diferencias (Fig. 21). El diseño final de la placa (Fig. 22), junto con los diagramas elaborados se encuentran disponible en el repositorio de Google Drive.

Análisis inicial del circuito

Con el esquemático terminado se realizó un análisis inicial de las topologías del circuito utilizando los modelos básicos e ideales del diodo, transistor y el amplificador operacional con el fin de obtener una aproximación inicial de la solución del sistema. Se busca comprender el efecto de los bloques de circuitos sobre la señal de audio. Y con ello, determinar las características más relevantes de cada componente que deberán ser consideradas en el modelado para caracterizar adecuadamente su comportamiento.

8.1. Fuente de alimentación

El circuito es alimentado por 9 voltios mediante un transformador o batería externa y utiliza un divisor de voltaje (ec. 29) para obtener 4.5v. Además, posee un diodo para protección (ec. 30) y dos capacitores para estabilizar el voltaje y acople entre módulos.

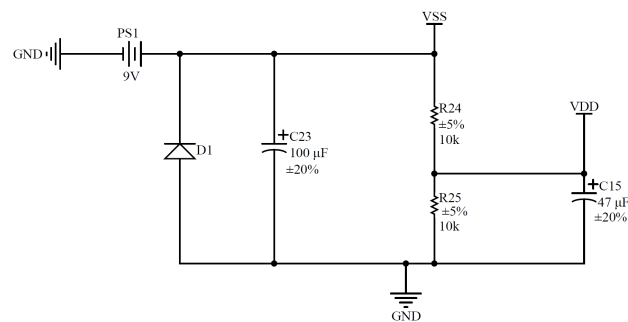


Figura 23: BOSS DS-1, Fuente de alimentación

$$V_{outPS} = \frac{V_{PS}R_{25}}{R_{24} + R_{25}} \quad (29)$$

$$(V_{PS} \leq -V_{\phi_0D1} \rightarrow V_{inPS} = -V_{\phi_0D1}) \wedge (V_{PS} > -V_{\phi_0D1} \rightarrow V_{inPS} = V_{inPS}) \quad (30)$$

8.2. Búfer de entrada

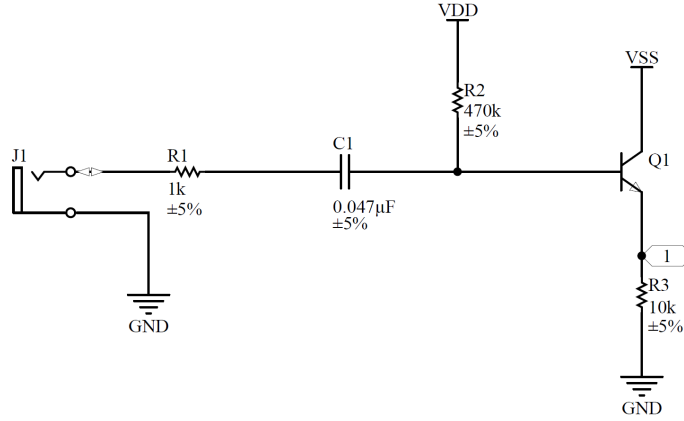


Figura 24: BOSS DS-1, Búfer de entrada

Esta etapa se emplea para el acople de impedancias entre la salida de la guitarra eléctrica y la entrada del procesador de efectos. La señal proveniente del instrumento pasa por un filtro pasa altas conformado por C_1 y R_2 con una frecuencia de corte de 7.20Hz (ec. 31). El objetivo de este filtro es eliminar perturbaciones DC y ruido de frecuencias inferiores. Su impedancia de entrada se aproxima a R_2 .

$$f_{c1} = \frac{1}{2\pi C_1 R_2} \quad (31)$$

Luego se encuentra un transistor seguidor emisor. A continuación, se detalla el cálculo del voltaje colector emisor del punto Q y el voltaje de salida del búfer.

$$V_{outPS} - I_2 R_2 - V_{BE} - I_3 R_3 = 0 \quad (32)$$

$$V_{outPS} - I_2 R_2 - V_{BE} - I_2 R_3 (1 + \beta) = 0 \quad (33)$$

$$I_2 = \frac{V_{outPS} - V_{BE}}{R_2 - R_3 (1 + \beta)} \quad (34)$$

$$I_3 = I_2 (1 + \beta) \quad (35)$$

$$V_{outIB} = I_3 R_3 = \frac{(V_{outPS} - V_{BE})(1 + \beta) R_3}{R_2 - R_3 (1 + \beta)} \quad (36)$$

$$V_{CE} = V_{cc} - V_{outIB} \quad (37)$$

8.3. Transistor de amplificación

Al inicio se encuentra un filtro pasa altas con frecuencia de corte de 33.86Hz.

$$f_{c2} = \frac{1}{2\pi C_2 R_4} \quad (38)$$

La topología del transistor corresponde a un *Shunt Feedback Common Emitter* con una ganancia de 56, su salida está dada por la ecuación 39.

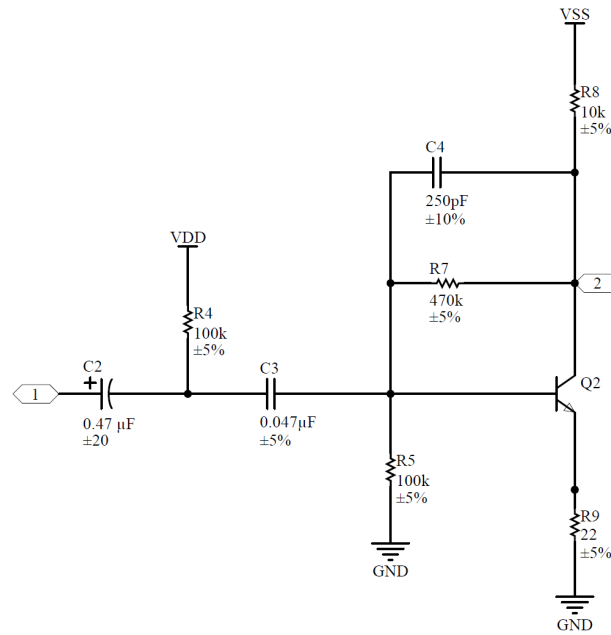


Figura 25: BOSS DS-1, Transistor de amplificación

$$V_{outTB} = \frac{V_{inPS} + V_{BE} \left(\frac{R_8}{R_9} + 1 \right)}{\frac{R_5 + R_8}{R_5 + R_7} + \frac{R_5 R_8}{(R_5 + R_7) R_9} + 1} \quad (39)$$

8.4. Ganancia de op-amp y limitador

Los componentes C5 y R10 forman un filtro pasa altas al inicio del módulo (ec. 40), con una frecuencia de corte de 23Hz.

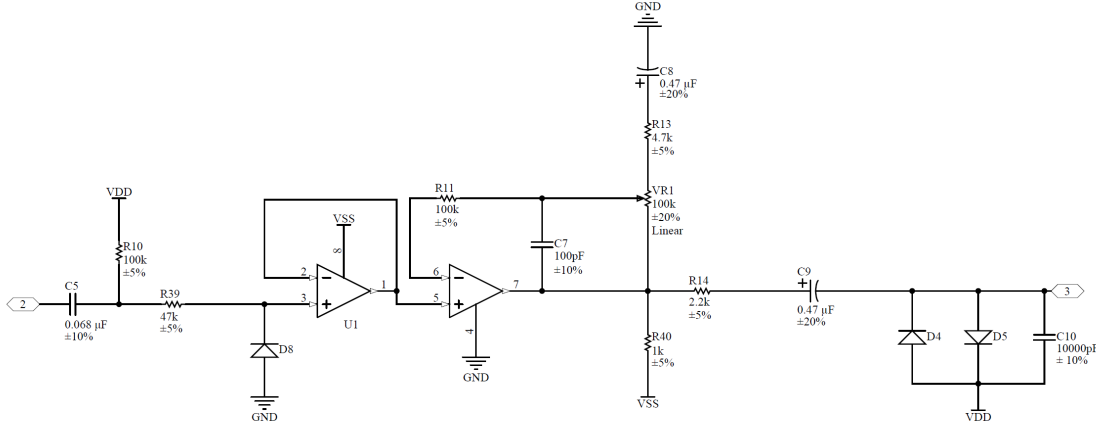


Figura 26: BOSS DS-1, Ganancia de op-amp y limitador

$$f_{c5} = \frac{1}{2\pi C_5 R_{10}} \quad (40)$$

El diodo D8, con su ánodo conectado a tierra y su cátodo a la terminal no inversora del op-amp, producen una etapa de limitación asimétrica para protección del componente (ec. 41), afectando únicamente la parte negativa de la onda con el valor de su voltaje intrínseco.

$$(V_{inOP} > -V_{\phi_0 D8} \rightarrow V_{inOP} = V_{outTB}) \wedge (V_{inOP} \leq -V_{\phi_0 D8} \rightarrow V_{inOP} = -V_{\phi_0 D8}) \quad (41)$$

El primer amplificador operacional se encuentra en configuración de seguidor de voltaje.

$$V_{outU1} = V_{1U1} = V_{2U1} \quad (42)$$

Seguido de un amplificador no inversor, el cual controla la ganancia de la distorsión.

$$\frac{V_{outU2} - V_{outU1}}{V_{R1}} - \frac{V_{outU1}}{R_{13}} = 0 \quad (43)$$

$$V_{outU2} = \left(\frac{V_{R1}}{R_{13}} + 1 \right) \quad (44)$$

Ya que el potenciómetro es de 100k y R13 es de 4.7k Ohm, los valores de ganancia que permite alcanzar el amplificador no inversor se encuentran entre 1 y 22.28.

En la misma topología de ganancia se encuentra un filtro pasa altas, formado por C8 y R13, con una frecuencia de corte de 72Hz.

$$f_{c8} = \frac{1}{2\pi C_8 R_{13}} \quad (45)$$

Los diodos D4 y D5 producen una saturación severa (ec. 46), limitando los valores de la señal.

$$(V_{outU2} \geq -V_{\phi_0 D5} \rightarrow V_{outOG} = V_{\phi_0 D5}) \wedge (V_{outU2} \leq -V_{\phi_0 D4} \rightarrow V_{outOG} = -V_{\phi_0 D5}) \quad (46)$$

Finalmente, el capacitor C10 y R14 forman un filtro pasa bajas (ec. 47) de 7.2kHz. El cual, en conjunto con el HPF anterior, formarán un filtro pasa bandas.

$$f_{c10} = \frac{1}{2\pi C_{10} R_{14}} \quad (47)$$

8.5. Tono y volumen

La siguiente etapa se encarga del control de tono y volumen. Se encuentra conformada por un filtro pasa bajas con frecuencia de corte de 234Hz (ec. 48) y un filtro pasa altas con frecuencia de corte de 1063Hz (ec. 49).

$$f_{c11} = \frac{1}{2\pi C_{11} R_{17}} \quad (48)$$

$$f_{c12} = \frac{1}{2\pi C_{12} R_{16}} \quad (49)$$

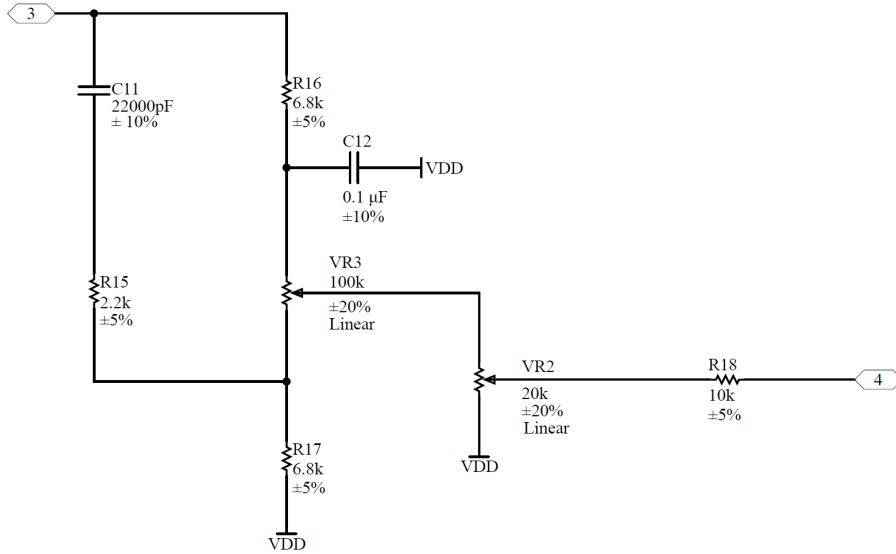


Figura 27: BOSS DS-1, Tono y volumen

El potenciómetro de tono une ambas señales procesadas por los filtros y permite variar el aporte de cada una. Por último, el control de volumen modifica el voltaje que inyecta a la señal, variando su amplitud en la salida.

8.6. Búfer de salida

El transistor de la última etapa comparte la misma topología de seguidor emisor del búfer de entrada, con la adición de dos filtros pasa altas. Su función es acople de impedancias con la salida, así como normalizar la señal.

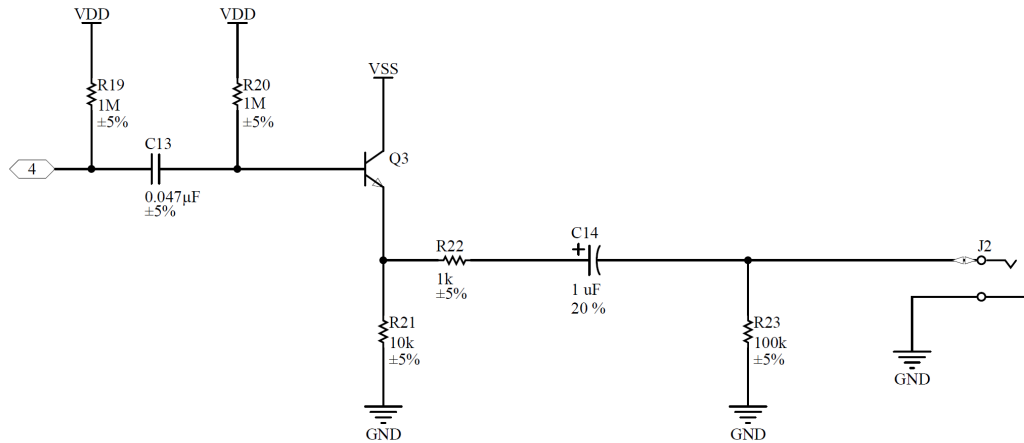


Figura 28: BOSS DS-1, Búfer de salida

Se encuentra un primer filtro pasa altas con una frecuencia de corte de 3.4Hz.

$$f_{c13} = \frac{1}{2\pi C_{13} R_{20}} \quad (50)$$

El seguidor emisor posee la misma ecuación de voltaje de salida que en el búfer de entrada.

$$V_{outIB} = \frac{(V_{outPS} - V_{BE})(1 + \beta)R_{23}}{R_{19} || R_{20} - R_{23}(1 + \beta)} \quad (51)$$

$$V_{CE} = V_{cc} - V_{outIB} \quad (52)$$

Por último, un filtro pasa altas con frecuencia de corte de 1.6Hz remueve la señal DC de la salida.

$$f_{c14} = \frac{1}{2\pi C_{14} R_{23}} \quad (53)$$

Justificación en la utilización de modelos no lineales

Los modelos ideales de los dispositivos semiconductores ofrecen una buena aproximación del comportamiento general del circuito con un costo computacional reducido, sin embargo, su exactitud es muy inferior a la obtenida mediante la utilización de modelos no lineales y al considerar las capacitancias parásitas y resistencias internas de los componentes. En el siguiente capítulo se muestra una comparación entre el modelo SPICE del diodo 1N4148, un modelo ideal elaborado mediante directivas de SPICE y mediciones físicas del circuito. Los resultados demuestran que la implementación del modelo exponencial, con sus capacitancias y resistencia, presenta una respuesta prácticamente idéntica a la de los componentes reales.

9.1. Modelos comparados

9.1.1. Modelo ideal

El modelo ideal se elaboró en LTspice mediante el uso de la directiva `.model ideal D(Ron=.0001 Roff=1Meg Vfwd=0.65 Vrev=2)`, la cual replica el comportamiento de un diodo ideal como se muestra en la curva característica, en donde se muestra la corriente que pasa a través del diodo con una fuente de voltaje de rampa aplicada (Fig. 29). La ecuación matemática que describe su comportamiento es la siguiente:

$$I_D = 0, v \leq \phi_0 \quad (54)$$

$$I_D = \infty, v > \phi_0 \quad (55)$$

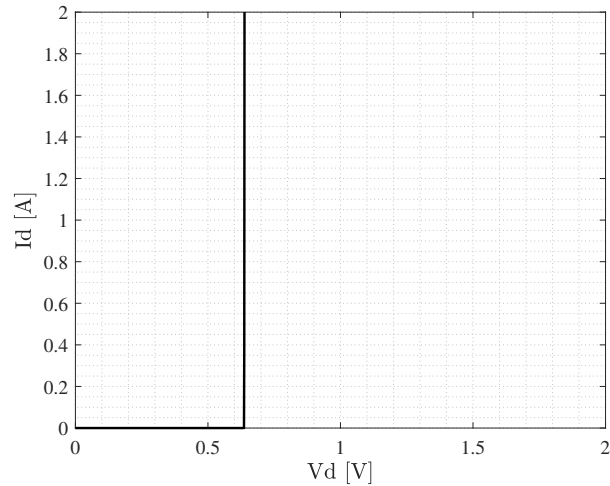


Figura 29: Curva característica del diodo ideal

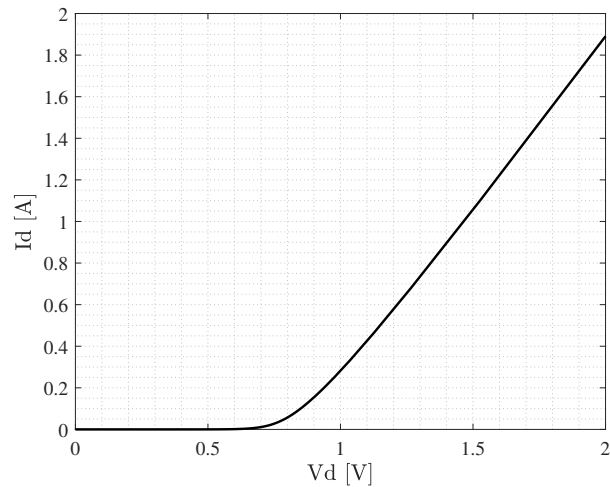


Figura 30: Curva característica del diodo 1N4148 SPICE

9.1.2. Modelo exponencial

Para el modelo exponencial se utilizó el diodo 1N4148 de la librería de LTspice, el cual se encuentra descrito por la siguiente directiva `.model 1N4148 D(Is=2.52n Rs=.568 N=1.752 Cjo=4p M=.4 tt=20n Iave=200m Vpk=75 mfg=OnSemi type=silicon)`, obteniendo la respuesta de la Figura 30. Se modela por la ecuación de Shockley (ec. 56) y toma en consideración la resistencia interna y capacitancia parásita.

$$I_D = I_S(e^{V_D/V_T} - 1) \quad (56)$$

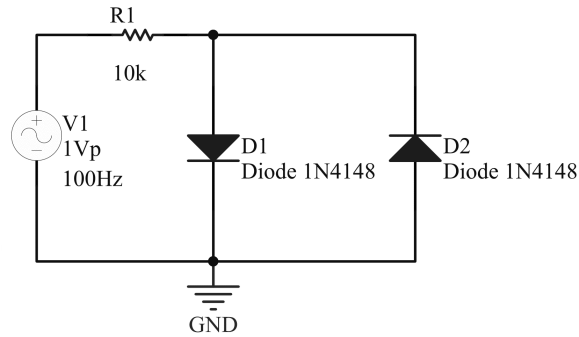


Figura 31: Circuito limitador con diodos

9.2. Metodología de comparación

La metodología utilizada para las comparaciones que se presentarán a continuación consistió en los siguientes pasos:

- Armar el circuito físico y realizar medición en la salida utilizando el osciloscopio ajustando la salida adecuada. Exportar la información en un documento *.CSV*. Determinar el paso (step) utilizado.
- Implementar el circuito especificado en LTspice con el modelo ideal y exponencial planteados anteriormente. Exportar la salida mediante la utilización de las siguientes directivas, las cuales especifican un paso constante en la salida ya que de lo contrario el paso será variable y no podría compararse adecuadamente con la medición física. Copiar información proporcionada en el *SPICE Error Log* a una hoja de datos.

```

1 .param T=0
2 .meas tran result find var at = T
3 .step param T inicio final paso

```

- Analizar y comparar la información de ambas fuentes utilizando el software MATLAB, generando ambas figuras y calculando el error cuadrático medio entre las señales deseadas.

9.3. Circuito limitador con diodos

La primera comparación se efectuó utilizando un circuito simple limitador (clipping), el cual es ampliamente utilizado en topologías de efectos de distorsión (Fig. 31).

La señal de salida de los modelos propuestos y el real muestran que el modelo exponencial de SPICE se comporta más cercano a las mediciones físicas, específicamente al acercarse al límite de voltaje especificado por el nivel intrínseco del diodo (Fig. 32). Al calcular el error

Modelo	RMSE
Ideal	1.8000e-03
Exponencial	0.5498e-03

Cuadro 5: Error cuadrático medio en salida de modelos con circuito limitador

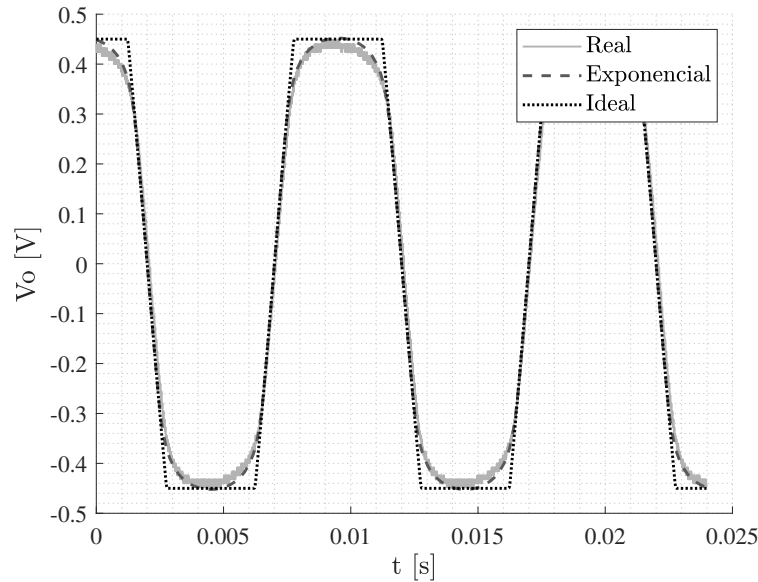


Figura 32: Salida en circuito limitador con diodos

cuadrático medio (RMSE) entre los modelos y la medición real se encontró que la utilización del modelo ideal produce un error 3.27 veces mayor que con el modelo exponencial (Cuadro 5).

9.4. Circuito de overdrive

Para el segundo circuito se propuso un pedal de overdrive con una dinámica más compleja basándose en la topología presente en los pedales DOD Overdrive 250 y MXR Distortion +. El cual consiste en una etapa de acople capacitivo en la entrada, un divisor de voltaje que polariza la señal de entrada en el amplificador operacional ya que utiliza una única fuente de alimentación y, finalmente, se encuentra una etapa de clipping, que es la cual se sustituirá por ambos modelos para compararlos con el circuito físico (Fig. 33).

Similar al caso anterior, los resultados demuestran un comportamiento más cercano de parte del modelo exponencial al compararlo con la medición real, mientras que el modelo ideal muestra un error 2.51 veces mayor (Cuadro 6). La salida de cada modelo se muestra en la Figura 34.

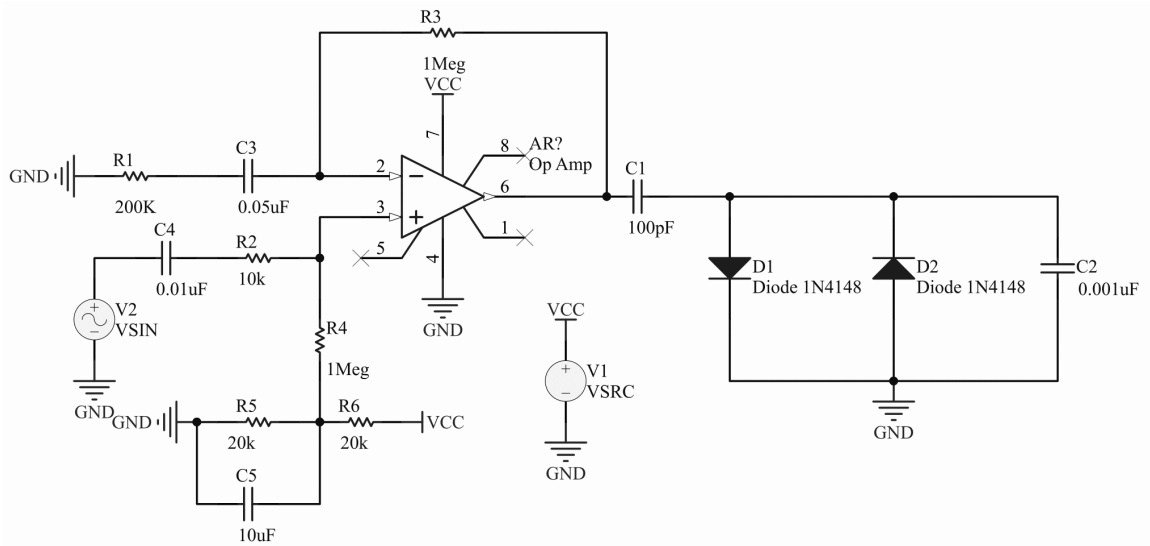


Figura 33: Circuito de overdrive

Modelo	RMSE
Ideal	16.0000e-04
Exponencial	6.3653e-04

Cuadro 6: Error cuadrático medio en salida de modelos con circuito de overdrive

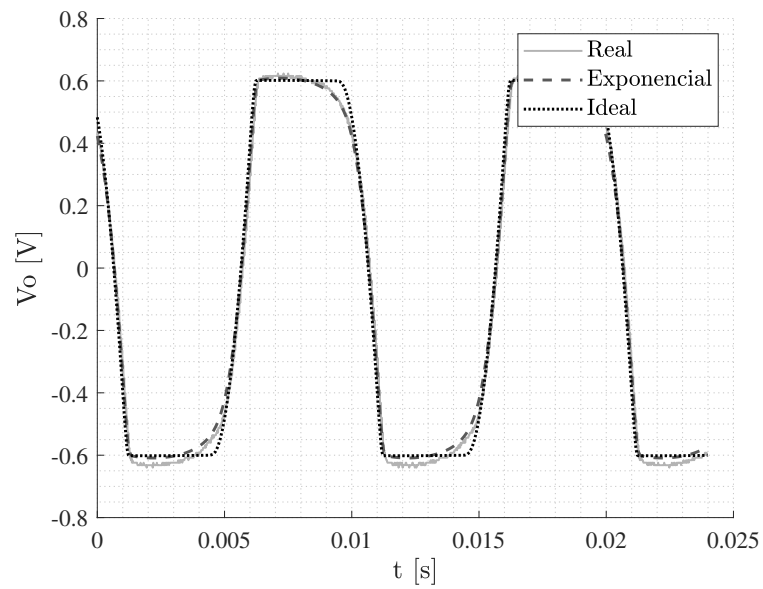


Figura 34: Salida en circuito de overdrive

9.5. Conclusión sobre comparación de modelos

Los resultados obtenidos demuestran la superioridad del modelo exponencial considerando resistencia interna y capacitancias parásitas comparado con el modelo ideal que tan sólo se limita a conducir al rebasar el voltaje intrínseco especificado o no. Ciertamente, los recursos computacionales necesarios para el primer caso son superiores, sin embargo, la exactitud obtenida permite una emulación de mayor calidad. Se deberá evaluar posteriormente la complejidad necesaria para obtener resultados cercanos a los reales y que permitan su implementación en tiempo real.

Se proponen cuatro niveles distintos de implementación para el diodo. Inicia con el modelo exponencial descrito por la ecuación de Shockley. El segundo nivel incorpora una resistencia en serie que regula el crecimiento de la corriente respecto al voltaje de la unión. Luego, se propone el sistema dinámico que incorpora capacitancias parásitas con valores fijos. Y, por último, se consideran capacitancias de difusión y transición que varían dependiendo del voltaje aplicado.

10.1. Implementación de modelos en Simscape Simulink

La implementación de los modelos propuestos para semiconductores y amplificadores operacionales se realizó en Simulink utilizando la librería de Simscape enfocada en electrónica. Se parte de los componentes base presentes en la *Foundation Library* ubicados en la siguiente ruta:

```
1 MATLAB\R2018a\toolbox\physmod\simscape\library\m\+foundation\+electrical
```

El procedimiento para la elaboración de la librería propia fue el siguiente: Se crea una carpeta cuyo nombre inicie con el signo más seguido del nombre del elemento. Por ejemplo, `+pn_shockley`. Se copian los archivos `*.ssc` y `*.svg` de la ruta de MATLAB que se deseen modificar. En este caso, serían `pwl_diode.ssc` y `pwl_diode.svg`, los cuales se modificaron a `pn_shockley.ssc` y `pn_shockley.svg`, respectivamente, para que el nombre coincida con el de la carpeta creada con anterioridad. Se procede a programar el fichero `*.ssc` para describir los comportamientos estudiados utilizando la plantilla propuesta por la librería, la cual posee secciones dedicadas a parámetros, variables, entradas, salidas y ecuaciones. Finalmente, ubicado en la carpeta del componente se escribe el comando `ssc_build`, el cual genera la

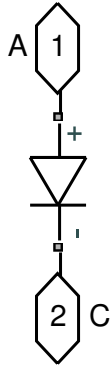


Figura 35: Diagrama en Simulink de implementación del diodo nivel uno

librería `*_lib.slx` del componente junto con una carpeta llamada `sccprj` que posee dentro un archivo `*.pmdlq`. Se deben copiar todos los archivos relacionados a la misma ubicación donde será utilizado el componente.

10.2. Implementación del modelo del diodo

10.2.1. PN nivel I

El primer nivel se encuentra descrito únicamente por la ecuación de Shockley como se muestra en la Figura 35. Ya que no incorpora una resistencia en serie, la corriente aumenta directamente por la relación exponencial con el voltaje aplicado. Los parámetros necesarios para definir el modelo son la corriente de saturación I_S , el coeficiente de emisión N y el voltaje termal V_T .

Los procesadores de efectos para guitarra trabajan generalmente con voltajes de entrada entre $0-9V$ o $0-12V$, por lo que ningún modelo toma en consideración el efecto de ruptura por avalancha.

10.2.2. PN nivel II

Este nivel toma en consideración una resistencia en serie a la unión PN (Fig. 36), requiere únicamente la adición del parámetro R_S . El comportamiento estático del diodo queda definido por completo con este modelo.

10.2.3. PN nivel III

El tercer nivel modela el comportamiento dinámico del diodo al incluir el efecto de un capacitor de valor fijo en paralelo a la unión (Fig. 37). Requiere del parámetro de capacitancia de la unión bajo polarización cero C_{J0} .

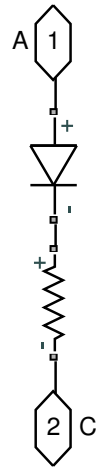


Figura 36: Diagrama en Simulink de implementación del diodo nivel dos

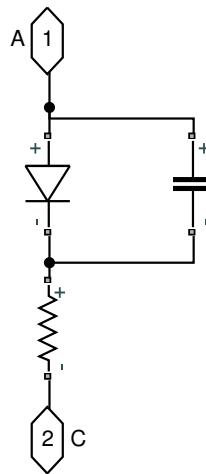


Figura 37: Diagrama en Simulink de implementación del diodo nivel tres

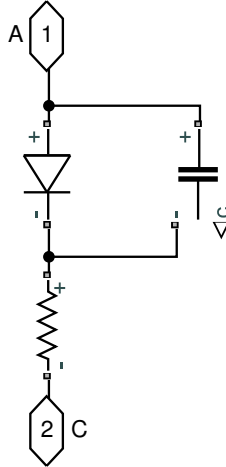


Figura 38: Diagrama en Simulink de implementación del diodo nivel cuatro

10.2.4. PN nivel IV

El nivel más complejo implementado para el diodo incorpora capacitancias de difusión y transición cuyos valores dependen del voltaje aplicado en la unión en lugar de asignar un valor fijo. Ya que la capacitancia de difusión es predominante durante la polarización directa, se ignoran los efectos del capacitor de transición, y se toma la misma simplificación para el caso inverso. Este modelo requiere del tiempo de tránsito T , el coeficiente de gradiente m , además de I_S , N , V_T y C_{J0} , los cuales fueron definidos con anterioridad. El diagrama elaborado en Simulink se muestra en la Figura 38.

10.3. Obtención de parámetros

Los parámetros requeridos para definir los modelos planteados se obtuvieron mediante el SPICE Model Wizard incorporado dentro de Altium Designer [27]. Este asistente permite la creación de modelos de simulación creados en SPICE con tan sólo ingresar valores presentados en las gráficas de la hoja de datos del semiconductor. Con ayuda de la herramienta de la página WebPlotDigitizer se extrajeron los valores correspondientes a las mediciones mostradas en las figuras.

El modelado del diodo requiere los datos de la curva de polarización en directa (forward-bias diode current), que muestra la corriente en el diodo dependiendo del voltaje aplicado. La Figura 39 muestra la gráfica de la hoja de datos del fabricante para el diodo 1N4148 de Fairchild [28]. De esta información se pueden extraer los parámetros I_S , N y R_S . Los valores calculados fueron $I_S = 0.9E - 09$, $N = 2.39$ y $R_S = 0.62$.

Los datos de la capacitancia de la unión en polarización en inversa (Reverse-bias Junction Capacitance) presentados en la Figura 40 se utilizan para calcular C_{J0} , V_J y M . Los valores entregados por el asistente fueron $C_{J0} = 8.7181E - 13F$, $V_J = 0.51V$ y $M = 0.021$.

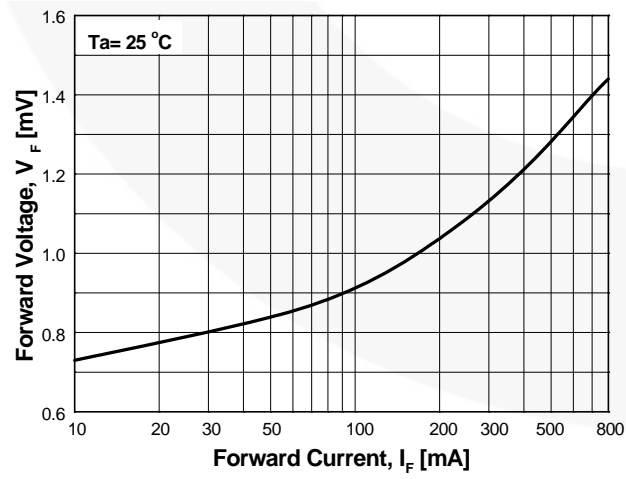


Figura 39: Voltaje contra corriente en polarización directa para el diodo 1N4148 de Fairchild [28]

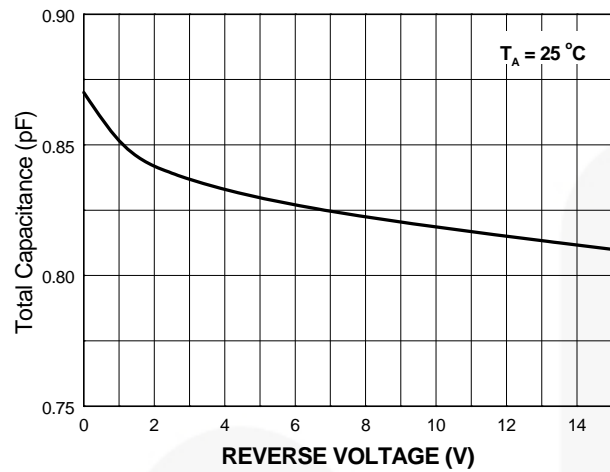


Figura 40: Voltaje en inversa contra capacitancia total para el diodo 1N4148 de Fairchild [28]

Electrical Characteristics⁽²⁾

Values are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Conditions	Min.	Max.	Unit
V_R	Breakdown Voltage	$I_R = 100 \mu\text{A}$	100		V
		$I_R = 5.0 \mu\text{A}$	75		V

Figura 41: Voltaje de ruptura para el diodo 1N4148 de Fairchild [28]

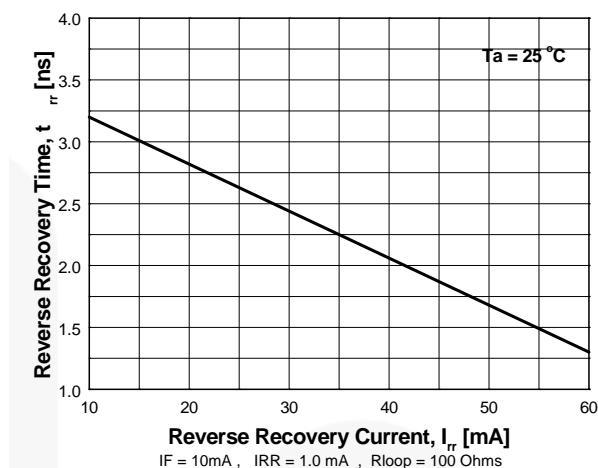


Figura 42: Corriente en inversa contra tiempo de recuperación para el diodo 1N4148 de Fairchild [28]

Luego, se solicitan valores numéricos que se pueden leer de las gráficas, o bien, de la tabla de características eléctricas. Primero, se solicita el valor del voltaje de ruptura a una corriente dada, el cual se extrajo de la tabla (Figura 41). Y, por último, el tiempo de recuperación del diodo en el punto en el cual la corriente en directa es igual a la corriente en inversa, el cual se obtiene de la gráfica de la Figura 42. Con estos datos, se calculan los valores de $BV = 100\text{V}$, $IBV = 100 - E06A$ y $TT = 4.608E - 09$ y el modelo queda definido por completo.

10.4. Comparación de modelos

Luego de implementar los cuatro niveles propuestos para el diodo, se proponen dos circuitos distintos para ponerlos a prueba y evaluar su desempeño en una aplicación general y en una específica. El primero diagrama, traza la curva característica del diodo que describe la corriente en la unión respecto al voltaje aplicado. Se comparan los resultados obtenidos por las implementaciones contra el modelo SPICE. Para la segunda comparación se analiza una topología simple de diodos limitadores, la cual es ampliamente utilizada para efectos de distorsión de audio. En este caso se evalúa la fidelidad de los modelos, no solo contra el componente SPICE, sino también con mediciones físicas del circuito real.

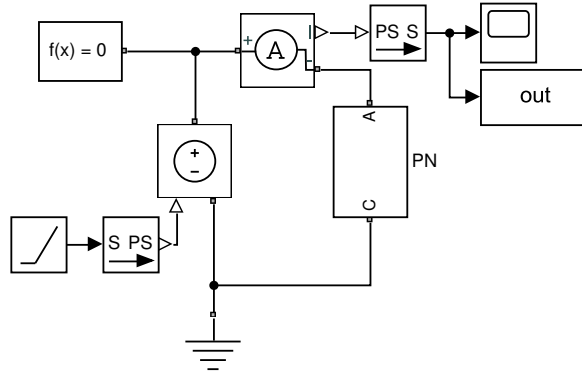


Figura 43: Diagrama de Simulink empleado para generar curva característica del diodo

Modelo	RMSE
Nivel 1	759889.0003
Nivel 2	0.0041
Nivel 3	0.0041
Nivel 4	0.0041

Cuadro 7: Error cuadrático medio en curva característica del diodo comparado con el modelo SPICE

10.4.1. Curva característica del diodo

El diagrama utilizado para trazar la curva característica del diodo (Fig. 43) consiste en una fuente de voltaje controlada por un bloque de rampa de $-2V$ a $2V$ conectada de forma directa al cátodo del diodo. Se coloca un *Current Sensor* para realizar la medición de la corriente en la unión PN. El resultado obtenido para cada modelo se muestra en la Figura 44. El primer nivel ofrece una aproximación bastante alejada de la obtenida por el modelo SPICE, la ausencia de una resistencia en serie permite que la corriente crezca de forma exponencial sin ninguna limitación. El comportamiento expuesto por los niveles dos, tres y cuatro es prácticamente el mismo, ofreciendo un resultado cercano al del simulador, con un error mínimo (Cuadro 7).

10.4.2. Circuito de limitador con diodos

El segundo análisis realizado compara los niveles propuestos y el modelo SPICE contra la medición física real de la etapa de diodos limitadores presente en el efecto BOSS DS-1 (Figura 45), la cual se ubica después de la ganancia del amplificador operacional y antes del control de tono y volumen.

La entrada se configura como una fuente de voltaje AC de $1V$ de amplitud a una frecuencia de $1kHz$. Empleando un bloque de *Voltage Sensor* se obtiene el valor del voltaje en la salida. Se importan los datos del simulador LTspice y las mediciones físicas de $10,000$ muestras realizadas con el Saleae Logic Pro 16 a una frecuencia de muestreo de $1,562.5MHz$. Empleando la herramienta de correlación de MATLAB, se determina la latencia entre las

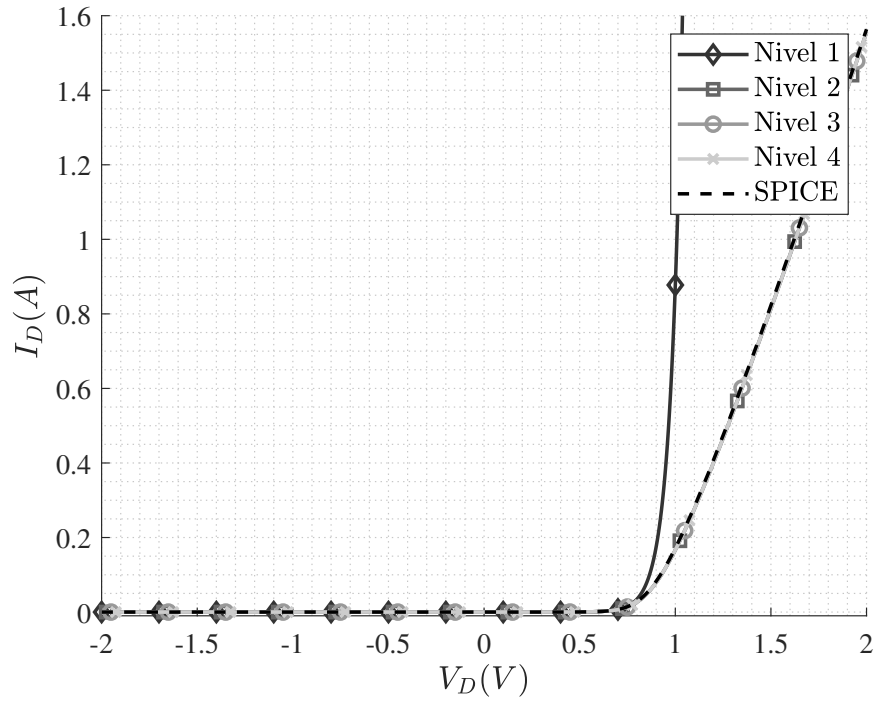


Figura 44: Curva característica del diodo con cada nivel de implementación y el modelo SPICE

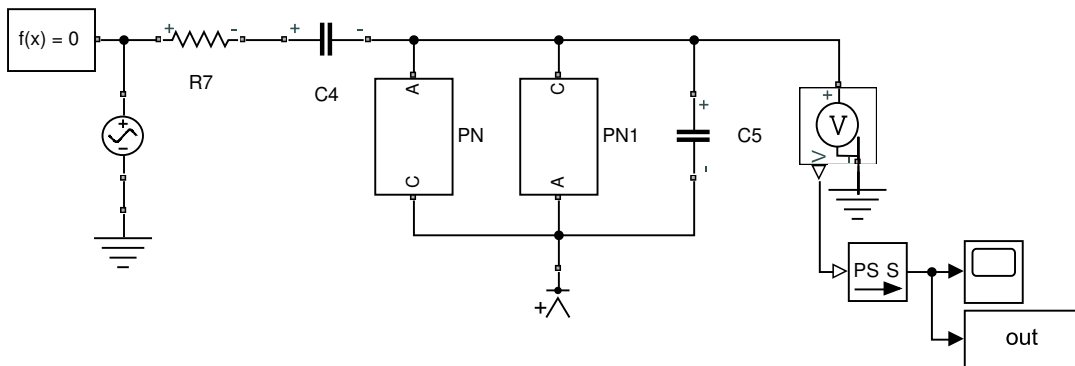


Figura 45: Diagrama de Simulink empleado para topología de diodos limitadores

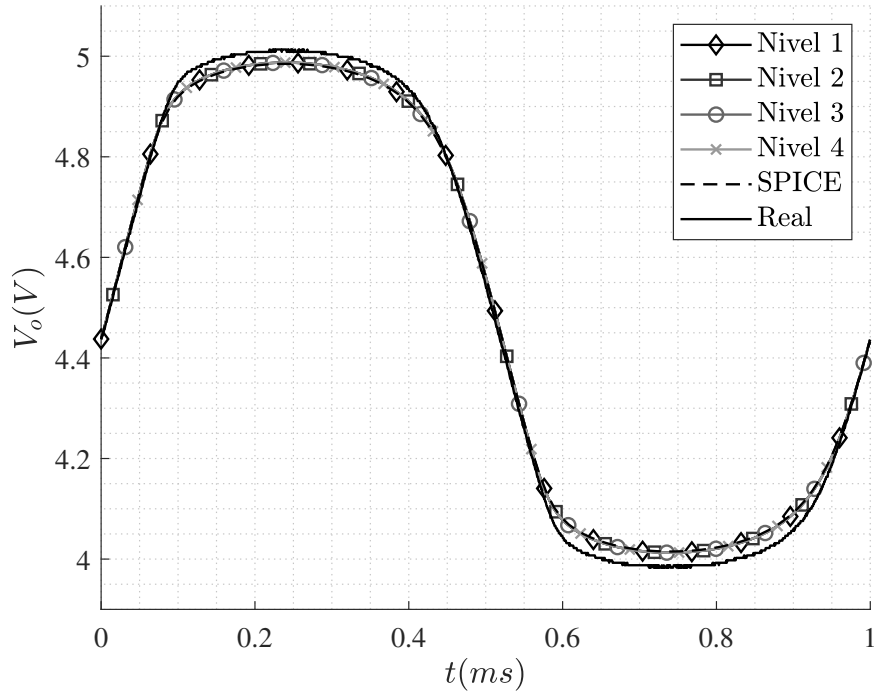


Figura 46: Salida de diodos limitadores con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz

Modelo	RMSE
Nivel 1	0.0239
Nivel 2	0.0239
Nivel 3	0.0239
Nivel 4	0.0239
SPICE	0.0258

Cuadro 8: Error cuadrático medio en diodos limitadores con entrada seno de 2Vpp a 1kHz

señales SPICE y la real para alinearlas y proceder con la comparación. El código empleado fue el siguiente:

```

1 [acor,lag] = xcorr(spice, real);
2 [sim,I] = max(abs(acor));
3 lagDiff = lag(I);
4 real = real(-lagDiff+1:-lagDiff+size(spice));

```

Los resultados obtenidos por las distintas implementaciones es el mismo para este caso (Fig. 46). El error es ligeramente mayor al ofrecido por el simulador LTspice, por lo que en la Figura 47 se muestra la magnitud del error respecto a la medición real para cada implementación y el modelo SPICE. El cálculo del error cuadrático medio se muestra en el Cuadro 8.

A continuación, se aumenta la frecuencia de la fuente sinusoidal hasta 10kHz y se grafican las salidas (Fig. 48). El cálculo del error sigue mostrando los mismos valores para todos los

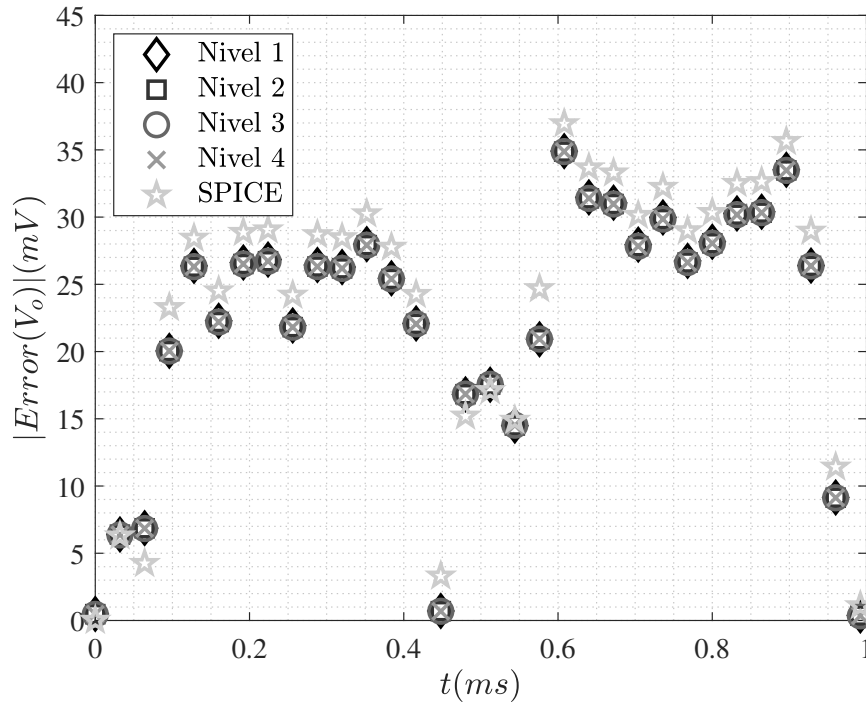


Figura 47: Error respecto a medición real en salida de diodos limitadores con cada nivel de implementación y modelo SPICE con entrada seno de 2Vpp a 1kHz

Modelo	RMSE
Nivel 1	0.0224
Nivel 2	0.0224
Nivel 3	0.0224
Nivel 4	0.0224
SPICE	0.0140

Cuadro 9: Error cuadrático medio en diodos limitadores con entrada seno de 2Vpp a 10kHz

niveles, de nuevo, siendo ligeramente superior a los mostrados por el modelo SPICE (Cuadro 9 y Figura 49).

Por último, se analiza la respuesta en frecuencia del circuito. Para ello, se reemplaza la entrada por un pulso de 1V de amplitud a una frecuencia de 1Khz. Esta señal se puede introducir fácilmente en Simulink, LTspice y mediante el generador de funciones analógico, además, ya que posee armónicos impares de magnitud decreciente, permite comparar un mayor rango de contenido espectral comparado con una señal seno a una frecuencia única.

Los resultados de la salida se muestran en un periodograma. El cual se grafica mediante la función *stem*, luego de elegir una ventana de datos a los cuales se aplica la transformada rápida de Fourier, *fft*. La magnitud se obtiene en decibelios al obtener su logaritmo base diez y multiplicar por diez. Debido que únicamente interesan las frecuencias impares múltiplos de 1kHz, se excluyen todas las demás del gráfico y cálculo de error. Además, se restringe la ventana hasta una frecuencia máxima de 21kHz, el cuál teóricamente es el máximo rango

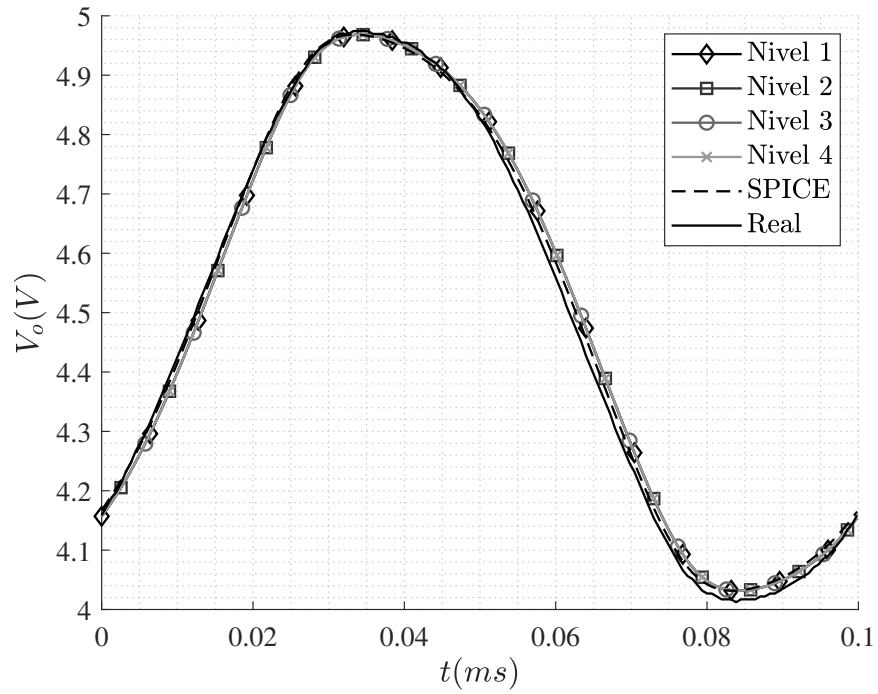


Figura 48: Salida de diodos limitadores con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz

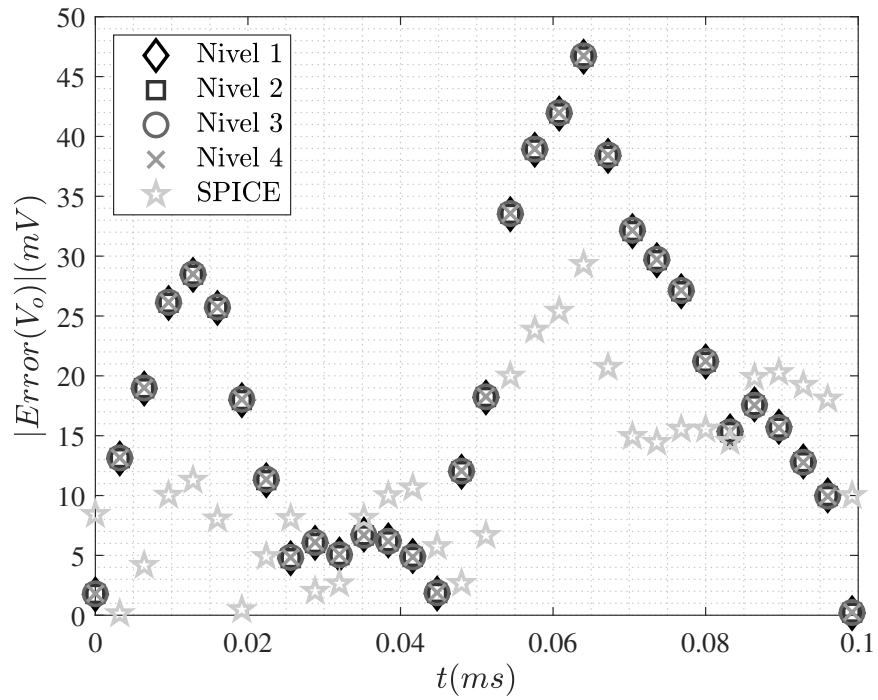


Figura 49: Error respecto a medición real en salida de diodos limitadores con cada nivel de implementación y modelo SPICE con entrada seno de 2Vpp a 10kHz

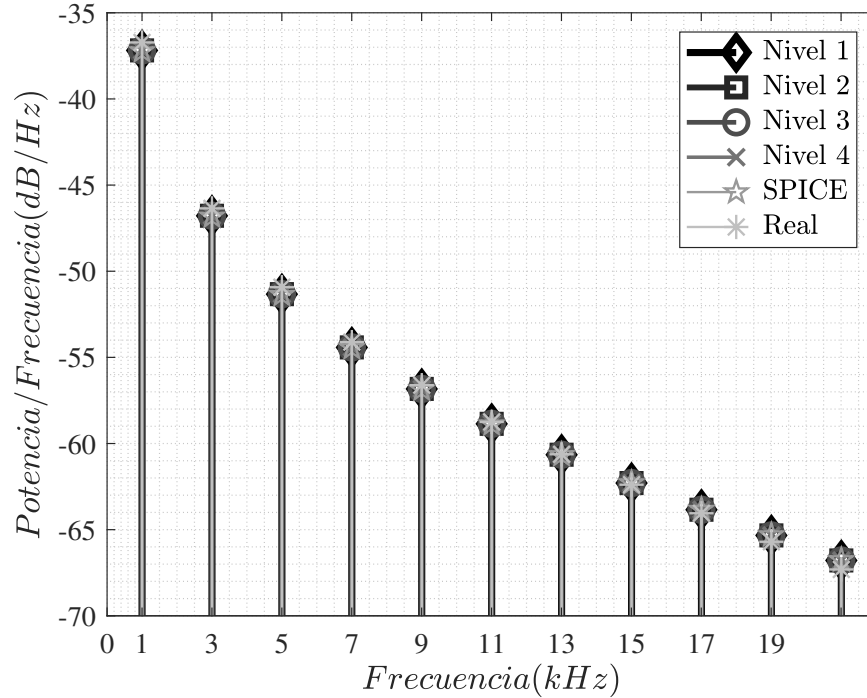


Figura 50: Periodograma de salida de diodos limitadores con cada nivel de implementación, modelo SPICE y medición real con entrada cuadrada de 2Vpp a 1kHz

Modelo	RMSE
Nivel 1	0.3277
Nivel 2	0.3266
Nivel 3	0.3263
Nivel 4	0.3263
SPICE	0.3513

Cuadro 10: Error cuadrático medio en diodos limitadores con entrada cuadrada de 2Vpp a 1kHz

auditivo para el ser humano.

La Figura 50 muestra las salidas de las cuatro implementaciones, del simulador y la medición real. Debido a que a esta escala se dificulta observar las diferencias en el espectro de frecuencias, se graficó la Figura 51, la cual muestra la salida de los modelos propuestos y SPICE respecto a la medición real. El cálculo de errores del Cuadro 10 muestra una diferencia mínima entre el primer nivel y el último, a pesar de la carencia de capacitancias en el primero. Los niveles tres y cuatro ofrecen valores idénticos, la asignación de valores fijos o variables para los capacitores no muestran diferencias significativas que justifiquen la necesidad del cálculo iterativo para los mismos. A pesar de que estos modelos ofrecen un acercamiento más realista, el menor error para esta comparación se obtuvo con el modelo de nivel dos, el cual únicamente considera la resistencia en serie a la unión PN e ignora cualquier efecto de capacitancia parásita.

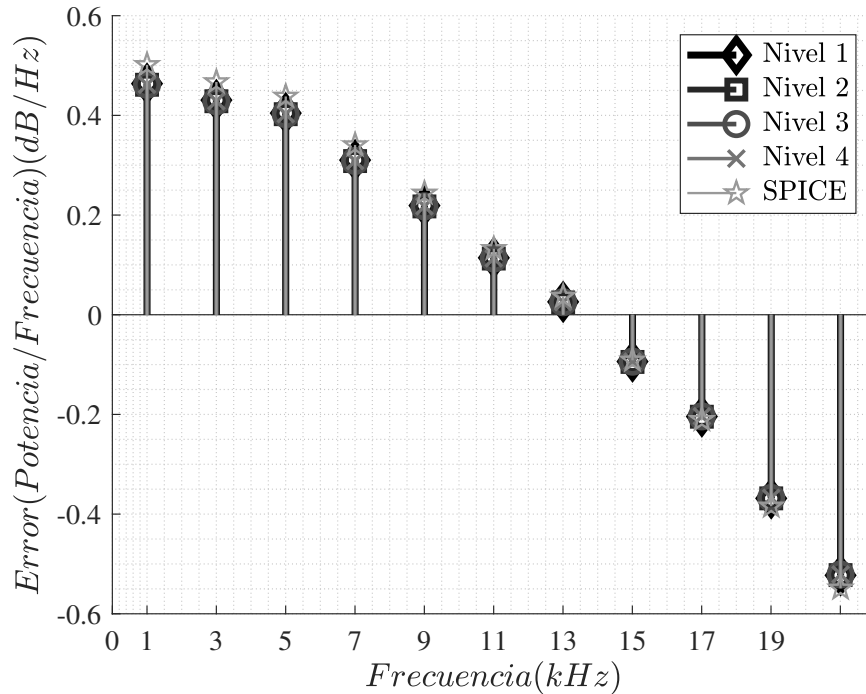


Figura 51: Periodograma del error respecto a la medición real en salida de diodos limitadores con cada nivel de implementación y modelo SPICE con entrada cuadrada de 2Vpp a 1kHz

10.5. Conclusión sobre implementación del diodo

Los modelos propuestos ofrecen distintas aproximaciones con diversos niveles de complejidad. En las pruebas realizadas se comprobó su desempeño en una aplicación general al plantear la curva característica del diodo, y en una aplicación específica ampliamente utilizado en efectos de distorsión. El primer caso presenta una clara distinción entre el nivel más simplificado y el resto, mostrando un error bastante mayor por la falta de un elemento resistivo que restrinja la tasa de aumento de corriente en la unión. Sin embargo, en el segundo caso, el error del comportamiento estático entre las cuatro implementaciones disminuyó por completo, mostrando salidas idénticas. No fue sino hasta analizar su espectro de frecuencias que se pudo distinguir con mayor claridad las diferencias entre los niveles dinámicos y estáticos. Estos resultados indican que, en aplicaciones de diodos limitadores en pedales de distorsión, el tercer nivel de implementación ofrece la mejor aproximación al componente físico. La adición de capacitancias variables en el nivel superior involucra cálculos adicionales los cuales, para la aplicación estudiada, no muestran una disminución del error. El modelo de segundo nivel presente el mismo comportamiento estático que los niveles tres y cuatro, difiere de forma ligera en el análisis en frecuencias. Si se desea disminuir el costo computacional se puede optar por este modelo, teniendo resultados bastante similares.

El comportamiento general del transistor se modela como dos uniones PN interconectadas por el ánodo, tal como lo describe el modelo Ebers-Moll. La teoría sobre dispositivos semiconductores utilizada durante la caracterización del diodo es aplicada de forma similar al considerar resistencias en serie y capacitancias parásitas en paralelo. Los niveles de complejidad propuestos para el estudio del transistor se construyen a partir de los mismos tres modelos propuestos para el diodo. Primero, se considera un transistor ideal con dos uniones PN y una fuente de corriente dependiente. Luego, se agregan resistencias en serie a cada terminal. El tercer modelo considera el comportamiento dinámico del BJT al considerar capacitancias fijas en paralelo. Finalmente, el último nivel incorpora capacitancias variables cuyos valores dependen de los voltajes entre sus terminales.

11.1. Implementación del modelo del transistor

11.1.1. BJT nivel I

El primer nivel se construyó a partir del modelo Ebers-Moll, el cual describe dos uniones PN interconectadas y una fuente de corriente dependiente, como se muestra en la Figura 52. Los parámetros necesarios para definir las uniones son la corriente de saturación I_S , el coeficiente de emisión en directa/inversa N_F/N_R , voltaje termal V_T y la ganancia máxima beta ideal en directa/inversa B_F/B_R .

11.1.2. BJT nivel II

El modelo de segundo nivel se construyó agregando resistencias con valores fijos en las terminales del colector R_C , base R_B y emisor R_E (Fig. 53). Además, se modifica la fuente de

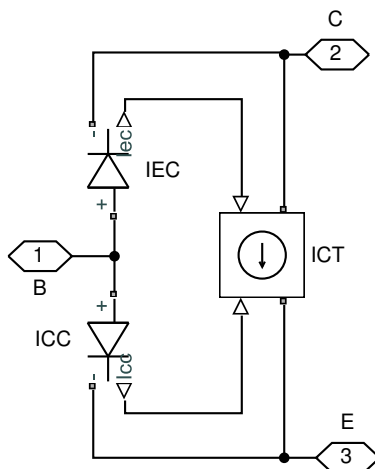


Figura 52: Diagrama en Simulink de implementación del BJT nivel uno

corriente dependiente I_{CT} para considerar el efecto Early, descrito por V_{AF} y como afecta su salida dependiendo del voltaje base-colector.

11.1.3. BJT nivel III

Este modelo representa un modelo dinámico más realista ya que considera capacitancias parásitas fijas en paralelo a las uniones PN (Fig. 54). Se utilizan los parámetros de capacitancia bajo polarización nula para especificar los valores de C_{BC} y C_{BE} .

11.1.4. BJT nivel IV

El cuarto nivel incorpora capacitancias cuyos valores dependen del voltaje entre sus terminales. De forma similar a la implementación de la unión PN del capítulo anterior, considera efectos de capacitancias de difusión y transición, por lo que se interpreta como dos capacitores en paralelo, sin embargo, se describió un único capacitor como la suma de ambos. En este caso, para definir por completo las capacitancias C_{BE} y C_{BJ} se necesita la capacitancia bajo polarización cero C_{JE}/C_{JC} , el voltaje de la unión V_{JE}/V_{JC} , el factor de gradiente M_{JE}/M_{JC} , el tiempo de tránsito T_F/T_R , la corriente de saturación I_S , el voltaje termal V_T y los coeficientes F_1 , F_2 y F_3 .

11.2. Obtención de parámetros

Los parámetros necesarios para la implementación de los modelos se obtuvieron directamente de la página del fabricante ON Semiconductor. Proporcionan el modelo de simulación para SPICE de los BJT BC549/550. Creado originalmente por Fairchild en abril de 2001 [29].

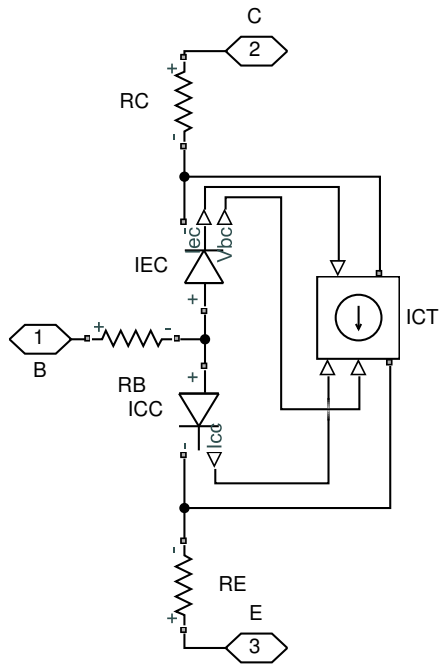


Figura 53: Diagrama en Simulink de implementación del BJT nivel dos

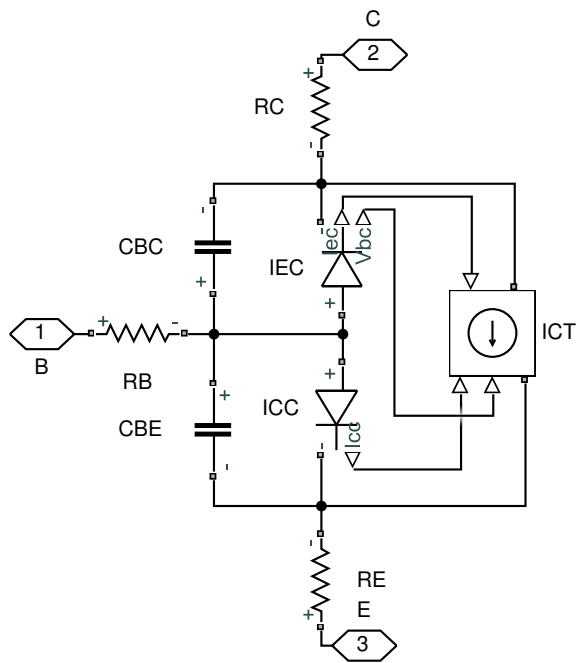


Figura 54: Diagrama en Simulink de implementación del BJT nivel tres

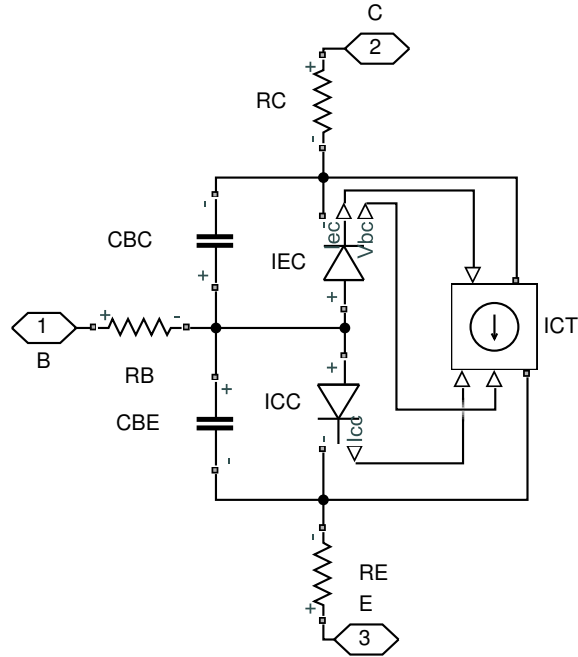


Figura 55: Diagrama en Simulink de implementación del BJT nivel cuatro

Altium Designer permite la obtención de los parámetros para definir el modelo SPICE a partir de mediciones físicas (recomendado) o de la hoja de datos [30]. Sin embargo, debido a la falta de información suficiente para definir adecuadamente el modelo con las gráficas proporcionadas por el fabricante, se decidió utilizar el *.lib* disponible en su página y extraer los datos necesarios mediante PSpice Model Editor Lite.

El modelo BJT utilizado en LTspice se define de la siguiente forma:

```

1 .model BC550C NPN(IS=2.24183E-14 NF=0.996496 ISE=1.90217E-14 NE=2 ...
   BF=228.4 IKF=0.211766 VAF=161.939 NR=0.993 ISC=4.7863E-15 NC=0.996 ...
   BR=12.1807 IKR=0.3423 VAR=123.229 RB=167.033 IRB=7.079458E-05 ...
   RBM=1.12256 RE=0.036 RC=0.79 XTB=1.65 EG=1.1737 XTI=3 CJE=1.87E-11 ...
   VJE=0.732 MJE=0.33 CJC=6.16E-12 VJC=0.395 MJC=0.251 XCJC=0.6192 ...
   FC=0.5 TF=518.15E-12 XTF=10 VTF=10 ITF=1 TR=10.000E-9)

```

11.3. Comparación de modelos

Se proponen dos circuitos para la comparación entre los modelos propuestos. Para el primer diagrama, se evalúan los niveles de implementación contra el modelo SPICE al trazar la curva característica del transistor que muestra el comportamiento de la corriente colector respecto al voltaje colector-emisor. El segundo circuito considera la etapa de amplificación incorporada en el procesador de efectos BOSS DS-1 estudiado, en este caso se comparan mediciones también mediciones físicas de la topología armada en una placa de pruebas.

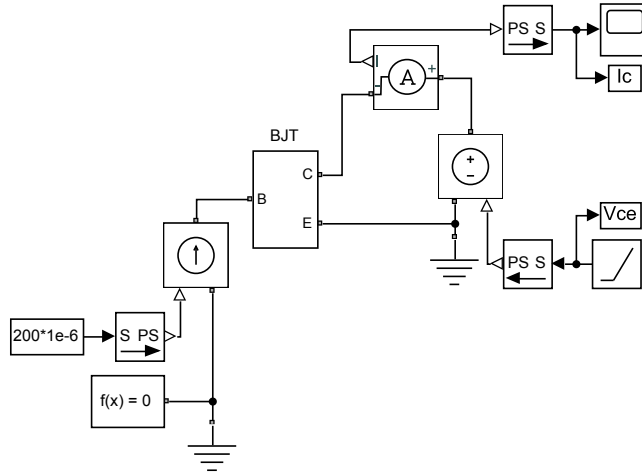


Figura 56: Diagrama de Simulink empleado para generar curva característica del BJT

Modelo	RMSE
Nivel 1	0.0053
Nivel 2	0.0050
Nivel 3	0.0050
Nivel 4	0.0050

Cuadro 11: Error cuadrático medio en curva característica del BJT

11.3.1. Curva característica del transistor

Para generar la curva característica del transistor en los modelos implementados se realizó el diagrama de la Figura 56 en Simulink mediante la librería de Simscape. Se configura una fuente de voltaje controlada en la terminal colector y emisor con un bloque rampa en la entrada con pendiente de 5, valor inicial de -2.5 y valor final de 2.5 . En la base se aplica una fuente de corriente controlada con una entrada constante de $200\mu A$. Por último, se coloca un sensor de corriente en la terminal colector para tomar la medición y se exportan los valores, junto con los del voltaje colector-emisor.

Los resultados de cada una de las salidas para cada nivel y el modelo SPICE se muestran en la Figura 57. Se puede distinguir una diferencia de casi $10mA$ entre los modelos comparado con la referencia. Esta variación se debe a que ninguno de los modelos implementados toma en consideración una ganancia β variable que dependa de la corriente colector, en lugar de ello asume un valor constante. Los errores obtenidos para cada nivel se muestran en el Cuadro 11, el modelo más simplificado muestra un error superior a los demás, mientras que para todos los demás casos, la magnitud es la misma.

Aunque se podría optar por un modelo más complejo que considere este comportamiento, se demostrará en la comparación siguiente que, a pesar de ello, se obtienen resultados cercanos a los reales por el tipo de aplicación, la cual no tiene una dependencia tan estrecha sobre la ganancia β .

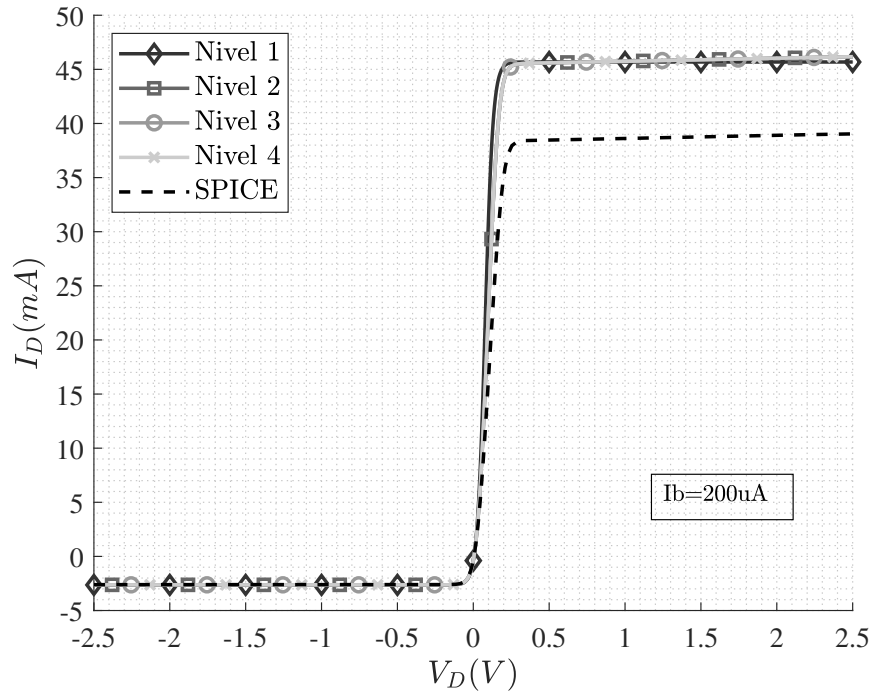


Figura 57: Curva característica del BJT con cada nivel de implementación y el modelo SPICE

11.3.2. Transistor de amplificación

El segundo circuito utilizado para la comparación entre los modelos es la topología de transistor de amplificación presente en efectos de audio analizado, ubicada entre el búfer de entrada y la ganancia del amplificador operacional. El diagrama esquemático consiste de cinco resistencias, tres capacitores, una fuente de voltaje AC en la entrada y voltajes de alimentación de 4.5V y 9V, como se muestra en la Figura 58. La medición de la salida se realiza en el nodo conectado al colector del BJT mediante un sensor de voltaje que exporta los datos al *Workspace* de MATLAB.

Las salidas de los cuatro niveles comparadas contra la señal real con una onda sinusoidal de 1V a 1kHz se muestran en la Figura 59. La gráfica muestra un comportamiento prácticamente idéntico para los niveles 2-4 y SPICE, mientras que el nivel uno muestra una aproximación deficiente cerca de los cero voltios, lo cual se ve reflejado en el error obtenido (Cuadro 12). Los errores para las demás implementaciones son bastante similares (Fig. 60), con la peculiaridad de que el nivel tres ofrece una aproximación mejor que el nivel cuatro, el cual considera capacitancias variables.

Luego, se aumentó la frecuencia de la señal seno hasta 10kHz. Se tomó la medición física y se comparó contra los resultados de las implementaciones y SPICE (Fig. 61). Los resultados obtenidos son similares a la prueba anterior, siendo el nivel tres el más cercano a los datos reales, tal como se muestra en los errores calculados para cada simulación (Fig.62 y Cuadro 13).

Además de realizar comparaciones en el dominio del tiempo, se procedió a analizar la

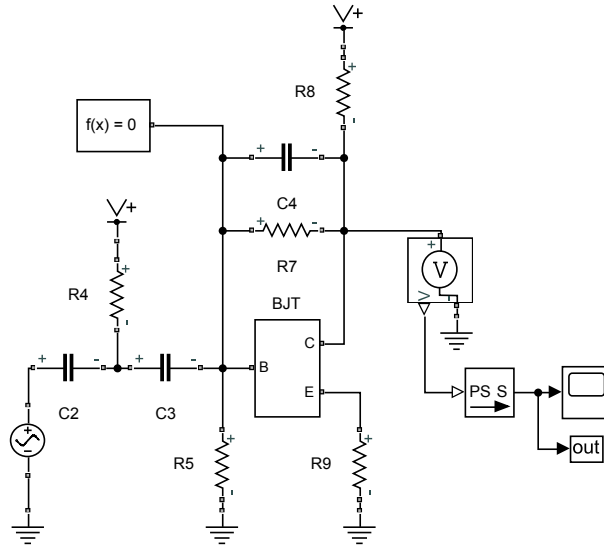


Figura 58: Diagrama de Simulink empleado para topología de transistor de amplificación

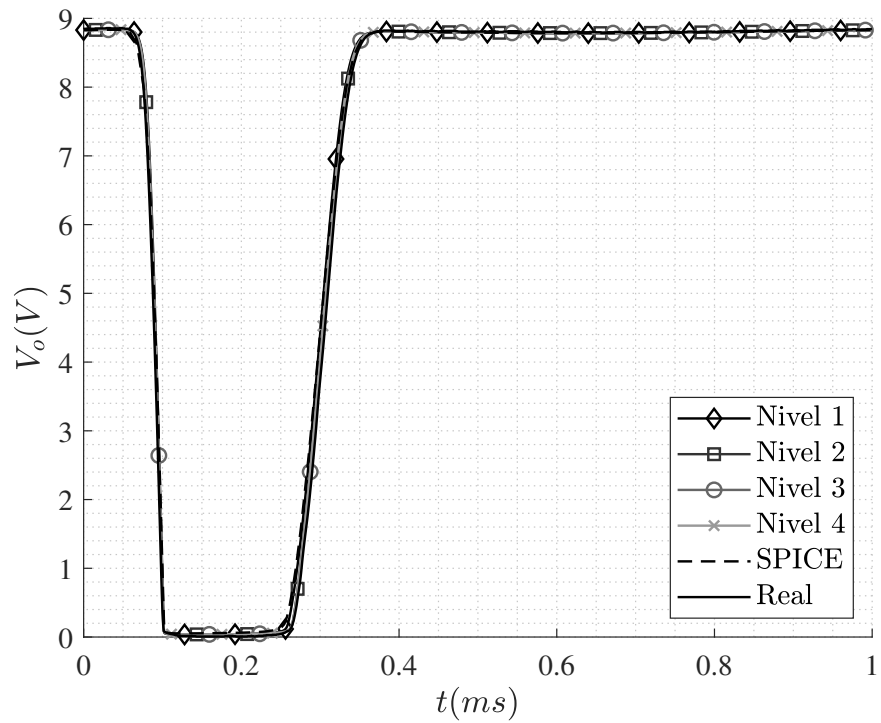


Figura 59: Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz

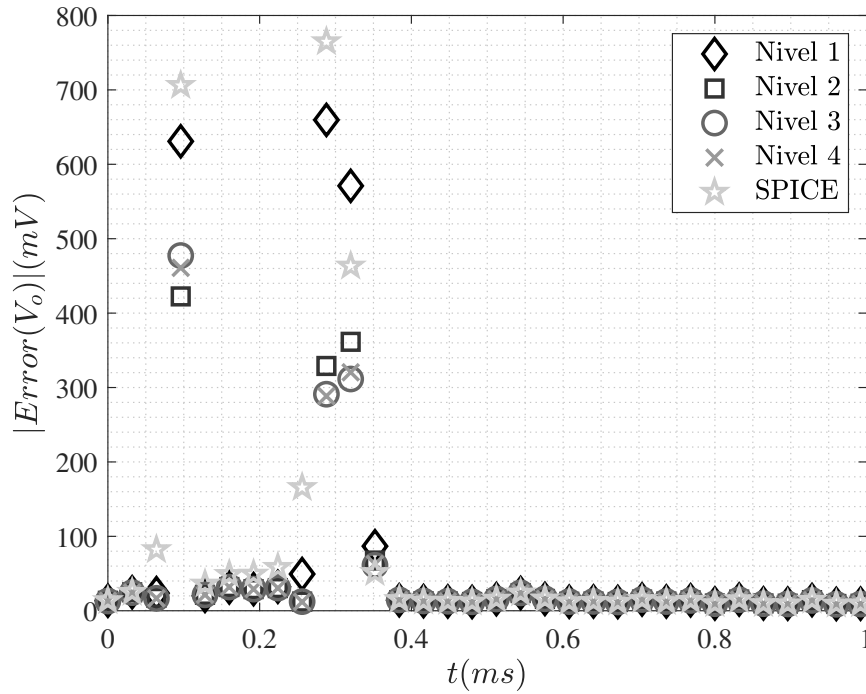


Figura 60: Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz

Modelo	RMSE
Nivel 1	0.1961
Nivel 2	0.1128
Nivel 3	0.1031
Nivel 4	0.1035
SPICE	0.1979

Cuadro 12: Error cuadrático medio en transistor de amplificación con entrada seno 1KHz 2Vpp

Modelo	RMSE
Nivel 1	0.4594
Nivel 2	0.2446
Nivel 3	0.2440
Nivel 4	0.2472
SPICE	0.4897

Cuadro 13: Error cuadrático medio en transistor de amplificación con entrada seno 10KHz 2Vpp

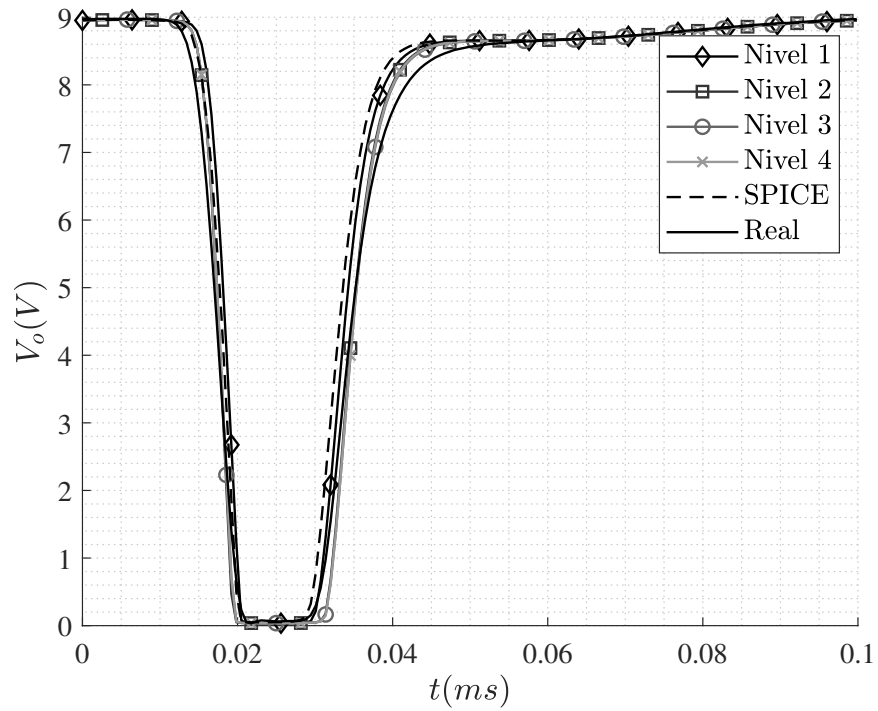


Figura 61: Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz

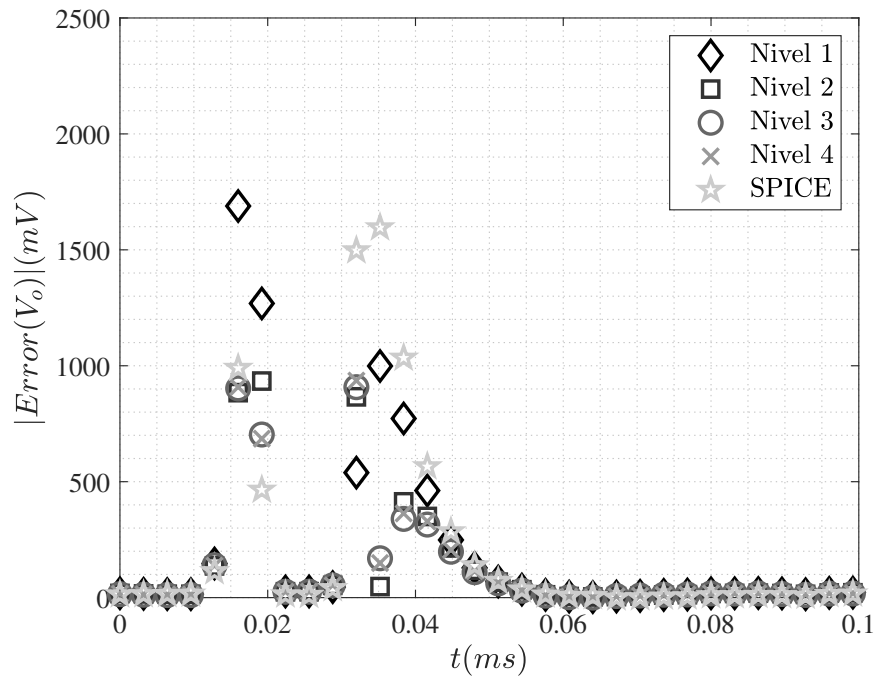


Figura 62: Salida del transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz

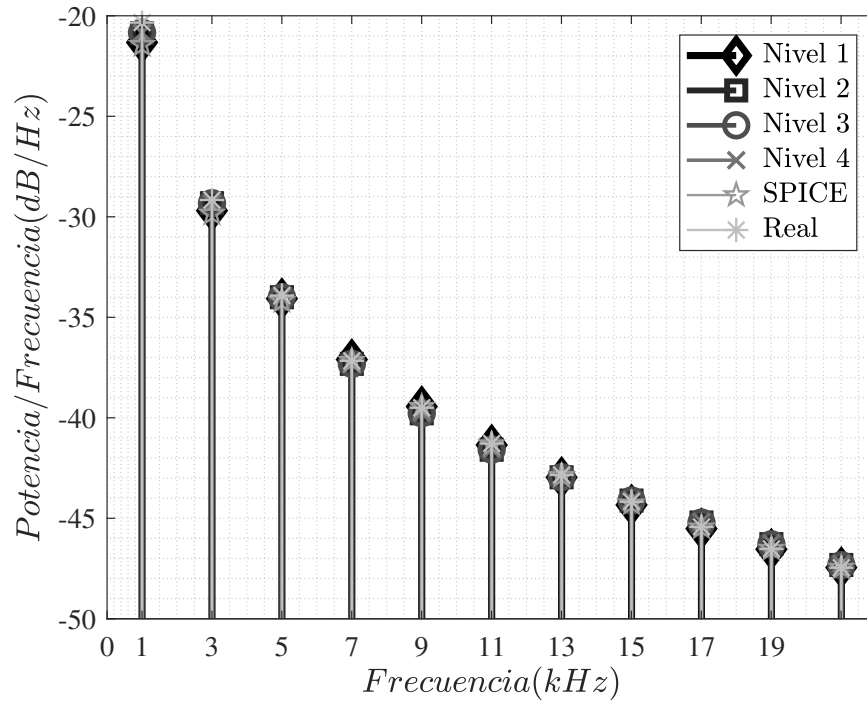


Figura 63: Periodograma de salida de transistor de amplificación con cada nivel de implementación, modelo SPICE y medición real con entrada cuadrada de 2Vpp a 1kHz

Modelo	RMSE
Nivel 1	0.3500
Nivel 2	0.2413
Nivel 3	0.2336
Nivel 4	0.2439
SPICE	0.4012

Cuadro 14: Error cuadrático medio en transistor de amplificación con entrada cuadrada de 2Vpp a 1KHz

respuesta en frecuencia entre los diferentes modelos contra el real. En este caso, se configuró una entrada de señal cuadrada de 2Vpp a 1kHz. Siguiendo la misma metodología utilizada para el diodo, se obtuvo la gráfica en frecuencia de los cuatro niveles, SPICE y la medición real (Fig. 63), así como el error de los modelos digitales respecto a la medición real (Fig. 64). El cálculo de error del Cuadro 14 muestra nuevamente una mejor aproximación de parte del tercer nivel.

11.4. Conclusión sobre implementación del transistor

Los niveles propuestos para el transistor se asemejan a los empleados para el diodo en el capítulo anterior. Se inició con dos uniones PN cuya corriente está determinada por la ecuación de Shockley interconectadas por sus ánodos y por una fuente dependiente de corriente.

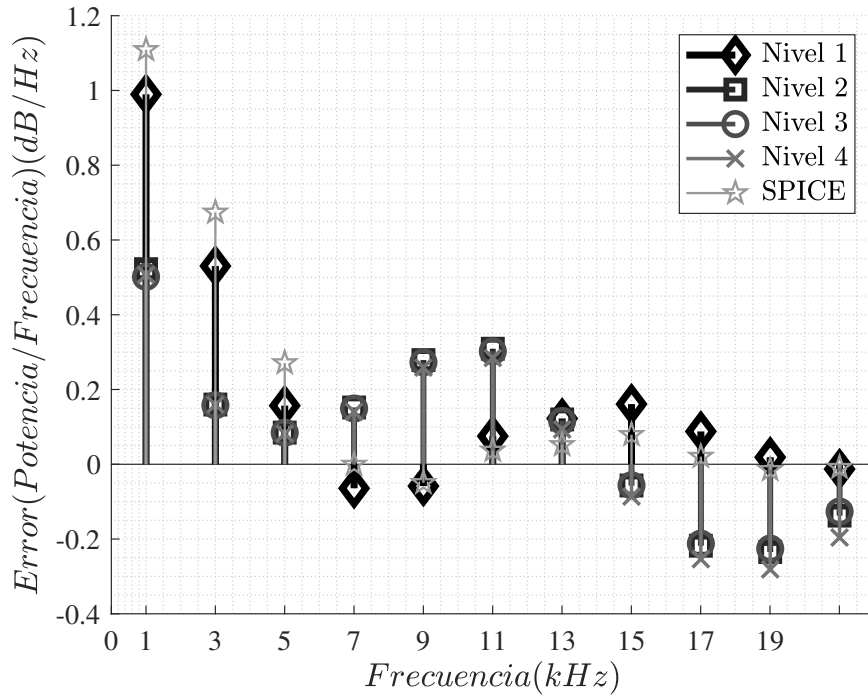


Figura 64: Periodograma del error respecto a la medición real en salida de transistor de amplificación con cada nivel de implementación y modelo SPICE con entrada cuadrada de 2Vpp a 1kHz

La simplicidad de este modelo se ve reflejada en el alto nivel de error mostrado en las comparaciones realizadas. Con tan solo agregar resistencias en las terminales, el comportamiento estático se asemeja al mostrado por los niveles más complejos, SPICE y el circuito físico. La consideración de capacitancias parásitas disminuye aún más el error, aunque no de forma tan drástica como en el caso anterior. A pesar de que el cuarto nivel emplea capacitancias de difusión y transición que dependen del voltaje aplicado, para la topología analizada, la utilización de valores fijos mostró un error menor, además de tener la ventaja de evitar el cálculo de las capacitancias durante cada iteración. Los resultados obtenidos para la curva característica y la aplicación de transistor de amplificación demuestran que el nivel tres ofrece la mejor aproximación para el modelado del BJT estudiado.

Modelo del amplificador operacional

El amplificador operacional (opamp) se construye físicamente utilizando transistores NPN y PNP, junto con resistencias y capacitores. Realizar una emulación de esta forma involucra una carga computacional elevada. Además de que no todos los fabricantes ponen a disposición los diagramas eléctricos empleados lo dificulta la obtención de los parámetros para cada componente a partir de la hoja de datos. Por ello, generalmente se plantea el opamp mediante modelos macro que simulan el comportamiento de cada una de las etapas que lo componen.

Primero, se implementa un modelo macro que se asemeja al amplificador operacional ideal, posee impedancias de entrada y salida, y un amplificador diferencial de ganancia finita. El segundo nivel incorpora un filtro pasa bajas para emular el ancho de banda y limitadores de voltaje en la salida. El último nivel se construye a partir del anterior con la adición de un amplificador diferencial construido con transistores en la entrada, lo cual agrega un limitador en la tasa máxima de cambio de voltaje, conocido como slew-rate.

12.1. Implementación del amplificador operacional

12.1.1. OPAMP nivel I

El primer modelo propuesto posee un amplificador diferencial en la entrada con su respectiva impedancia. Luego, se conectó una fuente de voltaje dependiente en paralelo para modelar la ganancia. Y, finalmente, una resistencia en serie en la salida (Fig. 65). Para definir este modelo se requieren los parámetros de ganancia de lazo abierto, A_{OL} , impedancia de entrada, R_{IN} e impedancia de salida, R_{OUT} .

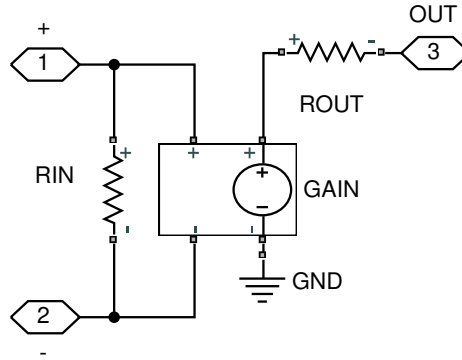


Figura 65: Diagrama en Simulink de implementación del OPAMP nivel uno

12.1.2. OPAMP nivel II

Se sustituye la fuente controlada de voltaje y la resistencia en serie por una fuente de controlada de corriente con una resistencia en paralelo. Se agrega un capacitor en paralelo, el cual, junto con la resistencia y la fuente, modelan el filtro pasa bajas del opamp. Este nivel considera diodos limitadores de voltaje en la salida, los cuales restringen la salida a niveles ligeramente inferiores a los voltajes de alimentación (Fig. 66) produciendo un efecto no lineal en la salida. Además de los parámetros de impedancias del nivel anterior, se requiere conocer el ancho de banda (o la ganancia DC y el producto ancho de banda-ganancia). Para determinar el valor del capacitor, C_{P1} , se debe asumir un valor inicial para la resistencia R_{P1} , el cual debe ser lo suficientemente grande para no verse afectado por los diodos limitadores de voltaje. En la etapa de salida se necesitan los voltajes de las fuentes V_{P1} y V_{P2} y los voltajes de alimentación del opamp V_+ y V_- .

La limitación de voltaje de salida es un efecto que SPICE considera solamente en los modelos más avanzados de simulación, sin embargo, efectos de distorsión comunes implementan esta saturación frecuentemente. Por ello, se decidió agregar este comportamiento en los niveles propuestos, aunque no se alcance a modelar el nivel más complejo utilizado por LTspice. Los diodos utilizados se basan en el primer nivel de implementación del capítulo diez.

12.1.3. OPAMP nivel III

El último nivel de estudio posee todas las características del modelo anterior, con la única adición del efecto no lineal de slew-rate y un nodo flotante. Generalmente, los amplificadores operacionales empleados en audio poseen un alto valor en su tasa de cambio de voltaje para que esta limitación no sea alcanzable por las señales de entrada. En el análisis inicial realizado sobre las topologías del BOSS DS-1 se determinó que la etapa anterior a la de los opamps aumenta en gran medida la ganancia de la entrada, produciendo en su salida una forma similar a señal cuadrada, la cual posee una tasa de crecimiento en el voltaje suficientemente grande para que los efectos del slew-rate se hagan presentes.

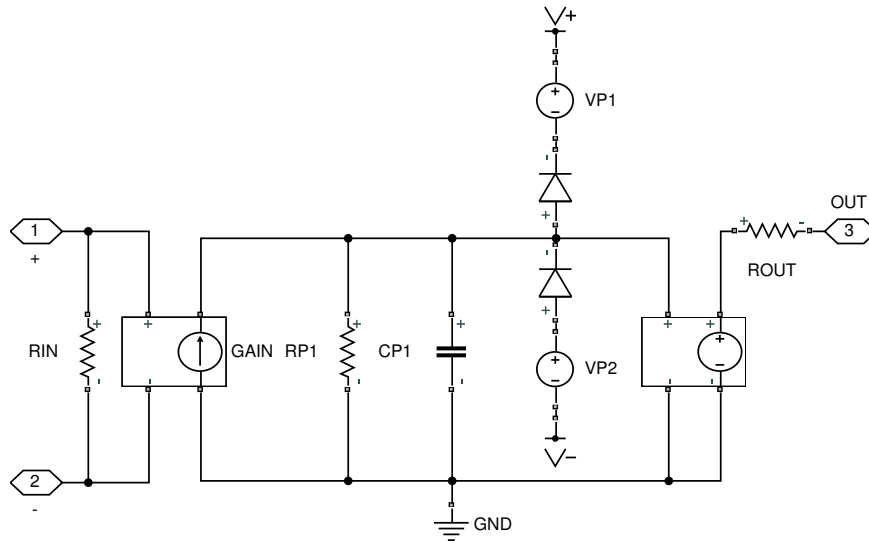


Figura 66: Diagrama en Simulink de implementación del OPAMP nivel dos

Incorporar este efecto en el modelo se realiza mediante la implementación de un amplificador diferencial construido con dos transistores, cuatro resistencias y una fuente de corriente. Se deberá evaluar si los resultados obtenidos justifican el aumento en la complejidad del sistema. Los BJT utilizados se basan en los modelos de primer nivel del capítulo anterior. Este modelo requiere de las resistencias de colector R_{C1} y R_{C2} , las resistencias de emisor R_{E1} y R_{E2} , el valor de la fuente de corriente I_1 , el valor de la ganancia β para los transistores y el valor de la fuente de voltaje del nodo flotante, la cual es simplemente el voltaje medio entre la alimentación positiva y negativa.

El nodo flotante especifica una referencia interna ubicada en el punto medio entre los voltajes de alimentación. Ofrece una mejor aproximación para aplicaciones de una única fuente o fuentes asimétricas [31].

12.2. Obtención de parámetros

Para el caso del diodo, se demostró una metodología de obtención de parámetros a partir de las gráficas de la hoja de datos del fabricante. Con el BJT, se extrajeron los datos directamente del modelo SPICE debido a la falta de información necesaria para extraer los parámetros necesarios utilizando el Asistente de Modelos de Altium Designer y la dificultad de tomar mediciones físicas para generar las gráficas solicitadas por el programa. Ahora, para el amplificador operacional, el cálculo de parámetros se realiza a partir de la información presente en la tabla de características eléctricas. A pesar de que el fabricante ofrece el modelo SPICE del componente [32], no se pueden extraer los datos necesarios de forma directa ya que la librería implementa una topología distinta a las propuestas. Además, la metodología propuesta permite caracterizar una amplia gama de modelos de opamps ya que únicamente requiere valores de la hoja de datos para definirlo por completo [31].

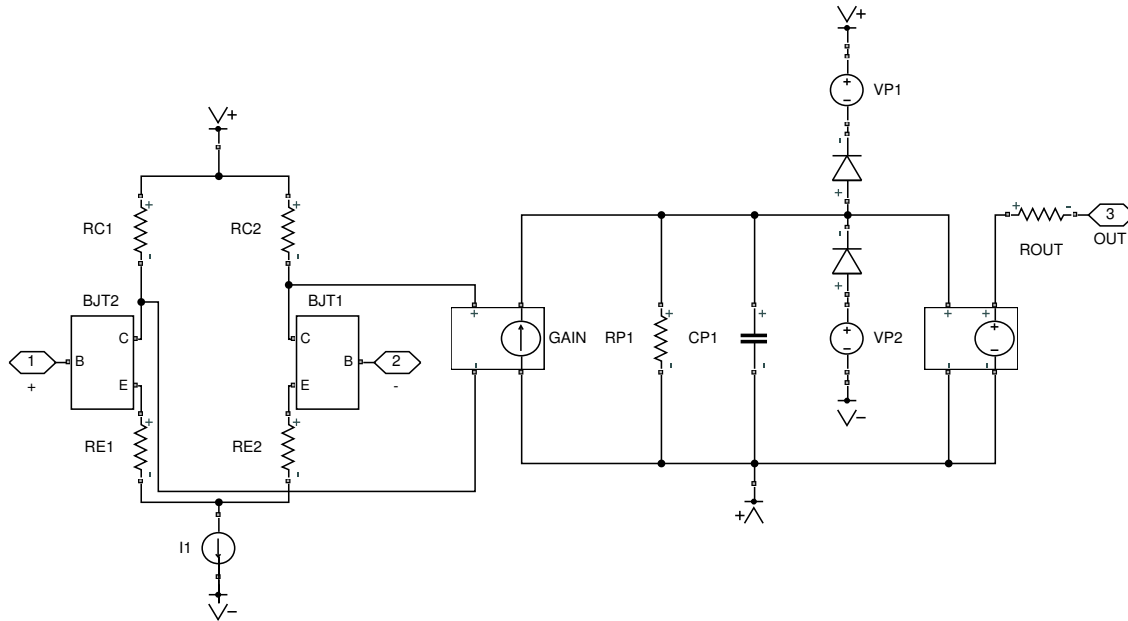


Figura 67: Diagrama en Simulink de implementación del OPAMP nivel tres

12.2.1. Impedancias de entrada y salida

La hoja de datos del amplificador operacional NJM3404AL de New Japan Radio Co. no proporcionaba información sobre las impedancias de entrada y de salida, a diferencia de la documentación de otros modelos como el uA741. La topología del pedal de distorsión posee dos opamp en configuración de lazo cerrado y según la investigación realizada con anterioridad se menciona que el efecto de las resistencias de entrada y salida en esta configuración es muy poco significativo. Debido a ello, se definen valores comunes para estas impedancias $R_{IN} = 1e - 6\omega$ y $R_{OUT} = 75\omega$.

12.2.2. Ganancia en lazo abierto

La ganancia de lazo abierto se puede obtener de la hoja de datos. Generalmente, se encuentra con dimensional de decibelios A_V , por lo que se necesita realizar la siguiente conversión.

$$A_{OL} = 10^{A_V/20} \quad (57)$$

Para el opamp seleccionado, se eligió el valor de ganancia máxima de 100dB, obteniendo una ganancia en lazo abierto de 100k.

12.2.3. Ancho de banda y fuente dependiente de corriente (nivel dos)

El ancho de banda se implementa con un filtro pasa bajas. Para agregarlo al segundo nivel propuesto, se requiere del parámetro A_{OL} , obtenido con anterioridad. Luego, se define un valor inicial para R_{P1} . Ya que en este modelo se implementarán diodos limitadores, se requiere que la resistencia sea suficientemente grande para que el voltaje de salida no se vea afectado por la adición de las uniones PN. Se seleccionó una valor de resistencia $R_{P1} = 1.592E07\text{Ohms}$.

Con ello, se determina la frecuencia del primer polo f_{P1} mediante la ecuación 58, para la cual se extrae la ganancia del ancho de banda f_u de la hoja de datos.

$$f_{P1} = \frac{f_u}{A_{OL}} \quad (58)$$

Finalmente, se calcula el valor del capacitor C_{P1} a partir de la ecuación 59, obteniendo $C_{P1} = 8.33E - 10F$

$$C_{P1} = \frac{1}{2\pi R_{P1} f_{P1}} \quad (59)$$

12.2.4. Amplificador diferencial con BJT y slew-rate

El modelo más complejo implementado se asemeja al nivel 2 de LTspice, ya que considera un amplificador diferencial en la entrada conformado por transistores y emula el comportamiento de limitación en la tasa de cambio del voltaje. Para la determinación de sus parámetros se inicia asumiendo una corriente I_1 , generalmente 1mA. Con el valor del slew-rate, SR , presente en la hoja de datos, se procede a calcular el valor del capacitor C_{P1} y la resistencia R_{P1} con la ecuaciones 60 y 61. Los valores obtenidos para fueron $C_{P1} = 0.000833\mu F$ y $R_{P1} = 1.592E07\text{Ohms}$.

$$C_{P1} = \frac{I_1}{SR} \quad (60)$$

$$R_{P1} = \frac{1}{2\pi C_{P1} f_{P1}} \quad (61)$$

La ganancia de la fuente de corriente se define por la ecuación 62. En este caso se calculó una constante $K_{G1} = 6.283E - 03$.

$$K_{G1} = \frac{A_{OL}}{R_{P1}} \quad (62)$$

Las resistencias del amplificador diferencial se calcularon utilizando las siguientes relaciones (ec. 63). Obteniendo valores de $R_C = 159.15\text{Ohms}$ y $R_E = 107.15\text{Ohms}$.

$$R_{C1,2} = \frac{1}{K_{G1}} \quad (63)$$

$$R_{E1,2} = R_C - \frac{2V_t}{I_1} \quad (64)$$

Y, finalmente, la ganancia beta de los transistores se calcula mediante la relación de corrientes dada por la ecuación 65. Lo cual resulta en un valor de $\beta = 5.00E04$. Los demás parámetros necesarios para definir el BJT se asumieron los valores predeterminados de los modelos SPICE: $I_S = 10E - 16A$, $N = 1$ y $V_t = 26mV$.

$$\beta = \frac{I_{e1}}{I_{bias}} \quad (65)$$

12.2.5. Limitadores de voltaje de salida

La saturación en la salida dependiente de los voltajes de alimentación únicamente se encuentra presente en los niveles más altos de SPICE. Sin embargo, se puede agregar el comportamiento limitador de los voltajes de salida con tan sólo agregar dos fuentes de voltaje y diodos, como se estudió previamente.

El único parámetro necesario es conocer la caída de voltaje en la salida debido a los niveles de alimentación y definir la corriente máxima que circulará por el diodo. Se procede a calcular el voltaje del diodo cuando la corriente sea máxima y, con ello, se determina el valor de las fuentes de voltaje (ecuaciones 66). Para el opamp caracterizado, se obtiene un valor de 1.599V.

$$V_d = V_t * \ln\left(\frac{I_{max}}{I_S} + 1\right) \quad (66)$$

$$V_P = V_{limit} + V_d \quad (67)$$

12.3. Comparación de modelos

Siguiendo la misma metodología de comparación de los capítulos anteriores, se propone un circuito aislado y una aplicación específica de audio. Primero, se emplea la configuración de seguidor de voltaje para comparar la señal de salida de los tres niveles de implementación contra el simulador SPICE. Luego, se utiliza la topología de ganancia de opamp presente en el pedal BOSS DS-1, para evaluar el desempeño de los modelos en la emulación estudiada.

12.3.1. Seguidor de voltaje

La Figura 68 muestra el diagrama esquemático utilizado para la comparación del amplificador operacional como seguidor de voltaje a una señal de entrada de señal cuadrada.

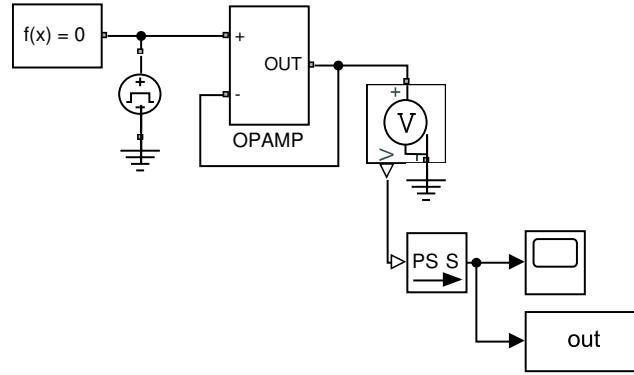


Figura 68: Diagrama de Simulink empleado para estudiar el seguidor de voltaje

Modelo	RMSE
Nivel 1	4.6650
Nivel 2	3.9438
Nivel 3	3.2491

Cuadro 15: Error cuadrático medio en salida del seguidor de voltaje

Para ello, se configura un bloque *Pulse Voltage Source*, ubicado en la librería de componentes adicionales SPICE de Simscape con las siguientes especificaciones: $1=0$, $V2=9$, $TD=0$, $TR=1E-9$, $TF=1E-9$, $PW=25E-6$, $PER=50E-6$.

A diferencia de los modelos de los semiconductores, en este caso se muestran comportamientos bastante distintos en cada nivel. La primera implementación alcanza los niveles de voltaje de la señal de entrada, ya que no considera limitaciones en su salida, como es el caso del segundo nivel. El modelo de tercer nivel es el único que considera el efecto de slew-rate, por ello muestra una pendiente en su salida, en lugar de llegar de forma instantánea. Este nivel muestra el comportamiento más similar al simulador SPICE, con la única diferencia que omite el desfase en la salida. Los errores obtenidos en el Cuadro 15 demuestran un valor similar para los primeros dos modelos, mientras que el más complejo obtiene un error mucho menor.

Además de graficar la salida en el tiempo, se generó la respuesta en frecuencia (Fig. 70). Los resultados obtenidos muestran nuevamente una mejor aproximación de parte del nivel tres, obteniendo menos de la mitad del error presentado por los demás niveles (Cuadro 16).

Modelo	RMSE
Nivel 1	11.6909
Nivel 2	10.5868
Nivel 3	5.9459

Cuadro 16: Error cuadrático medio en periodograma del seguidor de voltaje

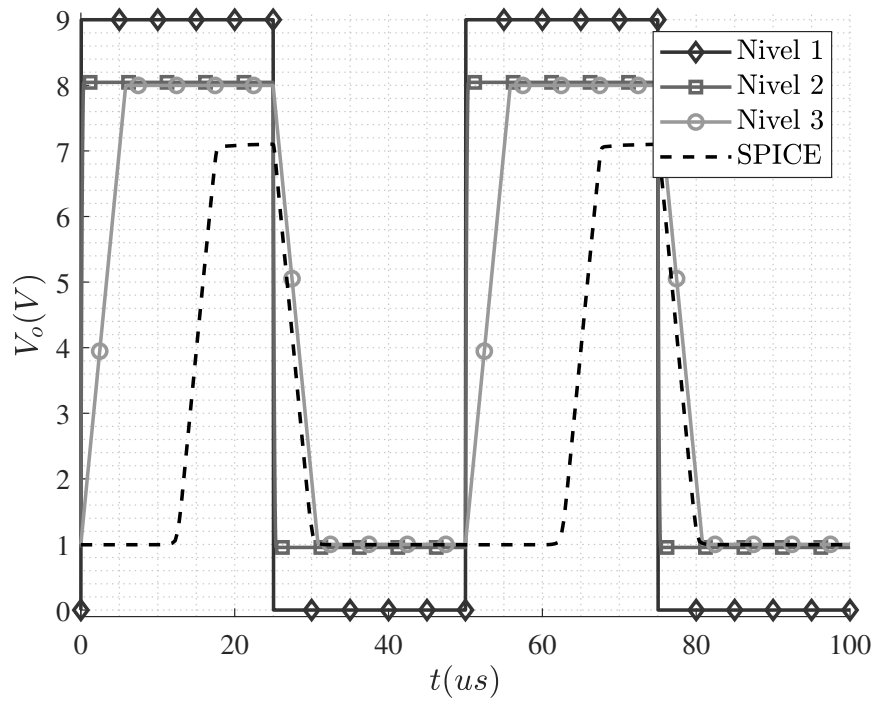


Figura 69: Salida del seguidor de voltaje con cada nivel de implementación y el modelo SPICE

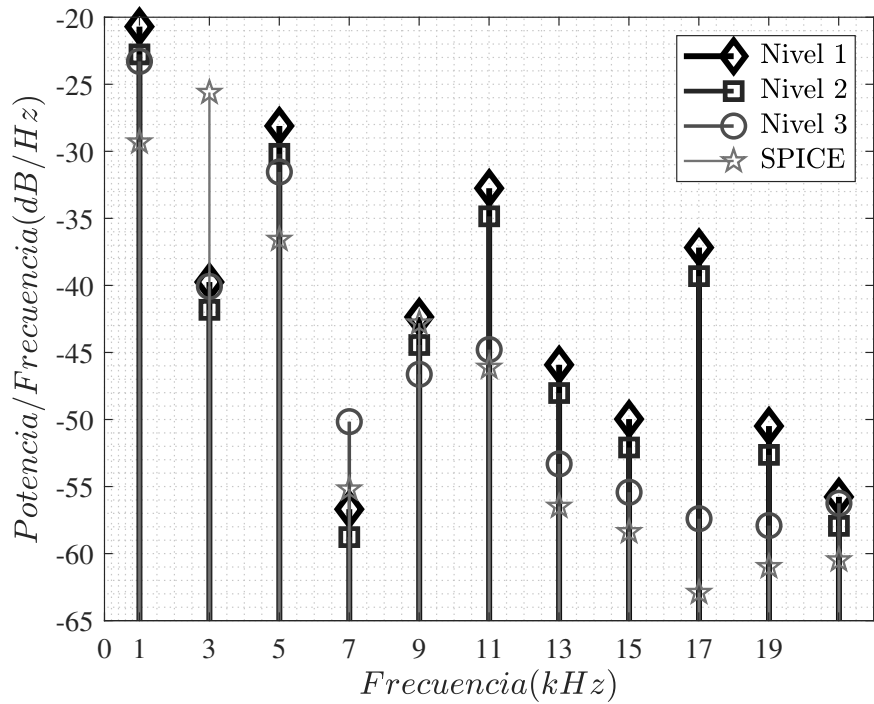


Figura 70: Periodograma del seguidor de voltaje con cada nivel de implementación y el modelo SPICE

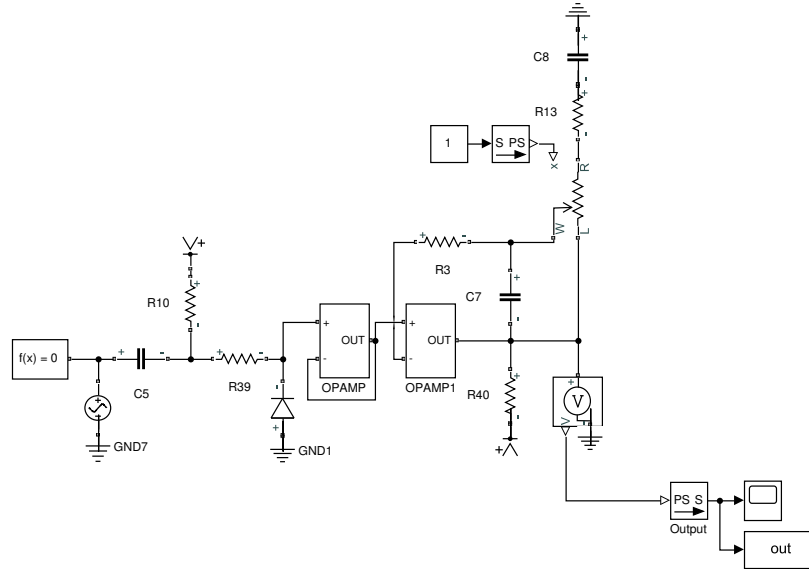


Figura 71: Diagrama de Simulink empleado para topología de amplificador de ganancia

12.3.2. Ganancia de amplificador operacional

La etapa de ganancia mediante amplificador operacional se ubica justo después del transistor de amplificación, la cual aumenta la ganancia en gran medida (como se demostró en el capítulo de análisis inicial), por lo que la señal entrada se asemeja a la forma de una onda cuadrada alcanzando los voltajes límites entre 0 – 9V. Esta situación se consideró en la sección anterior, al introducir una señal que cuyo valor máximo y mínimo pusiera a prueba el comportamiento bajo estas condiciones. En este caso, se evalúa la salida de la etapa al someterla a una señal seno con un voltaje de 2Vpp a 1kHz, a 10kHz y una señal cuadrada de 2Vpp a 1kHz, la cual es utilizada para analizar la respuesta en frecuencias.

El esquemático empleado para la comparación se muestra en la Figura 71. Posee seis resistencias, tres capacitores, un diodo de protección y dos amplificadores operacionales. Uno configurado como seguidor de voltaje y el otro como un amplificador no inversor. Una de las resistencias es variable, por lo que se utilizó un bloque *Potentiometer*, el cual es controlado por un bloque de constante entre 0 – 1. Para las comparaciones realizadas, se asignó un valor de 1 para que el circuito alcanzara su máxima ganancia.

Los resultados con la señal seno de 2Vpp a 1kHz (Fig. 72) muestran un comportamiento prácticamente idéntico entre los niveles dos y tres. Esto indica que la adición del limitador en el cambio del voltaje no es necesario para el circuito analizado. La aproximación del primer nivel resulta inadecuada para esta aplicación debido a la falta de limitadores de voltaje en su salida. El modelo SPICE ofrecido por el fabricante no simula adecuadamente el comportamiento cerca del voltaje de alimentación, lo cual se ve reflejado en su alto error (Cuadro 17). Para evidenciar con mayor claridad las diferencias entre los niveles dos y tres, se presenta la Figura 73, en la cual se grafica la magnitud del error respecto a la medición analógica para cada implementación y el simulador LTspice.

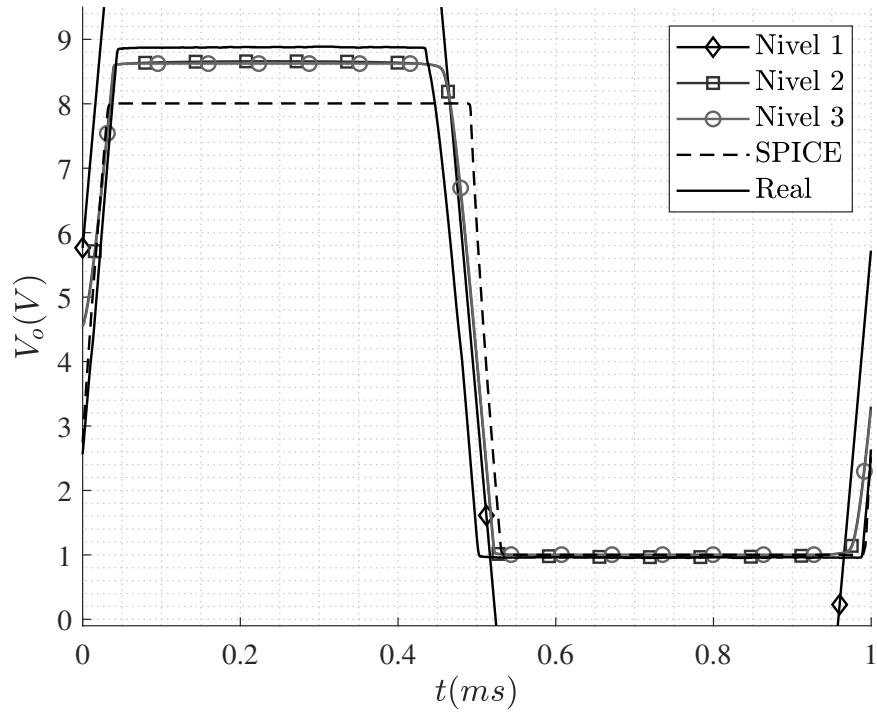


Figura 72: Salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz

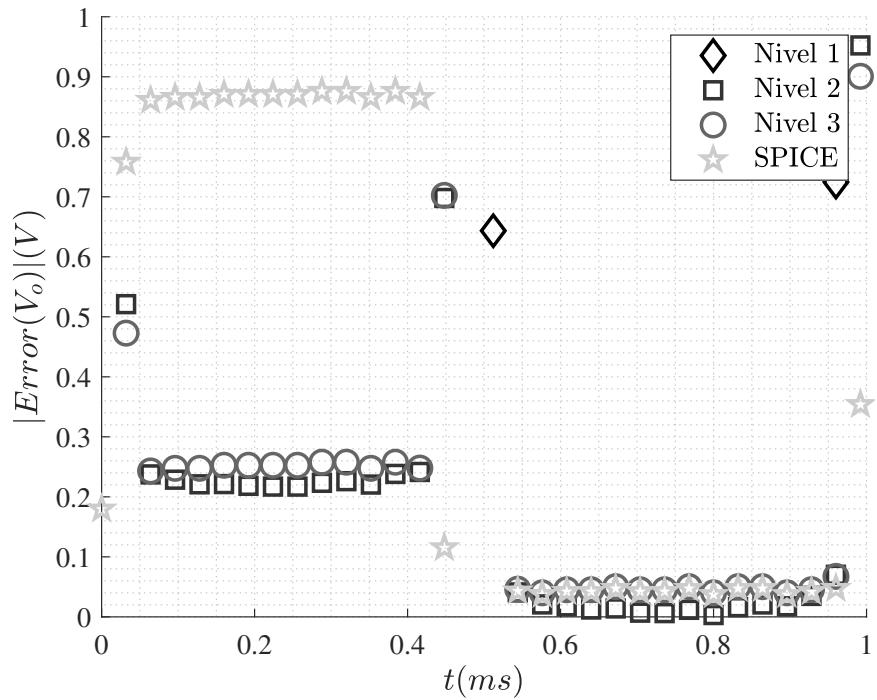


Figura 73: Error en salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 1kHz

Modelo	RMSE
Nivel 1	12.3938
Nivel 2	0.5750
Nivel 3	0.5878
SPICE	1.0534

Cuadro 17: Error cuadrático medio en transistor de amplificación con entrada seno 1KHz 2Vpp

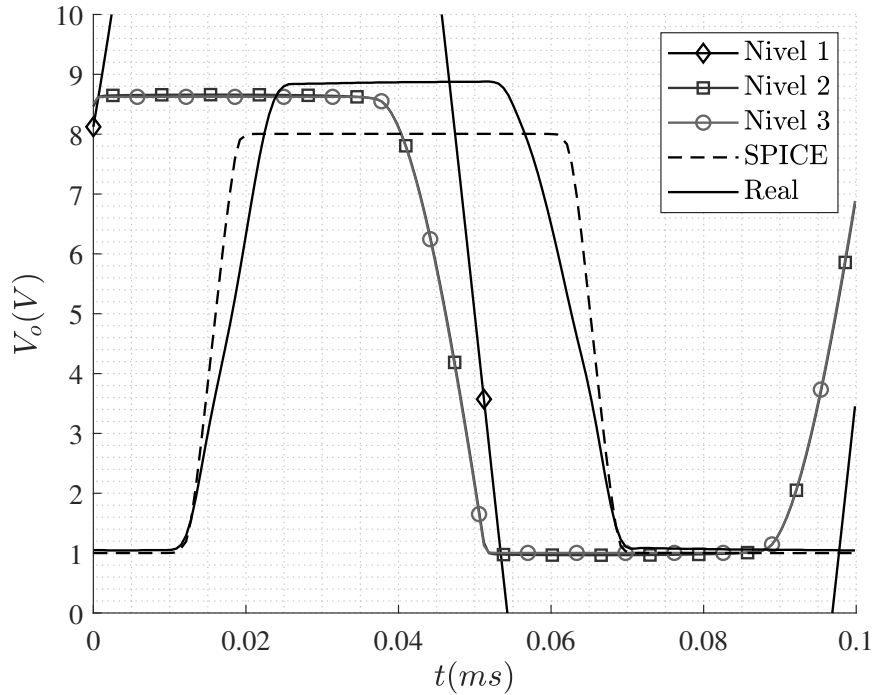


Figura 74: Salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz

Al aumentar la frecuencia de la onda senoidal hasta 10kHz, el tiempo de retraso en la respuesta del opamp comienza a ser considerable (Fig. 74). Los tres modelos propuestos se ven afectados ya que ninguno toma en consideración el desfase presente en la medición real. Debido a ello, los errores obtenidos son mayores comparado al modelo SPICE (Cuadro 18). Sin embargo, al eliminar el desfase de la salida y alinear las señales (Fig. 75). Se puede apreciar que aproximación de la salida en los niveles 2 y 3 es similar a la de la medición real (Fig. 76). Su error, ignorando el desfase, disminuye considerablemente (Cuadro 19). Se debe evaluar en la implementación final si el desfase producido en la salida afecta de forma significativa la emulación completa del efecto o si resulta ser despreciable.

Finalmente, de la misma forma que para los semiconductores, se analiza el comportamiento de los modelos a una entrada cuadrada de 2Vpp a 1kHz (Figuras 77 y 78). Similar al caso de la señal senoidal, se obtienen errores cercanos al obtenido por SPICE (Cuadro 20).

Modelo	RMSE
Nivel 1	11.6916
Nivel 2	4.1981
Nivel 3	4.1914
SPICE	0.8288

Cuadro 18: Error cuadrático medio en transistor de amplificación con entrada seno 10KHz 2Vpp

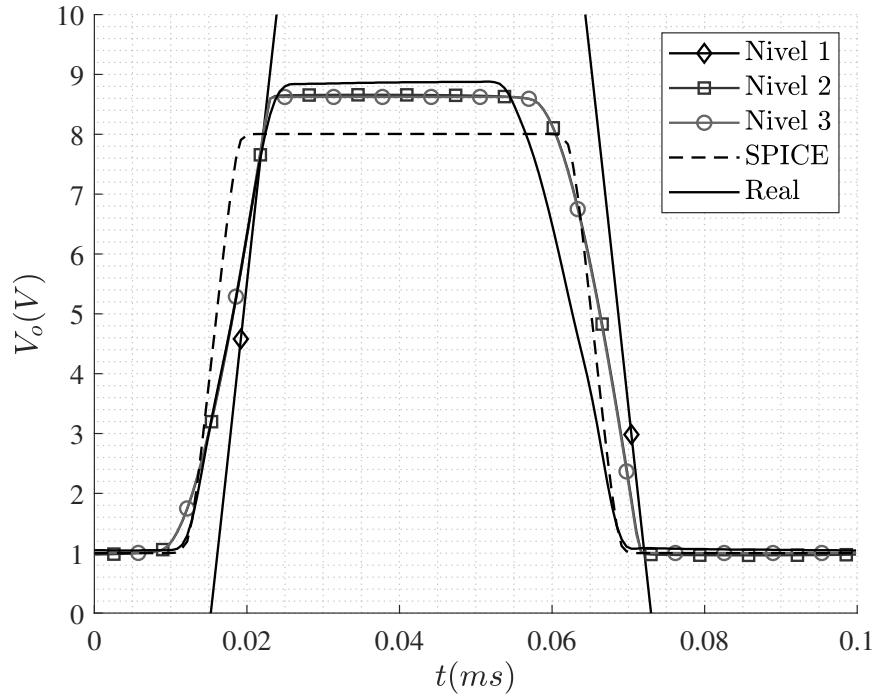


Figura 75: Salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada seno de 2Vpp a 10kHz sin desfase en salida

Modelo	RMSE
Nivel 1	10.0557
Nivel 2	0.6930
Nivel 3	0.6823
SPICE	0.8288

Cuadro 19: Error cuadrático medio en transistor de amplificación con entrada seno 10KHz 2Vpp sin desfase en salida

Modelo	RMSE
Nivel 1	13.9934
Nivel 2	0.9376
Nivel 3	0.7980
SPICE	0.6653

Cuadro 20: Error cuadrático medio en transistor de amplificación con entrada cuadrada de 2Vpp a 1kHz

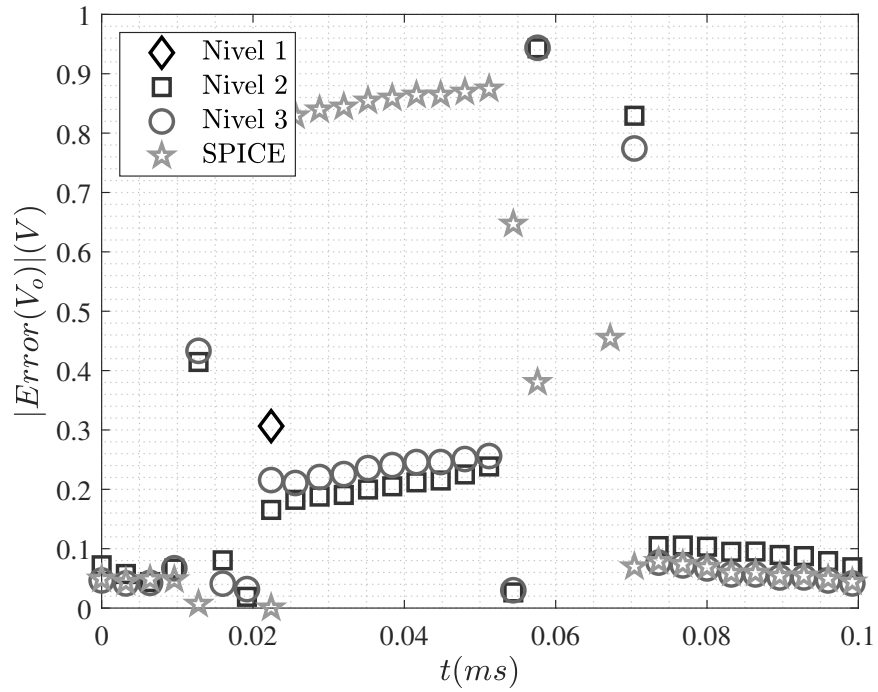


Figura 76: Error respecto a medición real en salida de ganancia de opamp con cada nivel de implementación y modelo SPICE con entrada seno de 2Vpp a 10kHz sin desfase en salida

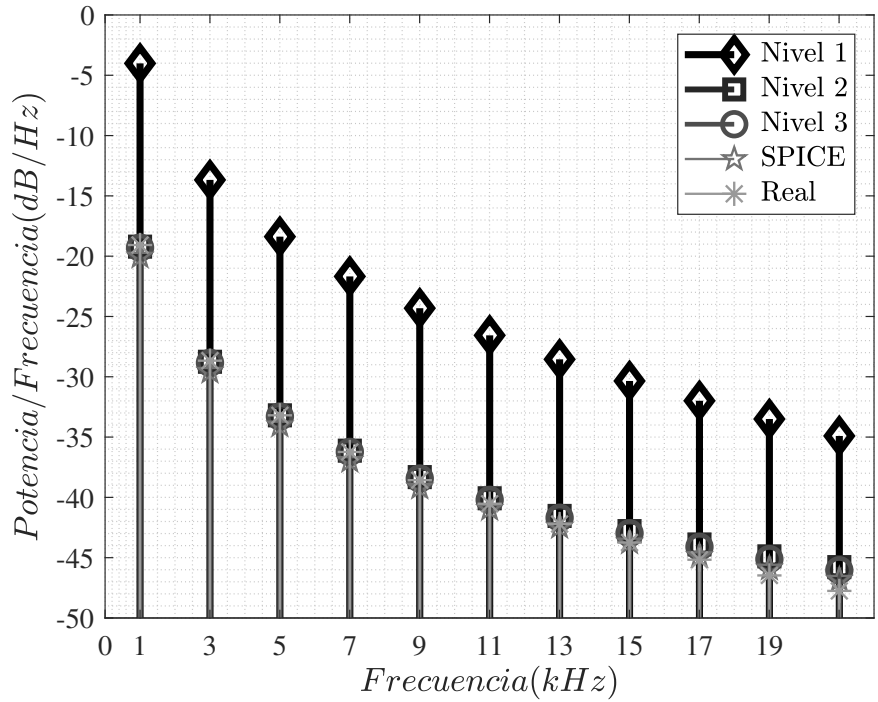


Figura 77: Periodograma de salida de ganancia de opamp con cada nivel de implementación, modelo SPICE y medición real con entrada cuadrada de 2Vpp a 1kHz

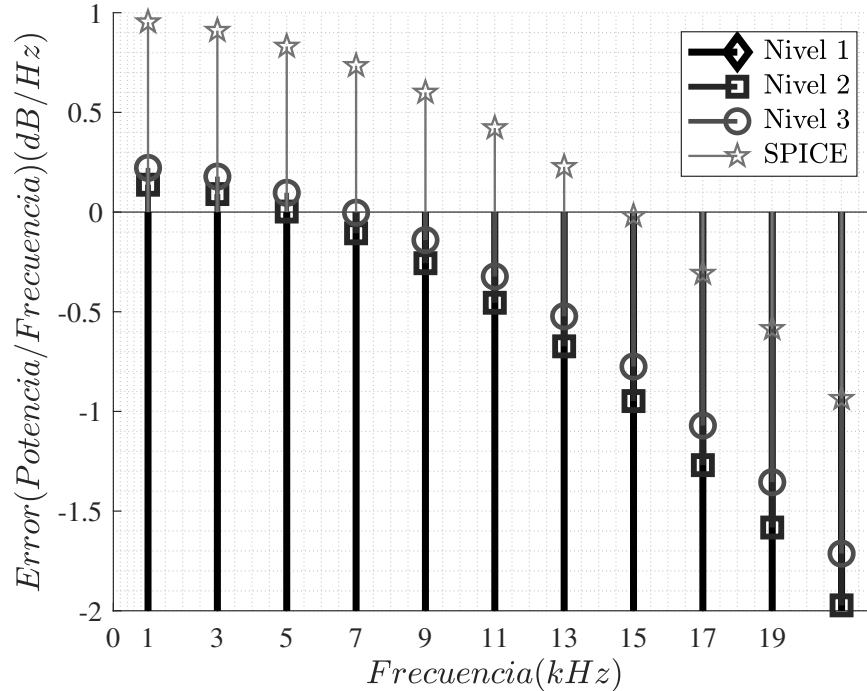


Figura 78: Periodograma del error respecto a la medición real en salida de ganancia de opamp con cada nivel de implementación y modelo SPICE con entrada cuadrada de 2Vpp a 1kHz

12.4. Conclusión sobre implementación del amplificador operacional

La complejidad del diseño de los amplificadores operacionales dificulta su implementación digital de forma directa debido a la alta demanda de recursos computacionales. Los modelos macro son escalables, permitiendo añadir cada vez más componentes que emulen diversos comportamientos presentes en el opamp. Durante la investigación inicial, se estudiaron las principales características y se determinaron los efectos más significativos para aplicaciones de audio, ignorando todos aquellos cuyo aporte puede ser despreciado o que complique el modelo en gran medida.

El primer nivel de implementación ofrece aproximaciones bastante deficientes, como se pudo observar en las comparaciones efectuadas. El siguiente nivel, incorpora un ancho de banda definido y diodos limitadores, produciendo resultados cercanos a los del nivel más complejo, el cual añade una limitación a la tasa de cambio del voltaje. La primera comparación demuestra la necesidad de implementar un modelo que considere el efecto no lineal de slew-rate, debido a que la señal de entrada cambia rápidamente entre sus voltajes de alimentación. Mientras que, para el segundo circuito, con tan sólo considerar diodos en la salida para emular la saturación ofrecen resultados satisfactorios.

Debido a que el salto en complejidad entre el segundo y el tercer nivel es considerable. Se debe analizar la topología en la cual se utilizará el opamp para evaluar si los efectos producidos por la limitación en la tasa de cambio del voltaje son significativos. Para el caso

particular estudiado del BOSS DS-1, el tercer nivel ofrece la mejor aproximación al comportamiento de la medición real. El siguiente paso será evaluar si puede ser implementable en tiempo real o si se requerirá disminuir su complejidad a cambio de eficiencia en ejecución.

Aplicación de modelos en el efecto BOSS DS-1

En los capítulos anteriores se mostró el desarrollo de la implementación, caracterización y comparación de distintos niveles de emulación para el diodo, el transistor y el amplificador operacional con énfasis en aplicaciones de audio, específicamente, para topologías presentes en el efecto de distorsión BOSS DS-1. Al final de cada sección, se concluyó sobre las implementaciones que presentaron las mejores aproximaciones del circuito analógico estudiado. En este capítulo, se procede a aplicar los modelos seleccionados para cada componente en el procesador de efectos completo y se evalúa el resultado obtenido comparándolo con el simulador LTspice y el pedal analógico.

13.1. Emulación fuera de línea

La Figura 79 muestra el esquemático completo en Simulink utilizando elementos de la librería de Simscape y los componentes PN, BJT y OPAMP implementados. El circuito completo está conformado por 26 resistencias, 13 capacitores, dos diodos, tres transistores y dos amplificadores operacionales. Sin embargo, cada modelo implementado requiere de resistencias, capacitancias, fuentes dependientes, o incluso de las implementaciones propuestas para otros componentes, como en el caso del opamp, aumentando la complejidad final de la emulación.

Para el diodo y el transistor se optó por utilizar los modelos de tercer nivel, los cuales consideran resistencias en sus terminales y capacitancias parásitas con valores fijos. En el caso del amplificador operacional, se seleccionó el modelo de tercer nivel, el cual considera, entre otras características, los efectos no lineales de saturación en sus voltajes de salida y el slew-rate. Para las resistencias y capacitores se asignaron valores nominales, y se consideran como componentes ideales.

Modelo	RMSE
Prototipo	0.0299
SPICE	0.0834

Cuadro 21: Error cuadrático medio en salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada seno de 200mVpp a 1kHz

Modelo	RMSE
Prototipo	0.0294
SPICE	0.0504

Cuadro 22: Error cuadrático medio en salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada seno de 200mVpp a 10kHz

Se compara la emulación en Simulink contra el resultado de la simulación en LTspice y la medición real empleando señales de entrada en el rango de voltajes comunes para guitarras eléctricas con micrófonos de una bobina (single coil) de 100mVp. Primero, se evalúa una entrada seno de 200mVpp a 1kHz, luego una onda seno a 10kHz y, por último, una onda cuadrada de 200mVpp a 1kHz para analizar la respuesta en frecuencias. De la misma forma que se realizó para cada componente en los capítulos previos, se analiza el comportamiento en el tiempo para cada señal y el espectro de frecuencias para la última, además, se calculan los errores cuadráticos medios en cada caso.

13.1.1. Comparación entre implementación, SPICE y circuito real

Las salidas obtenidas para el primer caso se muestran en la Figura 80. El cálculo de error (Cuadro 21) muestra una diferencia promedio de aproximadamente 30mV para la implementación propuesta y de 83mV para la simulación ejecutada en SPICE, por lo que se obtiene una representación bastante cercana al comportamiento del circuito real.

Al aumentar la frecuencia de la señal seno hasta 10kHz (Fig. 81) se obtienen resultados consistentes en el cálculo del error para el prototipo, mientras que en el caso de SPICE, se disminuyó su error a tan sólo 50mV.

Se reutilizó la entrada anterior de 1kHz pero en este caso, se desplazó el control del potenciómetro hasta el otro extremo. El comportamiento de la salida se mantiene asemeja al obtenido con los resultados de la primera medición (Fig. 82). El error disminuye ligeramente para la implementación y de forma considerable para la simulación (Cuadro 23).

Por último, se analiza la respuesta en frecuencias colocando una señal cuadrada en la

Modelo	RMSE
Prototipo	0.0106
SPICE	0.0135

Cuadro 23: Error cuadrático medio en salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada seno de 200mVpp a 1kHz con control de tono desplazado

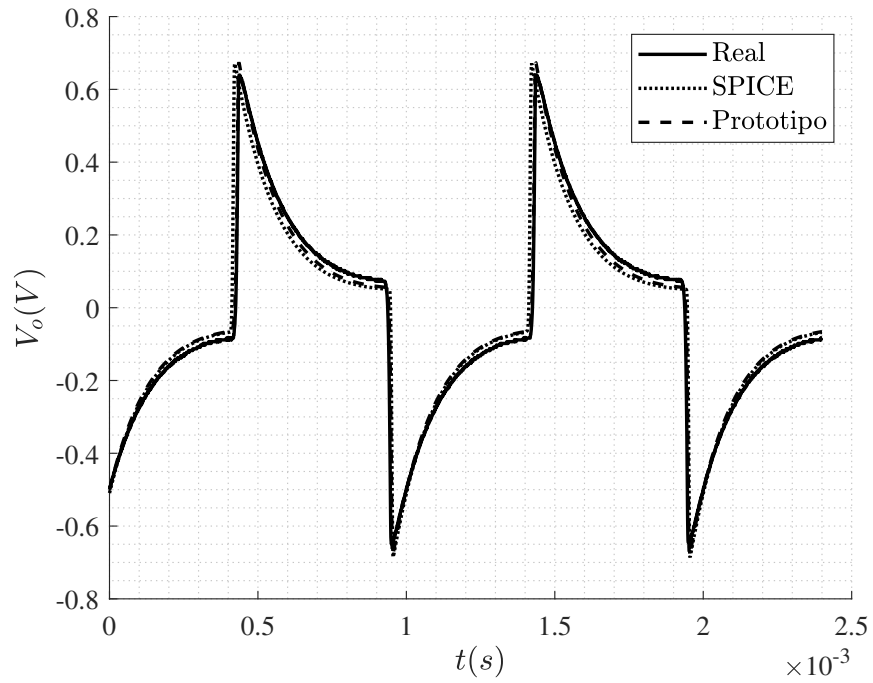


Figura 80: Salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada seno de 200mVpp a 1kHz

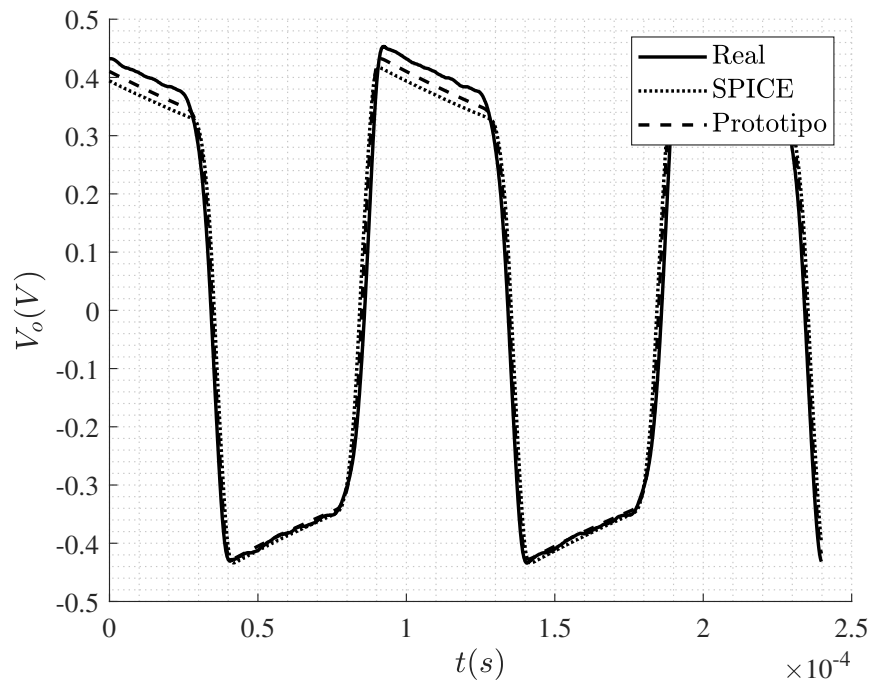


Figura 81: Salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada seno de 200mVpp a 10kHz

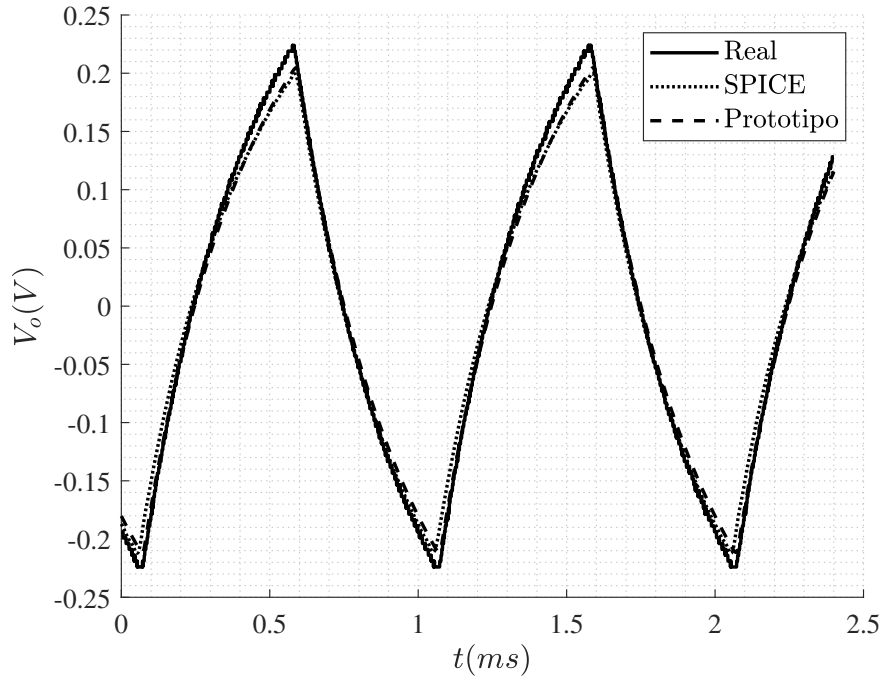


Figura 82: Salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada seno de 200mVpp a 1kHz con control de tono desplazado

Modelo	RMSE
Prototipo	0.8641
SPICE	0.8457

Cuadro 24: Error cuadrático medio en frecuencia de salida del circuito del BOSS DS-1 para la implementación y LTspice comparado con la medición física para una entrada cuadrada de 200mVpp a 1kHz

entrada de 200mVpp a 1kHz. En esta medición que toma en consideración el comportamiento de la emulación en un mayor número de frecuencias, se puede observar que las simplificaciones realizadas sobre los modelos comienzan a divergir ligeramente de los datos mostrados por LTspice, ya que muestra un error un poco mayor (Cuadro 24). A pesar de ello, se obtienen resultados casi idénticos entre la implementación y el simulador, cuyas salidas se asemejan al comportamiento del circuito analógico en un amplio rango de frecuencias, con un error medio de tan sólo 0.8dB.

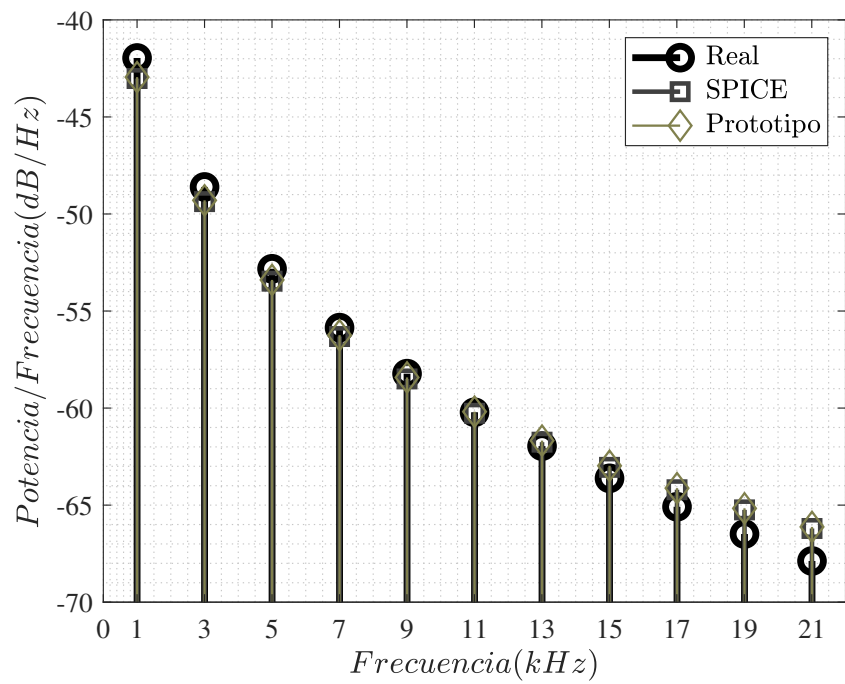


Figura 83: Respuesta en frecuencia en salida del circuito del BOSS DS-1 para la implementación, simulación en LTspice y medición física para una entrada cuadrada de 200mVpp a 1kHz

Desarrollo de la emulación en tiempo real

La presente tesis concluye con la implementación de una emulación digital utilizando los modelos estudiados para su ejecución en tiempo real. En el primer capítulo de trabajo se realizó un análisis inicial del efecto de distorsión BOSS DS-1 utilizando teoría básica de circuitos con componentes idealizados con el objetivo de tener un primer acercamiento sobre la evolución de la señal. Luego, se demostró que el emplear los modelos no lineales para uniones PN ofrecen una mejor aproximación del comportamiento real. En los tres capítulos posteriores, se muestran diversas implementaciones para el diodo, transistor y amplificador operacional. Se evaluó su desempeño en circuitos aislados y en aplicaciones específicas de audio para determinar modelo que obtuviese la salida más cercana a la medida en el pedal analógico, además de compararlo con el simulador LTspice.

En este capítulo se evalúa la factibilidad de implementar los componentes seleccionados en el circuito completo para su emulación en tiempo real en el entorno de Simulink de MATLAB. La carga computacional asociada al trabajar a este nivel de software, junto con la frecuencia de muestreo seleccionada y la complejidad del diagrama eléctrico, requieren de un ajuste en los parámetros del método numérico y en la selección de modelos para que la implementación en tiempo real sea viable siguiendo esta metodología.

14.1. Configuración del entorno y equipo

14.1.1. Equipo e interfaz de audio

En simulaciones fuera de línea, el hardware empleado simplemente determina el tiempo que tomará la ejecución. Para aplicaciones en tiempo real, los recursos computacionales definen un límite en la complejidad de la implementación, ya que, si no se cumplen los

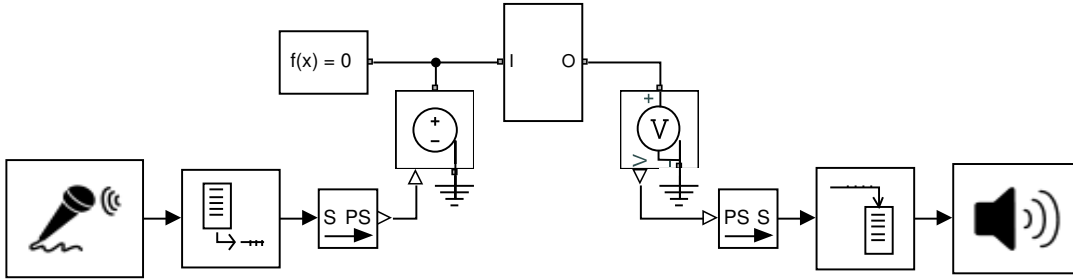


Figura 84: Diagrama de interconexión entre Simscape y Audio System Toolbox en Simulink

requerimientos de procesamiento necesarios, la emulación no funcionará correctamente. Por ello, es importante definir el equipo que se utilizó en las siguientes pruebas.

El prototipo se ejecutó en una computadora portátil Acer Nitro AN515-53 con un procesador Intel(R) Core(TM) i5-8300H @ 2.30GHz, 8.00 GB de RAM 2667 MHz y una tarjeta NVIDIA GeForce GTX 1050 Ti de 4.00 GB. Se utilizó la grabadora de mano Zoom H1 configurada como interfaz de audio de 16 bits de resolución a 44.1kHz. Los drivers se pueden descargar de la página de Zoom.

14.1.2. Lectura y escritura de audio

El primer paso consistió en configurar los bloques de lectura y escritura de audio del *Audio System Toolbox* para que pudiesen ser acoplados con la librería de *Simscape*. La documentación estudiada en el marco teórico indica que estos elementos trabajan a una frecuencia y tamaño de búfer especificados. Se seleccionó 44,100Hz, ya que es un valor que común en audio digital y además, según el teorema de Nyquist, permite representar la frecuencia máxima audible de 22,050Hz de forma adecuada. El búfer se busca que tenga el valor más bajo posible para que la latencia entre la señal de entrada y salida sea menor, dependiendo de la aplicación esto puede variar, para el prototipo propuesto se determinó que se pudo reducir el tamaño hasta 256 sin producir pérdidas de muestras.

14.1.3. Interconexión Simscape - Audio System Toolbox

El bloque *Audio Device Reader* entrega los datos muestreados por la interfaz de audio en bloques de tamaño definido por el búfer, sin embargo, la fuente controlada de voltaje de Simscape acepta en su entrada únicamente datos constantes para cada instancia de tiempo. La solución planteada fue agregar un bloque de *Unbuffer* en la entrada para que los datos se pudiesen leer como constantes en el *Controlled Voltage Source*. Para la salida ocurre el caso inverso, el *Audio Device Writer* requiere una entrada con tamaño de búfer especificado, sin embargo, el *Voltage Sensor* muestra valores constantes en su salida. Utilizando un bloque de *Buffer* configurado con el mismo tamaño que el del bloque de lectura de audio, permite reproducir la señal de forma correcta. El diagrama utilizado se muestra en la Figura 84, el bloque ubicado entre la fuente generadora y el sensor de voltaje representa el circuito de Simscape.

14.1.4. Configuración del solucionador

Simscape ofrece un solucionador local optimizado para eficiencia computacional y exactitud en la solución, por lo que se activó la opción para su utilización en el bloque de configuración. Además, ofrece el ajuste de parámetros de tolerancia y la opción de definir un número fijo de iteraciones permitidas durante la ejecución, lo cual brinda un mejor rendimiento a cambio de una aproximación inferior de la solución. El configurador global de Simulink se debe configurar a la misma frecuencia de muestreo que el solucionador local, además se debe especificar la opción de tipo costo fijo discreto (Fixed-step, discrete).

14.1.5. Optimización de la ejecución

Simulink permite la configuración y ajuste de una gran cantidad de parámetros que influyen en el rendimiento de la simulación. La herramienta *Performance Advisor* ejecuta una corrida base del diagrama y automáticamente selecciona los parámetros óptimos para mejorar el rendimiento de la ejecución.

14.2. Emulación BOSS DS-1

14.2.1. Diagrama de emulación e interfaz de usuario

Los pedales analógicos ofrecen la flexibilidad de realizar cambios directos sobre los valores de distorsión, tono y volumen. A nivel de software, dependiendo del método de implementación de la emulación, esta opción puede ser accesible o no. La metodología realizada en el proyecto permite la adición de controladores en tiempo real sobre cualquier variable del sistema. Agregando elementos *Knobs*, de la librería de *Dashboard* de Simulink y asociándolos a variables constantes dentro del circuito, se permite la modificación de las resistencias presentes en los potenciómetros. El resultado es un procesador digital de efectos más versátil y amigable para el usuario, ya que la implementación del circuito eléctrico se puede asociar a un subsistema. Colocando puertos en los nodos de entrada y salida necesarios (Fig. 85), se dejan accesibles únicamente la entrada, salida de la señal y controles de distorsión, tono y volumen del procesador (Fig. 86), de forma similar al pedal analógico real.

14.2.2. Implementación de prototipo

Se evalúa la ejecución del circuito completo utilizando los modelos que ofrecieron las mejores aproximaciones en los capítulos anteriores. Primero, se colocan los diodos de tercer nivel para el componente PN y PN 1. Luego, se introducen los transistores de tercer nivel para los bloques BJT, BJT 1 y BJT 2. Por último, se agregan los modelos de tercer nivel del amplificador operacional en las ubicaciones OPAMP y OPAMP 1. Se configuraron los parámetros mencionados en las secciones anteriores y se ejecutó la simulación utilizando un fichero *.wav* de una grabación de guitarra eléctrica limpia (sin procesamiento), el cual funciona de forma idéntica al bloque que implementa la interfaz de audio.

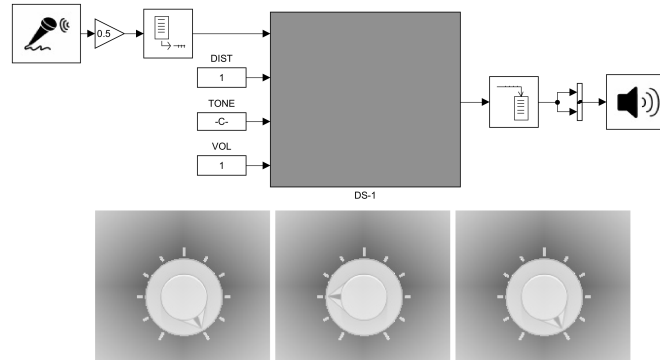


Figura 86: Diagrama en Simulink de la interfaz del BOSS DS-1

El prototipo no se pudo emular adecuadamente ya que algunos pasos de la simulación requieren de un mayor número de iteraciones para obtener una aproximación aceptable de la solución. Esto compromete la velocidad a la que se ejecuta el modelo en Simulink, perjudicando su desempeño en tiempo real. Luego de varias pruebas, se determinó que la única forma de lograr una ejecución en tiempo real con los modelos seleccionados fue colocando un costo fijo de tan solo una iteración. Debido al gran número de elementos en el diagrama, además de la complejidad adicional incorporada por los modelos, realizar un mayor número de iteraciones a la frecuencia especificada resulta en un desbordamiento de los datos muestreados. Especialmente, cuando la no linealidad es muy abrupta, se requieren de múltiples iteraciones para evitar la divergencia del método. La amplitud de la fuente de voltaje también se debe tomar en consideración, ya que valores superiores a los utilizados puede hacer que el método diverja. La configuración empleada con una fuente de voltaje con valores máximos de 20mVpp y un costo fijo de 1 permite ejecutar la emulación correctamente sin pérdida de muestras, sin embargo, considerar un número tan bajo de iteraciones reduce la exactitud de la salida comparado con los resultados obtenidos durante la simulación fuera de línea.

14.2.3. Prototipos optimizados

Los resultados anteriores comprueban que la utilización de los modelos que ofrecen las mejores aproximaciones es viable para su ejecución en tiempo real utilizando la metodología propuesta en el hardware de pruebas. Sin embargo, la exactitud de la respuesta se ve comprometida por la poca flexibilidad que ofrece este nivel de complejidad para realizar más de una iteración. Además, la carga computacional del prototipo es tan elevada que se requiere que el procesador trabaje a su máxima capacidad sin interrupciones de software. Con el objetivo de encontrar un equilibrio entre la exactitud y complejidad de los modelos, se propone la implementación de dos prototipos adicionales enfocados en rendimiento, pero

manteniendo la utilización de los modelos estudiados.

El segundo prototipo disminuye el nivel de los modelos en topologías donde no se requiere de un nivel de complejidad tan elevado para imitar adecuadamente el comportamiento a cambio de mejorar el rendimiento. El transistor del búfer de entrada y salida se reemplaza por el BJT de primer nivel, así como el amplificador en configuración de seguidor de voltaje se cambió por el OPAMP de nivel 1. Debido a que estas etapas se utilizan para acople de señales, la simplificación en su modelo no implica cambios significativos en su salida. Por el contrario, para las etapas que implican mayor dinámica en el sistema, se procuró mantener un nivel más alto. El transistor de amplificación se reduce al nivel dos, por lo que mantiene las resistencias en las terminales y el efecto Early. El amplificador operacional ubicado en la etapa de ganancia se sustituye por el modelo de segundo nivel, pero se retiran los diodos limitadores de voltaje, lo cual no afecta en gran medida la salida ya que justo después se ubican los diodos de distorsión, los cuales fueron reemplazados por los modelos de segundo nivel con únicamente resistencias en serie.

Por último, se propone la implementación de un prototipo con los modelos más básicos estudiados con el objetivo de evaluar su comportamiento junto con los modelos más complejos, ya que, aunque se espera un error mayor en su respuesta, su costo computacional es tan reducido que permite su ejecución en equipos menos potentes. Este nivel se pudo emular correctamente en un procesador de dos núcleos Intel(R) Core(TM) i7-6500U @ 2.50GHz.

14.2.4. Comparación entre prototipos

Finalmente, se realiza la comparación entre los prototipos propuestos con las especificaciones de modelado mencionadas anteriormente, las cuales se resumen en el Cuadro 25. Se configura una señal de guitarra eléctrica en la entrada para evaluar el comportamiento de cada implementación en un entorno real de aplicación de audio. Luego de procesador los resultados, se extrajo un segmento de datos y generó la gráfica de la Figura 87. A esta escala se puede observar una respuesta similar para los diversos prototipos, al realizar un acercamiento en el eje del tiempo (Fig. 88) y graficar la magnitud del error respecto a la referencia (Fig. 89) se puede observar las diferencias entre los distintos niveles de implementación. A pesar de que los prototipos se configuraron con un costo fijo de iteraciones, ofrecen resultados cercanos a los de la referencia fuera de línea. El prototipo 1 obtuvo un error medio ligeramente superior al de la simulación con mayor número de iteraciones (Cuadro 26). El prototipo 3 se centró en un mejor rendimiento, por lo cual obtiene la aproximación más lejana a la referencia, con un RMSE de 0.0069. El segundo prototipo ofrece un equilibrio entre complejidad y exactitud, obteniendo un error medio entre las demás implementaciones.

14.3. Conclusión sobre emulación

Las emulaciones en tiempo real obtenidas ofrecen resultados bastante similares a los de la simulación fuera de línea a pesar de los ajustes realizados para que fuera posible su implementación. El comportamiento de los prototipos se asemeja a la emulación del capítulo anterior, la cual poseía una respuesta muy parecida a la medida en el circuito analógico y

Componente	Prototipo 1	Prototipo 2	Prototipo 3
BJT	3	1	1
BJT 1	3	2	1
OPAMP	3	1	1
OPAMP 1	3	2	1
PN	3	2	1
PN 1	3	2	1
BJT 2	3	1	1

Cuadro 25: Modelos implementados de cada componente en prototipos

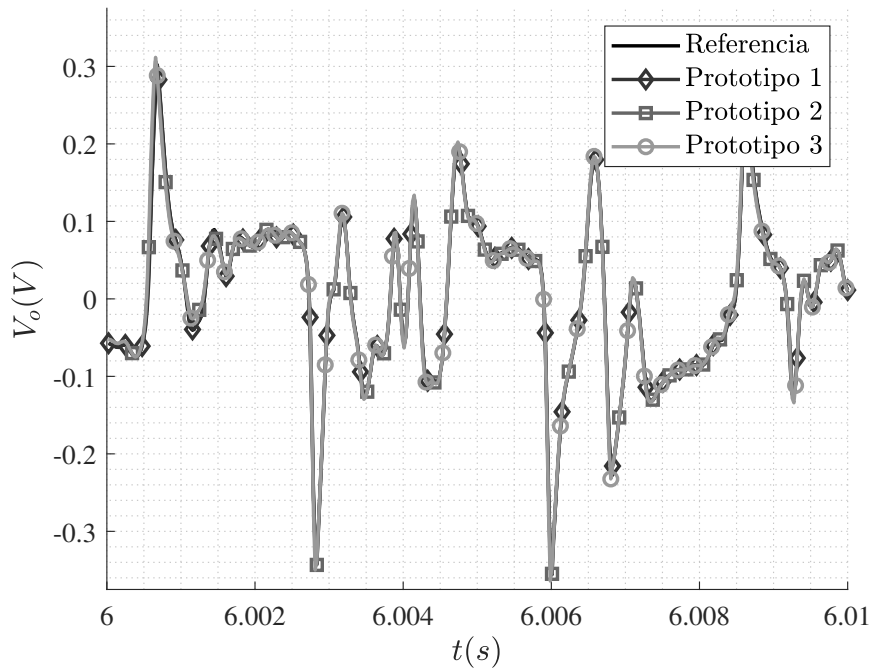


Figura 87: Salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada

Modelo	RMSE
Prototipo 1	0.0031
Prototipo 2	0.0051
Prototipo 3	0.0069

Cuadro 26: Error cuadrático medio en salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada

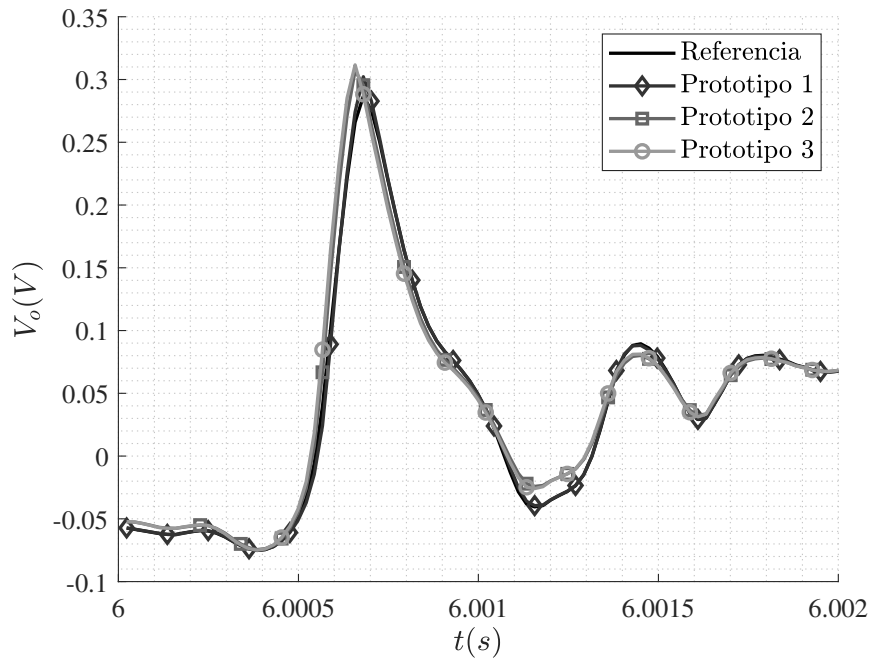


Figura 88: Acercamiento en salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada

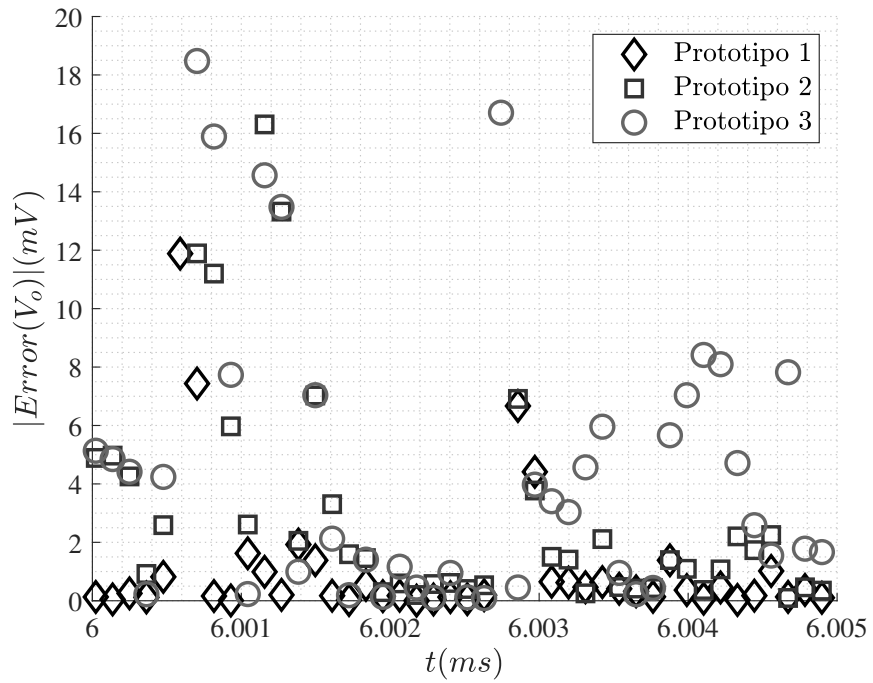


Figura 89: Errores respecto a medición real en salida del circuito del BOSS DS-1 para los tres prototipos evaluados con una señal de audio de guitarra en la entrada

la del simulador basado en tecnología SPICE.

La investigación realizada durante los primeros capítulos permitió definir los modelos para el diodo, transistor y el amplificador operacional a estudiar. La implementación en Simscape demostró la superioridad en la exactitud de los modelos de semiconductores que adicionan resistencias y capacitancias parásitas. También se obtuvo un macro modelo del opamp que simula de forma adecuada el ancho de banda, saturación y limitación en la tasa de cambio del voltaje. Estos resultados definen el nivel de complejidad necesario para obtener la mejor aproximación al comportamiento real de los componentes en aplicaciones comunes de audio sin necesariamente considerar todos los parámetros de las librerías de SPICE, optimizando su ejecución. La metodología que se llevó a cabo para generar la emulación digital en tiempo real del primer prototipo se vio limitada por los recursos computacionales y la complejidad del sistema. A pesar de ello, las implementaciones de los prototipos dos y tres, obtuvieron resultados suficientemente cercanos a los producidos por el pedal de efectos real.

1. El nivel del diodo que considera el modelo de Shockley, resistencia en serie y capacitancia fija en paralelo ofrece la mejor aproximación para aplicaciones de limitadores de voltaje empleados en efectos de audio para producir distorsión.
2. El transistor modelado por Ebers-Moll considerando el Efecto Early, con capacitancias en paralelo y resistencias en sus terminales ofrece el mejor acercamiento al comportamiento real para la topología de amplificación presente en el BOSS DS-1.
3. El modelo del amplificador operacional que incorpora limitadores de voltaje en su salida y limitación en la tasa de cambio del voltaje ofrece la repuesta más cercana a la medición real en la etapa de amplificador de ganancia del pedal estudiado.
4. Las metodologías utilizadas permiten caracterizar las implementaciones diodos, BJT y amplificadores operacionales estudiadas a partir de su hoja de datos, posibilitando la emulación de una gran cantidad de modelos sin contar con el componente físicamente.
5. El modelado digital permite la variación de cualquier parámetro utilizado, ampliando las posibilidades para la emulación de efectos de sonido los cuales no se encuentren limitados por sus capacidades físicas.
6. Los sistemas dinámicos no lineales propuestos para cada componente ofrecen resultados similares a los obtenidos por el simulador LTspice para los casos planteados.
7. El desarrollo de emulaciones a partir del modelado físico aceleran el proceso de diseño ya que permite interactuar directamente con el circuito y el sonido producido de forma instantánea.
8. La implementación de la emulación en tiempo real con la metodología realizada se ve comprometida por la complejidad del sistema, reduciendo ligeramente la exactitud de su respuesta comparada con la simulación fuera de línea. Sin embargo, ofrece resultados similares.

9. Se logró desarrollar una emulación digital de alta fidelidad cuyo comportamiento se asemeja al del equipo analógico original, lo cual se refleja cuantitativamente en el error cuadrático medio obtenido.

1. Realizar la ejecución en el entorno de Simulink utilizando la librería de Simscape permitió alcanzar los objetivos propuestos, pero no de la forma más eficiente, además que se limita a su utilización exclusiva en equipos de cómputo. Se recomienda evaluar la implementación de los modelos propuestos en código de forma directa para mejorar el rendimiento de la emulación y, de esta manera, permitir la exportación a instrumentos de tecnología virtual (VST) o un procesador digital de señales (DSP).
2. En este caso, se analizaron topologías comunes encontradas en pedales distorsión debido al interés en estudiar el comportamiento dinámico y no lineal de los componentes. Se recomienda evaluar el desempeño de los modelos seleccionados para otro tipo de efectos y determinar su similitud con el circuito real.
3. La emulación digital, a diferencia de la analógica, permite la variación de cualquier parámetro involucrado en el sistema. Por lo que se recomienda experimentar con variables nuevas para generar sonidos distintos a los que comúnmente son producidos por efectos de audio analógicos.

-
- [1] U. Zölzer, ed., *DAFX: Digital Audio Effects*, inglés, 2 edition. Chichester, West Sussex, England: Wiley, abr. de 2011, ISBN: 978-0-470-66599-2.
 - [2] D. T. Yeh, J. S. Abel y J. O. Smith, «Simplified, Physically-Informed Models of Distortion and Overdrive Guitar Effects Pedals», inglés, pág. 8, 2007.
 - [3] I. Cohen y T. Hélie, «Real-time simulation of a guitar power amplifier», inglés, *13th International Conference on Digital Audio Effects, DAFx 2010 Proceedings*, oct. de 2010.
 - [4] D. T. Yeh, J. Abel y J. O. Smith, «Simulation of The Diode Limiter in Guitar Distortion Circuits By Numerical Solution of Ordinary Differential Equations», inglés, pág. 7, 2007.
 - [5] D. T. Yeh y J. O. Smith, «Simulating Guitar Distortion Circuits Using Wave Digital And Nonlinear State-Space Formulations», inglés, pág. 8, 2008.
 - [6] D. T. Yeh, «Automated Physical Modeling of Nonlinear Audio Circuits For Real-Time Audio Effects – Part I: Theoretical Development», inglés, *IEEE TRANSACTIONS ON SPEECH AND AUDIO PROCESSING*, vol. 18, n.º 3, pág. 10, 2010.
 - [7] D. T. Yeh y J. O. Smith, «Automated Physical Modeling of Nonlinear Audio Circuits For Real-Time Audio Effects - Part II: BJT and Vacuum Tube Examples», inglés, *IEEE TRANSACTIONS ON SPEECH AND AUDIO PROCESSING*, vol. 18, n.º 3, pág. 10, 2011.
 - [8] M. Holters y U. Zölzer, «Physical Modeling of a Wah-Wah Effect Pedal as a Case Study for Application of the Nodal DK Method to Circuits with Variable Parts», inglés, pág. 5, 2011.
 - [9] D. T.-M. Yeh, «Digital Implementation of Musical Distortion Circuits by Analysis and Simulation», inglés, pág. 182,
 - [10] G. Massobrio y P. Antognetti, *Semiconductor Device Modeling*, inglés, 1 edition. New York: McGraw-Hill Education, dic. de 1998, ISBN: 978-0-07-134955-0.

- [11] P. R. Gray, P. J. Hurst, S. H. Lewis y R. G. Meyer, *Analysis and Design of Analog Integrated Circuits, 5th Edition*, inglés, 5th edition. New York: Wiley, ene. de 2009, ISBN: 978-0-470-24599-6.
- [12] R. L. Boylestad y L. Nashelsky, *Electronic Devices and Circuit Theory*, inglés, 11 edition. Upper Saddle River, N.J: Pearson, abr. de 2012, ISBN: 978-0-13-262226-4.
- [13] S. F. P. o. E. Engineering, *Analog Circuit Design: Discrete & Integrated*, inglés, 1 edition. New York, NY, ene. de 2014, ISBN: 978-0-07-802819-9.
- [14] P. D. Mitcheson, «SPICE Diode and BJT models», inglés, pág. 34,
- [15] J. J. Ebers y J. L. Moll, «Large-Signal Behavior of Junction Transistors», inglés, *Proceedings of the IRE*, vol. 42, n.º 12, págs. 1761-1772, dic. de 1954, ISSN: 0096-8390. DOI: 10.1109/JRPROC.1954.274797.
- [16] D. De y K. P. Ghatak, *Basic Electronics*, inglés, 1 edition. New Delhi: Pearson Education India, jun. de 2013, ISBN: 978-81-317-1068-5.
- [17] P. D. Mitcheson, «BJT Ebers-Moll Model and SPICE MOSFET model», inglés, pág. 40,
- [18] M. H. Rashid, *SPICE for Power Electronics and Electric Power*, inglés, 3 edition. Boca Raton, FL: CRC Press, mayo de 2012, ISBN: 978-1-4398-6046-5.
- [19] YouSpice, *LTspice Modeling of Universal Operational Amplifier*, inglés, 2018. dirección: <http://www.youspice.com/spiceprojects> (visitado 17-09-2018).
- [20] MathWorks, *MATLAB - MathWorks*, inglés, 2018. dirección: <https://www.mathworks.com/products/matlab.html> (visitado 21-09-2018).
- [21] —, *Simulink Documentation*, inglés, 2018. dirección: <https://www.mathworks.com/help/simulink/index.html> (visitado 21-09-2018).
- [22] —, *Simscape Documentation*, inglés, 2018. dirección: <https://www.mathworks.com/help/physmod/simscape/> (visitado 23-09-2018).
- [23] —, *Audio System Toolbox Documentation*, inglés, 2018. dirección: <https://www.mathworks.com/help/audio/> (visitado 23-09-2018).
- [24] —, *DSP System Toolbox Documentation*, inglés, 2018. dirección: <https://www.mathworks.com/help/dsp/> (visitado 24-09-2018).
- [25] ElectroSmash, *ElectroSmash - Boss DS1 Distortion Analysis*, inglés. dirección: <https://www.electrosmash.com/boss-ds1-analysis> (visitado 30-04-2018).
- [26] B. Miller, «Build Your Own DS-1 Distortion», inglés, pág. 33,
- [27] YouSpice, *SPICE modeling of a Diode from Datasheet*, inglés, feb. de 2015. dirección: <http://www.youspice.com/spice-modeling-of-a-diode-from-datasheet/> (visitado 17-09-2018).
- [28] F. Semiconductor, «1N/FDLL 914/A/B / 916/A/B / 4148 / 4448 - Small Signal Diode», inglés, pág. 7,
- [29] ON Semiconductor, *BC550: NPN Epitaxial Silicon Transistor*, inglés, 2002. dirección: <http://www.onsemi.com/PowerSolutions/product.do?id=BC550> (visitado 17-09-2018).
- [30] YouSpice, *SPICE modeling of a BJT from Datasheet*, inglés, feb. de 2015. dirección: <http://www.youspice.com/spice-modeling-of-a-bjt-from-datasheet/> (visitado 27-09-2018).

- [31] eCircuit Center, *Opamp Models*, inglés, 2007. dirección: <http://www.ecircuitcenter.com/OpModels/OpampModels.htm> (visitado 17-09-2018).
- [32] N. J. R. Co, *NJM3404A / NJM3404AD NJM3404AM NJM3404AL NJM3404AV / SINGLE-SUPPLY DUAL OPERATIONAL AMPLIFIER*, inglés, 2003. dirección: <https://www.njr.com/semicon/products/NJM3404A.html> (visitado 17-09-2018).
- [33] N. S. Nise, *Control Systems Engineering*, inglés, 6 edition. Hoboken, NJ: Wiley, dic. de 2010, ISBN: 978-0-470-54756-4.

18.1. Esquemático BOSS DS-1

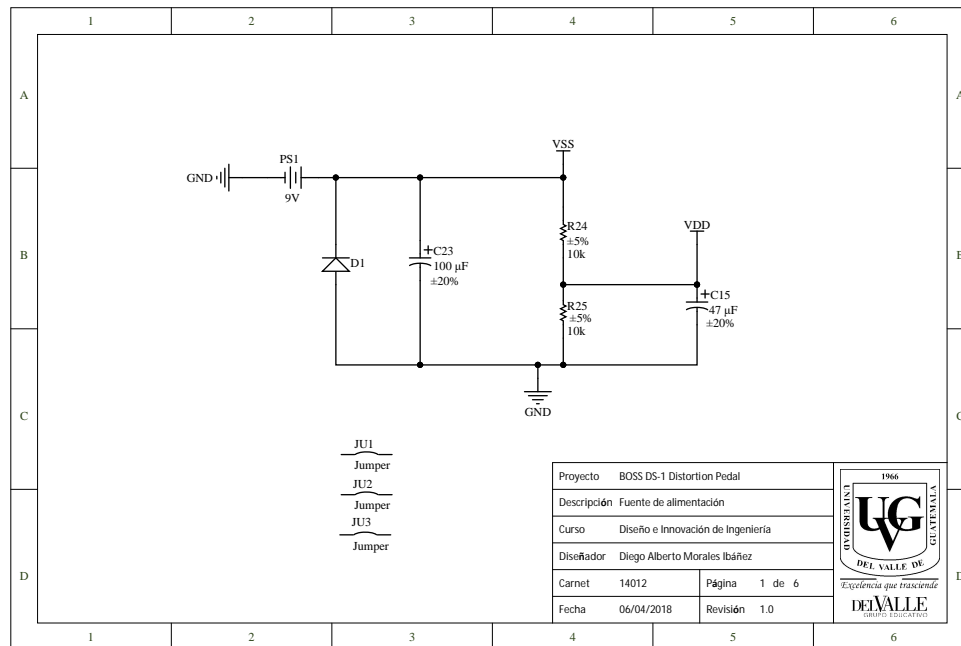


Figura 90: Página 1 de esquemático BOSS DS-1

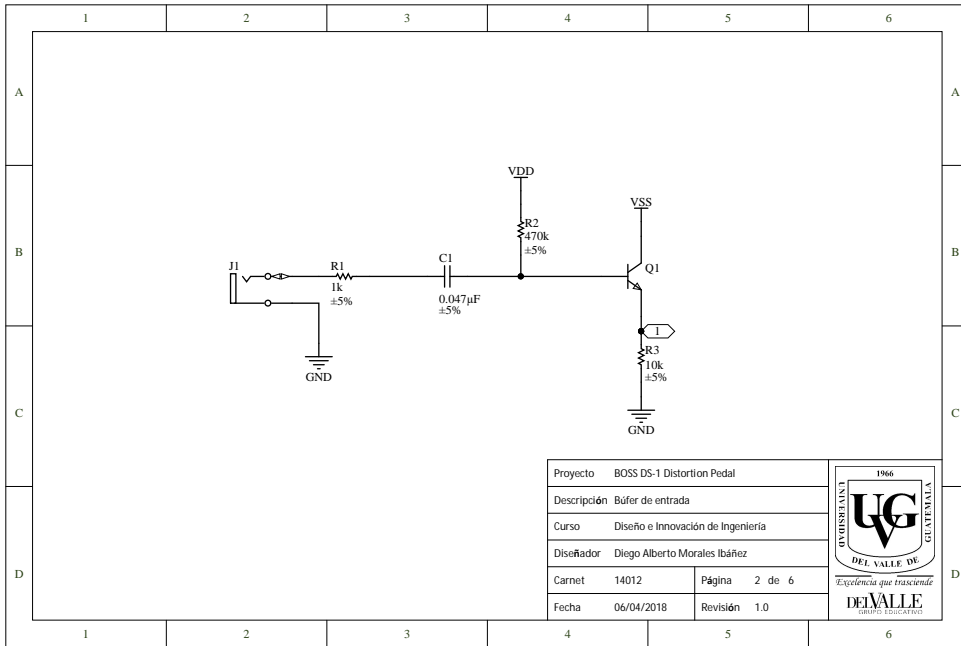


Figura 91: Página 2 de esquemático BOSS DS-1

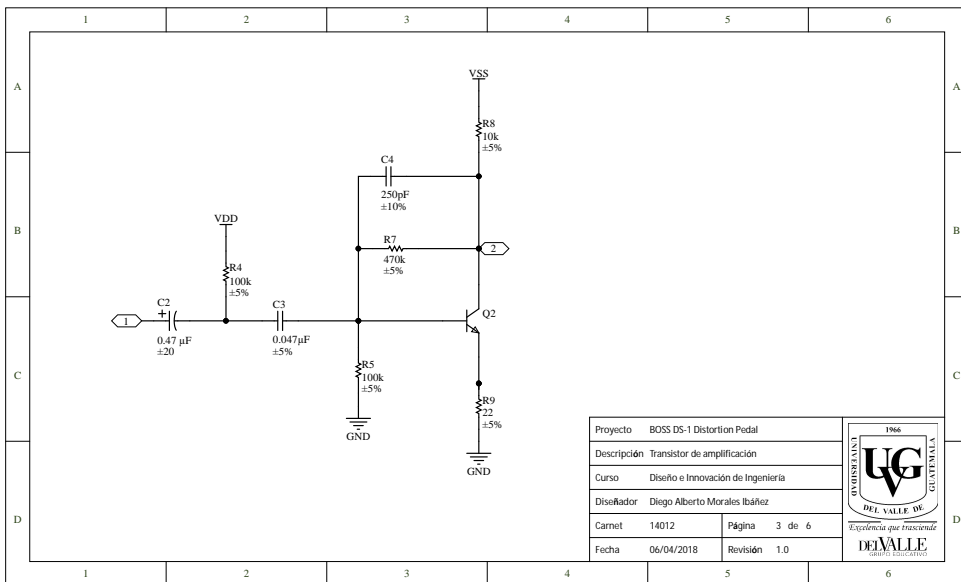


Figura 92: Página 3 de esquemático BOSS DS-1

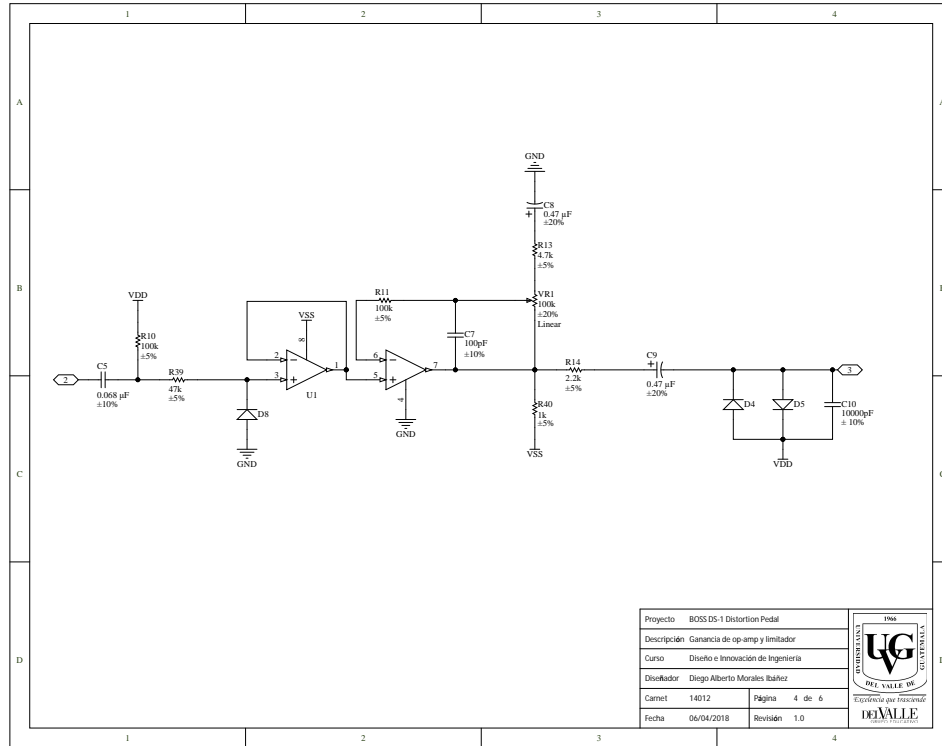


Figura 93: Página 4 de esquemático BOSS DS-1

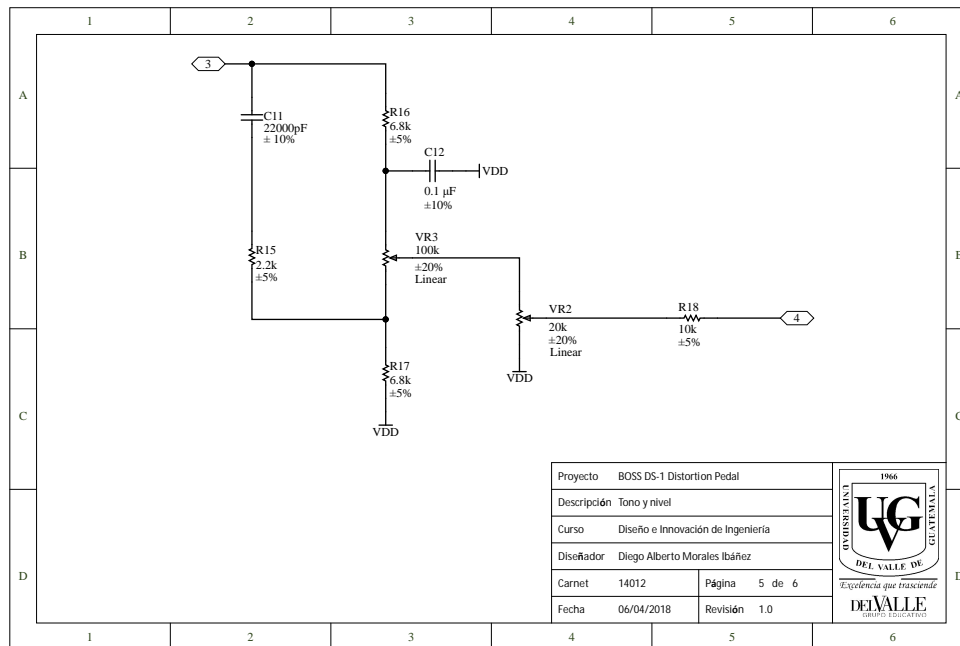


Figura 94: Página 5 de esquemático BOSS DS-1

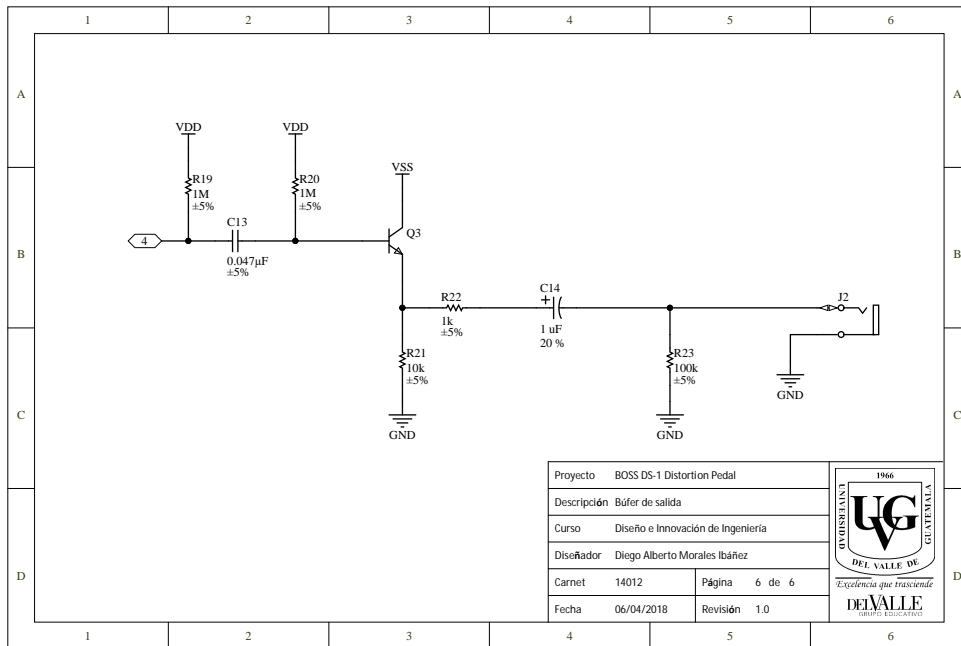


Figura 95: Página 6 de esquemático BOSS DS-1

18.2. Códigos de componentes semiconductores creados

```

1 component pn_shockley < foundation.electrical.branch
2 % Shockley diode
3 % Exponential characteristic diode curve.
4 parameters
5     Is = {0.9e-0007, 'A'}; % Reverse saturation current
6     N = 2.39; % Emission coefficient
7     Vt = {26e-03, 'V'}; % Thermal voltage
8     Gmin = {10e-12, '1/Ohm'}; % Conductance
9 end
10
11 equations
12     if v>-5*Vt
13         i == Is*(exp(v/(N*Vt))-1)+v*Gmin;
14     else
15         i == -Is+v*Gmin;
16     end
17 end
18
19 end

```

```

1 component pn_capacitor < foundation.electrical.branch
2 % PN Junction Capacitor
3 % Models transition and difussion capacitances
4
5 parameters
6   cj0 = {8.7181e-0013, 'F'}; % Zero-Bias Junction Capacitance
7   v0 = {0.5100, 'V'}; % Junction Potential
8   t = { 4.6080e-9, 's' }; % Transit Time
9   m = 0.0210; % Grading Coefficient
10  Is = {0.9e-0007, 'A'}; % Reverse saturation current
11  N = 2.39; % Emission coefficient
12  Vt = { 26e-03, 'V'}; % Thermal Voltage
13 end
14
15 variables
16   vc = {value = { 0, 'V' }, priority = priority.high}; % Capacitor voltage
17 end
18
19 equations
20   if v ≥ 0
21     c == (t*Is*exp(v/(N*Vt)))/(N*Vt);
22   else
23     c == (cj0)/(1-v/v0).^m;
24   end
25   v == vc;
26   i == c*vc.der;
27 end
28
29 outputs
30   c = {8.7181e-0013, 'F' };
31 end
32
33 end

```

```

1 component icc < foundation.electrical.branch
2 % icc
3 % Exponential characteristic pn base emitter junction.
4 parameters
5   Is = {2.24183e-14, 'A'}; % Transport saturation current
6   N = 0.996496; % Forward current emission coefficient
7   Vt = { 26e-03, 'V'}; % Thermal voltage
8   Gmin = { 10e-12, '1/Ohm'}; % Conductance
9   Bf = {228.4, '1'}; % Ideal maximum forward beta
10 end
11
12 equations
13   Icc == Is*(exp(v/(N*Vt))-1)+v*Gmin;
14   i == Icc/Bf;
15 end
16
17 outputs
18   Icc = {0, 'A'};
19 end
20
21 end

```

```

1 component iec < foundation.electrical.branch
2 % iec
3 % Exponential characteristic pn base collector junction.
4 parameters
5     Is = {10e-16, 'A'}; % Transport saturation current
6     N = 1; % Reverse current emission coefficient
7     Vt = { 26e-03, 'V'}; % Thermal voltage
8     Gmin = { 10e-12, '1/Ohm'}; % Conductance
9     Br = {1, '1'}; % Ideal maximum reverse beta
10 end
11
12 equations
13     Vbc == v;
14     Iec == Is*(exp(v/(N*Vt))-1)+v*Gmin;
15     i == Iec/Br;
16 end
17
18 outputs
19     Iec = {0, 'A'};
20     Vbc = {0, 'V'};
21 end
22
23 end

```

```

1 component ict
2 % ict
3 % Current source Ebers Moll transport model.
4 parameters
5     Vaf = {161.939, 'V'}; % Early Voltage
6 end
7
8 inputs
9     iec = { 0, 'A' }; % :bottom
10    icc = {0, 'A'}; % :top
11    vbc = {0, 'V'}; % :top
12 end
13
14 nodes
15     head = foundation.electrical.electrical; % :top
16     tail = foundation.electrical.electrical; % :bottom
17 end
18
19 variables(Access=private)
20     i = { 0, 'A' };
21     v = { 0, 'V' };
22 end
23
24 branches
25     i : tail.i -> head.i;
26 end
27
28 equations
29     v == tail.v - head.v;
30     i == (icc - iec)*(1/(1+vbc/Vaf));
31 end
32
33 end

```

```

1 component cbc < foundation.electrical.branch
2 % cbc
3 % Models transition and difussion capacitances
4
5 parameters
6   cjc = {6.16E-12, 'F'}; % Zero-Bias base-collector junction capacitance
7   vjc = {0.395, 'V'}; % Base-collector junction potential
8   mjc = 0.251; % Base-emitter junction grading factor
9   tr = {518.15E-12, 's' }; % Reverse transit time
10  Is = {2.24183E-14, 'A'}; % Reverse saturation current
11  Vt = { 26e-03, 'V'}; % Thermal Voltage
12  FC = 0.5; % Forward-bias depletion capacitor coefficient
13  F2 = 0.420; % F2 capacitor coefficient
14  F3 = 0.375; % F3 capacitor coefficient
15 end
16
17 variables
18   vc = {value = { 0, 'V' }, priority = priority.high}; % Capacitor voltage
19   c = {6.16E-12, 'F'}; % Capacitance
20 end
21
22 equations
23   if v >= FC*vjc
24     c == (tr*Is*exp(v/(Vt)))/(Vt) + cjc*(F3+(mjc*v)/vjc)/F2
25   else
26     c == (tr*Is*exp(v/(Vt)))/(Vt)+(cjc)/(1-v/vjc).^mjc;
27   end
28   v == vc;
29   i == c*vc.der;
30 end
31
32 end

```

```

1 component cbe < foundation.electrical.branch
2 % cbe
3 % Models transition and difussion capacitances
4
5 parameters
6     cje = {1.87E-11, 'F'}; % Zero-Bias base-collector junction capacitance
7     vje = {0.732, 'V'}; % Base-collector junction potential
8     mje = 0.33; % Base-emitter junction grading factor
9     tf = {10.000E-9, 's'}; % Forward transit time
10    Is = {2.24183E-14, 'A'}; % Reverse saturation current
11    Vt = { 26e-03, 'V'}; % Thermal Voltage
12    FC = 0.5; % Forward-bias depletion capacitor coefficient
13    F2 = 0.4; % F2 capacitor coefficient
14    F3 = 0.335; % F3 capacitor coefficient
15 end
16
17 variables
18     vc = {value = { 0, 'V' }, priority = priority.high}; % Capacitor voltage
19     c = {1.87E-11, 'F'}; % Capacitance
20 end
21
22 equations
23     if v>=FC*vje
24         c == (tf*Is*exp(v/(Vt)))/(Vt) + cje*(F3+(mje*v)/vje)./F2
25     else
26         c == (tf*Is*exp(v/(Vt)))/(Vt)+(cje)/(1-v/vje).^mje;
27     end
28     v == vc;
29     i == c*vc.der;
30 end
31
32 end

```

amplificador operacional circuito integrado que funciona como amplificador diferencial de alta ganancia con alta impedancia de entrada y baja impedancia de salida [12]. 24, 26, 27

analógico sistema que presenta información en tiempo continuo [13]. 97, 103, 105

diodo dispositivo electrónico de estado sólido compuesto por un material tipo n y p [12]. 1, 13, 14, 17

emulación implementación digital de efectos de audio analógico [1]. 103

espectro de frecuencias distribución de potencia en un rango de frecuencias especificado [1]. 67

material tipo n y p materiales extrínsecos utilizados en la fabricación de semiconductores [12]. 129

modelos no lineales modelos que no cumplen con el principio de superposición y/u homogeneidad [33]. 49

PCB placa de circuito impreso [13]. 39, 42

procesador digital algoritmos de software que calculan una secuencia de números de salida a partir de una secuencia de números en la entrada [1]. 105

sistema dinámico sistemas que evolucionan en el tiempo [33]. 30

SPICE programa de simulación con énfasis en circuitos integrados [10]. 17, 19, 22, 24, 27

topología propiedades que surgen de la estructura de un circuito eléctrico [16]. 39

transistor semiconductor compuesto por tres capas que consiste en dos capas de material tipo n y un tipo p o viceversa [12]. 19, 22, 29