

## **Sintetizador de Frecuencias Programable**

**para un radio-repetidor Motorola modelo MSR-2000**

**UNIVERSIDAD DEL VALLE DE GUATEMALA**

**Facultad de Ciencias y Humanidades**

**Depto. De Ing. Electrónica**

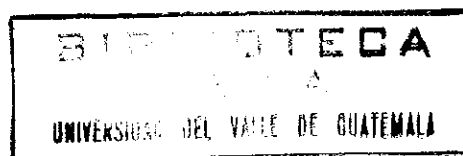
**Sintetizador de Frecuencias Programable**

**para un radio-repetidor Motorola modelo MSR-2000**

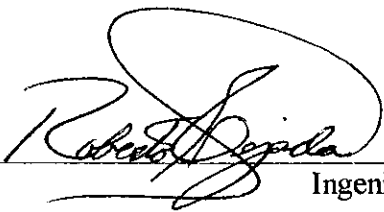
**Alvaro Yurrita Urigüen**

**Trabajo de investigación presentado para optar  
al grado académico de  
Licenciatura en Ingeniería Electrónica**

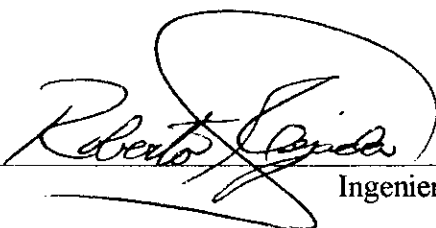
**Guatemala  
1994**



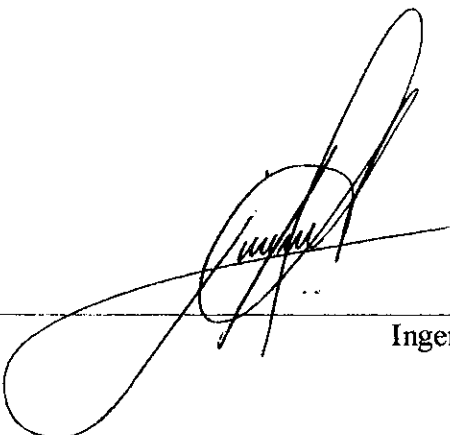
Vo. Bo.

(f)   
Ingeniero Roberto Tejada.  
Asesor

Tribunal:

(f)   
Ingeniero Roberto Tejada

(f)   
Ingeniero Ricardo Quan

(f)   
Ingeniero José Luis Alvarado

Fecha de Aprobación. 5 de Octubre de 1994.

A Motorola, Electrónica Industrial, por toda la ayuda y asesoría que me brindó durante este proyecto en especial al Ing. Juan Carlos Campo y al Ing. José Luis Alvarado, sin los cuales este proyecto nunca se hubiera realizado.

## RESUMEN

En este modelo de trabajo profesional se desarrolló un sistema mediante el cual se puede transformar una repetidora marca Motorola modelo MSR-2000, de operación cristalizada, en una repetidora con la capacidad de cambiar sus frecuencias mediante simples DIP switches, es decir se transformó una repetidora cristalizada en una programable. La repetidora MSR-2000 establece su frecuencia de operación mediante cristales llamados **Channel Elements**. Estos hacen que sea muy difícil el cambio de frecuencia en poco tiempo y a bajo costo, pues sólo se pueden adquirir en el extranjero, y usualmente el tiempo de entrega es mayor de cuatro semanas, pues tienen que ser contruidos.

Por medio de un sintetizador de frecuencia que utiliza un circuito PLL (Phase Locked Loop), se logró sustituir estos cristales por un dispositivo que es capaz de cambiar la frecuencia de operación de la repetidora con el movimiento de switches, evitando así el tiempo de entrega de los cristales y demás costos.

Para lograr este dispositivo se investigaron primero las frecuencias de oscilación de los Channel Elements de la repetidora y sus características. Con esta información se procedió a diseñar el circuito sintetizador de frecuencias, utilizando un PLL, que suplantarán los Channel Elements.

Con el dispositivo completo, se procedió a comparar los parámetros entre la operación normal, o sea, la cristalizada, y la operación modificada, o sea, la programable.

Esta comparación dio un resultado satisfactorio, ya que se logró el objetivo de sustituir completamente el Channel Element de la repetidora por este sintetizador.

Se concluyó que además que el circuito nos proporciona una forma fácil y rápida de cambiar las frecuencias a esta repetidora, el hecho que esto se haga de forma digital nos abre las puertas a una gama de nuevas aplicaciones donde el cambio de frecuencia rápido y continuo es necesario. Para estos casos se puede utilizar microprocesadores, los cuales se encargan del cambio automático de frecuencias para llevar a cabo, por ejemplo, funciones de "escaneo" de varias frecuencias preprogramadas.

## CONTENIDO

	Páginas
RESUMEN .....	VI
I. INTRODUCCIÓN .....	1
II. EL RADIO REPETIDOR MSR-2000 .....	5
A. <u>El transmisor</u> .....	5
1. <u>Circuito de transmisión de audio</u> .....	5
2. <u>Channel Element</u> .....	6
3. <u>Multiplicadores y amplificadores</u> .....	7
B. <u>El receptor</u> .....	9
1. <u>Preselector de RF</u> .....	9
2. <u>Oscilador local e inyección</u> .....	10
3. <u>Mezclador</u> .....	10
4. <u>Circuito de IF</u> .....	11
5. <u>Detector/limitador</u> .....	11
6. <u>Tarjeta de audio</u> .....	11
III. EL PLL .....	14
A. <u>Diversos tipos de PLL y filtros</u> .....	16
B. <u>Teoría del PLL digital</u> .....	23
C. <u>El sintetizador de frecuencias</u> .....	27
IV. EL PROYECTO .....	34
A. <u>Requerimientos básicos</u> .....	34
1. <u>Frecuencias básicas de oscilación</u> .....	34
a. Del transmisor .....	35
b. Del receptor .....	35
2. <u>Intervalos de frecuencias</u> .....	36
a. Para el transmisor: .....	36
b. Para el receptor .....	36
3. <u>El divisor N</u> .....	37

a. Para el transmisor .....	37
b. Para el receptor .....	37
4. <u>En resumen</u> .....	38
B. <u>El sintetizador</u> .....	38
1. <u>El oscilador de referencia</u> .....	38
2. <u>El detector de fase</u> .....	39
3. <u>El VCO</u> .....	40
4. <u>El divisor N</u> .....	41
V. RESULTADOS .....	43
VI. CONCLUSIONES FINALES .....	45
VII. BIBLIOGRAFÍA .....	47
VIII. APÉNDICES .....	48
A. <u>Integrados utilizados</u> .....	49
1. <u>El detector de fase MC-4044</u> .....	49
2. <u>El multivibrador controlado por voltaje MC-4024</u> .....	52
3. <u>El divisor de frecuencia ECG-1197</u> .....	56
4. <u>El contador ECG 74LS193 y la compuerta ECG 74LS00</u> .....	58
B. <u>Diagramas finales</u> .....	59
1. <u>Diagrama de bloques del sintetizador</u> .....	59
a. Un oscilador de referencia .....	59
b. Divisores Rx y Tx .....	59
c. Los VCO .....	60
d. Las conexiones al repetidor .....	60
2. <u>El oscilador de referencia</u> .....	62
3. <u>El divisor N</u> .....	64
4. <u>El VCO del transmisor y del receptor</u> .....	68
5. <u>Costo del proyecto</u> .....	72

## LISTA DE TABLAS

Especificaciones de operación del transmisor .....	7
Especificaciones de funcionamiento de receptor .....	12
Diversos tipos de detectores de fase.....	18
Posibles filtros pasa bajos de primer orden .....	23
Especificaciones de los sintetizadores.....	38
Rango de operación de la tarjeta HLB-4100A.....	40
Rango de operación de la tarjeta HLD-4322A.....	40
Resultados obtenidos del transmisor.....	43
Resultados obtenidos del receptor.....	43
Costo del proyecto .....	72

## LISTA DE GRÁFICAS

Diagrama de bloques de un PLL básico.....	14
Funcionamiento del tipo 4 de DF .....	26
Diagrama de bloques del sintetizador de frecuencias .....	29

## I. INTRODUCCIÓN

En el campo de las comunicaciones existe una rama dedicada a la comunicación por medio de la radio-frecuencia. Esta hace uso de las frecuencias electromagnéticas en distintos rangos, como medio para llevar información, ya sea hablada, visual, digital, etc. de un punto a otro.

En la comunicación hablada por radio-frecuencia, existen los denominados radiotransmisores o radios, los cuales en el transcurso del tiempo han llegado a evolucionar hasta el punto en que es posible, dependiendo del equipo instalado, comunicarse con un radio portátil, tan pequeño que puede llevarse en el cinturón, con otros puntos localizados a varios cientos de kilómetros de distancia.

Para lograr esto, parte del equipo instalado debe consistir de aparatos de radio llamados repetidoras. Estos aparatos se encargan de tomar la señal débil de un radio portátil y retransmitirla hacia otro punto con mayor potencia, logrando así ampliar el área de cobertura del radio portátil, que de otra forma sólo sería de unos cuantos kilómetros.

Como ya se había dicho anteriormente, estos aparatos funcionan gracias a las ondas electromagnéticas, las cuales son moduladas con la información y enviadas al espacio para que otro equipo similar las reciba y demodule y logra que la persona que está en el otro extremo escuche lo que le están informando.

Los equipos de comunicaciones deben ser capaces de generar la misma onda electromagnética o frecuencia, para que puedan comunicarse entre sí. Lo comúnmente

usado para lograr este propósito son los denominados cristales, que oscilan a una frecuencia específica con muy poca variación, y es esta oscilación la que se toma de referencia para generar las frecuencias necesarias.

Estas frecuencias pueden tomar cualquier valor que se quiera asignar siempre y cuando esté dentro del rango de frecuencias en el que el equipo de comunicación trabaja. Es por esto que uno de los problemas más comunes en la comunicación vía radio, es que a menudo se usa una frecuencia que está muy cerca o es la misma de otra que ya se está usando. En esos casos se presentan problemas como una mala comunicación o comunicación borrosa en el caso que la frecuencia que interfiere esté cerca de la original, o puede incluso escucharse toda la comunicación de la otra parte, si la frecuencia que interfiere está muy cerca o es igual a la original. En estos casos sólo hay una solución sólo: que una de las dos personas se corran de frecuencia hasta que ya no exista la interferencia.

Pueden existir otros problemas un poco más complejos, en donde dos o más frecuencias se mezclan o intermodulan y producen una frecuencia nueva, que puede ser la que interfiera con el equipo. En estos casos es muy difícil determinar cuáles son las frecuencias que intermodulan, por lo que sólo queda correr la frecuencia.

Para reducir al mínimo este tipo de problemas se crean comisiones u organismos gubernamentales que, dependiendo de las necesidades, asigna a cada persona que quiera utilizar el servicio de comunicación vía radio, una o más frecuencias. Esto se hace así, pues el espacio es propiedad del gobierno y es éste el único que tiene derecho para esta

administración. El problema específico que afecta a Guatemala es que el control, asesoría y regulación de las frecuencias es muy deficiente, ya que algunas veces pueden tardarse meses para otorgar la concesión de un par de frecuencias. Esto implica un periodo de incomunicación muy apreciado algunas veces por la persona necesitada de comunicación, que lleva a la utilización de frecuencias "pirata" o frecuencias no autorizadas, que en muchos casos se acercan o son las mismas que las frecuencias previa y legalmente asignadas. También se da el caso que por la falta de conocimiento y control en la asignación de frecuencias, se otorgan frecuencias muy cercanas una de la otra o incluso la misma frecuencia a personas distintas.

En todos estos casos es vital el cambio de frecuencia del sistema de comunicación en un tiempo lo más corto posible y con un costo moderado. El problema del uso de los cristales es que al momento de necesitar una nueva frecuencia para la comunicación, es necesario cambiar cristal, lo cual toma mucho tiempo y dinero, especialmente en lugares donde los cristales no se fabrican localmente, como es el caso de Guatemala.

Con el advenimiento de los circuitos integrados a gran escala se ha logrado la construcción práctica de los sintetizadores de frecuencia. Estos sintetizadores son capaces de generar frecuencias dentro de un rango específico y de manera digital, sin tener que usar varios cristales, lo que facilita enormemente el cambio de frecuencias en un equipo de radio. Estos circuitos son una variación de un PLL<sup>1</sup>

---

<sup>1</sup> Circuito de fase de lazo cerrado. (Phase Locked Loop, por sus siglas en Inglés).

Este proyecto tiene como objetivo principal construir un aparato que sustituya a los Channel Elements<sup>2</sup> de las repetidoras MSR-2000, únicamente en el rango de UHF, para darle la versatilidad de una repetidora programable. Esto es necesario, pues en el mercado guatemalteco existe actualmente una gran cantidad de este tipo de repetidoras, que se verían beneficiadas grandemente en el proceso de cambio de cristales si, por ejemplo, mientras se espera a que lleguen los cristales del extranjero, estos se sustituyen con este aparato y así cambiar inmediatamente las frecuencias de operación. Este trabajo se concentra en el rango de UHF, pues es actualmente el rango que más se maneja en Guatemala.

---

<sup>2</sup> Módulos donde se incluye el cristal y ciertos circuitos más que ayudan a la generación de la frecuencia en repetidoras Motorola modelo MSR-2000. Más adelante se puede encontrar una explicación más amplia, en la sección donde se explica el funcionamiento de esta repetidora.

## **II. EL RADIO REPETIDOR MSR-2000**

La repetidora marca Motorola MSR-2000 es una estación de radio desatendida y construida totalmente con componentes del estado sólido. Esta consta de varias partes: transmisor, receptor y accesorios. Este trabajo profesional transforma un funcionamiento particular tanto del receptor como del transmisor: la sintonización de frecuencias por medio cristalizado. Lo cambiará a un funcionamiento más versátil y moderno, la sintonización por un sintetizador de frecuencias digital. Por esta razón, las únicas partes que se enfocarán de esta repetidora serán el transmisor y el receptor.

### **A. El transmisor**

El transmisor de la MSR-2000 genera una señal de RF portadora, la cual se modula en frecuencia y se lleva al conector de antena de salida. El transmisor usado en la repetidora Motorola MSR-2000, consiste de una tarjeta excitadora y de un amplificador de potencia. La Tabla II-1 provee las especificaciones de funcionamiento del transmisor de UHF. A continuación se explican las distintas partes que forman este circuito:

#### **1. Circuito de transmisión de audio**

El audio de excitación proveniente del módulo de control de la estación se aplica al amplificador de audio, y luego se enruta al circuito recortador/pre-enfatizador. Este audio de amplitud limitada se enruta a través de un filtro al Channel Element.

## 2. Channel Element

El Channel Element provee la frecuencia fundamental de RF para el transmisor. Cada Channel Element está compuesto por un cristal altamente estable que está controlado por voltaje para la modulación en frecuencia. El Channel Element opera a 1/12 de la frecuencia portadora transmitida, es decir, la frecuencia del Channel Element debe ser:

$$f_o = \frac{f}{12} \qquad \text{Ecuación II-1}$$

El Channel Element contiene una serie de combinaciones de diodos varactores, un inductor y un cristal. Un cambio en la inductancia en serie o capacitancia causa que el cristal varíe su frecuencia de resonancia en proporción a ese cambio. El voltaje de excitación, proveniente del circuito de transmisión de audio, entra al circuito de IDC<sup>3</sup> (dentro del Channel Element) y luego se aplica al diodo varactor para causar un cambio en su capacitancia. Esta variación causa que la frecuencia portadora cambie (se desvíe) en la misma proporción que el audio. La inductancia variable (control de FREQ), y el potenciómetro interno IDC (control de IDC), son accesibles a través de agujeros en el extremo de cada Channel Element (por medio de una herramienta no metálica), para ajustar el error de frecuencia y el IDC.

---

<sup>3</sup> Control de desviación instantánea por sus siglas en inglés. Circuito que amplifica y limita las señales de audio de la línea de control para prevenir una sobre-desviación.

### 3. Multiplicadores y amplificadores

Los multiplicadores y amplificadores desarrollan una señal de salida que es 12 veces la frecuencia del Channel Element, y provee una señal de bajo nivel para el amplificador de potencia.

La salida del Channel Element es dirigida a través de tres circuitos sintonizados conectados en serie. Estos circuitos están sintonizados a la tercera armónica de la frecuencia más baja de transmisión del Channel Element. La señal de estos circuitos se enruta al primer doblador. El primer doblador y el segundo doblador multiplican la salida del circuito sintonizador cuatro veces la frecuencia del Channel Element.

El amplificador final y el triplicador operan como un triplicador de frecuencia, proveyendo una frecuencia portadora de bajo nivel para el amplificador de potencia. La salida del triplicador se acopla a un filtro helicoidal de cuatro celdas que filtra cualquier armónica producida por el amplificador final y por el triplicador. El filtro de salida, de 50 ohmios, se enruta a través de un cable coaxial al amplificador de potencia.

**Tabla II-1**

#### **Especificaciones de operación del transmisor**

Rango de frecuencias	403-470 MHz
Separación de frecuencia máxima entre canales	9 MHz
Separación de frecuencia mínima entre canales	5 KHz
Potencia de salida	Continuamente variable, en una carga de 50 Ohms
Desviación máxima de frecuencia	$\pm 5$ KHz @ 1 KHz
Espurias:	-85 Db debajo de la portadora.

El **Rango de frecuencias** indica la frecuencia menor y la frecuencia mayor que pueden ser utilizados en el circuito transmisor sin que las especificaciones subsiguientes degeneren.

La **Separación de frecuencia máxima entre canales** en los modelos en donde funcionen simultáneamente dos canales de transmisión, indica la separación máxima en frecuencia que puede existir entre estos dos canales sin que las especificaciones subsiguientes degeneren. Si se cambia de frecuencia la repetidora y la separación entre la frecuencia nueva y la original es más de lo especificado, se debe proceder a reajustar la repetidora.

La **Separación de frecuencia mínima entre canales** indica un estándar de radiocomunicación, en el cual las frecuencias a otorgar por los departamentos encargados están siempre en múltiplos de 5 KHz. Este no es más que un estándar y no representa una limitación física de la repetidora ni de los Channel Elements.

La **Potencia de salida** es la potencia máxima de radiofrecuencia que la repetidora puede entregar a la antena. Esta depende del nivel de señal de entrada, proveniente del excitador, al amplificador de potencia. Esta se mide con un aparato especial llamado Vatímetro.

La **Desviación máxima de frecuencia** es la desviación máxima que es aceptable para que el transmisor cumpla con los estándares establecidos para este tipo de radiocomunicadores. Esta desviación también se mide con un aparato especial.

Las **Espurias** indican a qué nivel, con respecto a la señal portadora, puede generar el amplificador algún tipo de espuria, es decir, la generación de cualquier otra frecuencia para la que no fue diseñado y calibrado el aparato. Para esta medición se utiliza un analizador de espectro de Radio Frecuencia.

## **B. El receptor**

El receptor recibe señales de RF portadoras en una frecuencia específica y provee audio de voz en el rango de los 300 a 3000 Hz. Cada receptor incluye un preselector de RF, mezclador, circuito de inyección del oscilador local, etapas de IF de alta selectividad y ganancia, detector de cuadratura, preamplificador de audio y un regulador de voltaje de bajo rizado. El receptor desarrolla un audio con bajo ruido tomado de una portadora de frecuencia modulada "en el canal" en el rango de 403-470 MHz.

Todos los circuitos están contruidos en una sola tarjeta desmontable, la cual es accesible fácilmente para el servicio. La Tabla II-2 provee las especificaciones de operación del receptor de UHF. El receptor consiste de los siguientes elementos.

### **1. Preselector de RF**

La portadora de RF recibida se conecta al filtro preselector resonador helicoidal de 6 polos. El filtro preselector tiene un ancho de banda de 2 MHz y un rechazo de 100 dB. La salida del preselector se conecta a la puerta (gate) de un mezclador JFET canal N.

## 2. Oscilador local e inyección

Los módulos de oscilación cristalizados desmontables (Channel Elements) proveen una frecuencia estable compensada por temperatura, la cual se aplica al amplificador de inyección. Cada receptor es capaz de recibir hasta cuatro frecuencias distintas. La salida del amplificador de inyección se aplica a la base de un triplicador de frecuencia. Esta salida pasa a través de un filtro pasabanda helicoidal de dos polos, que atenúa las armónicas de la inyección de frecuencia. Un nivel típico de inyección de +10dBm (10mW) se acopla a la fuente (source) del mezclador.

## 3. Mezclador

El mezclador proporciona una inmunidad excelente de intermodulación. La entrada filtrada recibida y la señal inyectada se aplican respectivamente a la puerta (gate) y a la fuente (source) del mezclador. La salida en el vertedero (drain) se aplica a un circuito de acople de impedancia que enfatiza la diferencia de frecuencia aplicada al circuito de IF. La diferencia entre la señal proveniente del filtro preselector y de la señal triplicada del Channel Element, provee una frecuencia intermedia de 10.7 MHz. Por lo tanto, la frecuencia de oscilación del Channel Element es:

$$f_o = \frac{f - 10.7}{3}$$

Ecuación II-2

#### 4. Circuito de IF

La etapa de IF está fuertemente filtrada mediante resonadores duales, cristales monolíticos cortados a la frecuencia de 10.7 MHz que dan una alta "Q", la cual resulta en una inteligibilidad excelente para las señales en el canal y alto rechazo para señales fuera del canal. El circuito de IF no necesita ningún ajuste.

#### 5. Detector/limitador

El detector/limitador es un circuito integrado monolítico que incluye internamente tres etapas de amplificación de IF para limitación, un detector de FM de cuadratura y un preamplificador de audio.

#### 6. Tarjeta de audio

La tarjeta de audio contiene el circuito de carrier squelch y el amplificador de audio de 1 watt para la bocina de servicio. Cuando no hay ningún mensaje recibido, el circuito de carrier squelch apaga el audio de los amplificadores para eliminar el ruido molesto de la bocina. El amplificador de audio para el servicio consiste de un solo chip montado en esta tarjeta de audio. Los controles de VOLUMEN y SQUELCH están localizados en la tarjeta de audio. El VOLUMEN DEL RECEPTOR afecta únicamente la operación de la bocina local.

**Tabla II-2**  
**Especificaciones de funcionamiento de receptor**

Rango de frecuencia	403-470 MHz
Separación de frecuencia máxima entre canales	2 MHz
Espaciamiento de frecuencia mínima entre canales	5 kHz
Frecuencia IF	10.7 MHz o 10.8 MHz
Aceptación de modulación EIA	±7 KHz Mínimo
Separación mínima entre canales	25 kHz
Sensibilidad EIA SINAD	Menos de .35 $\mu$ V

El **Rango de frecuencias** indica la frecuencia menor y la frecuencia mayor que se pueden utilizar en el circuito transmisor sin que las especificaciones subsiguientes degeneren.

La **Separación de frecuencia máxima entre canales** en los modelos en donde funcionen simultáneamente dos canales de recepción, indica la separación máxima que puede existir en frecuencia entre estos dos canales sin que las especificaciones subsiguientes degeneren. Si se cambia de frecuencia a la repetidora y la separación entre la frecuencia nueva y la original es mayor de la especificada, se debe proceder a reajustar la repetidora.

El **Espaciamiento de frecuencia mínima entre canales** indica un estándar de radiocomunicación, en el cual las frecuencias a otorgar por los departamentos encargados están siempre en múltiplos de 5 KHz. Este no es más que un estándar y no representa una limitación física de la repetidora ni de los Channel Elements.

La **Frecuencia IF** de la repetidora es la frecuencia intermedia con la que trabaja el receptor luego de la primera mezcla.

La **Aceptación de modulación EIA** es el ajuste mínimo de modulación que debe aceptar el circuito receptor para la detección y demodulación de voz. Usualmente la máxima modulación de una señal transmitida, según los estándares, es de 5KHz como se vio en la sección del transmisor, por lo que este ajuste debe ser mayor.

La **Separación mínima entre canales** se refiere a la separación mínima con que la repetidora puede separar la información entre canales adyacentes. Si se compara con la especificación anterior del **Espaciamiento mínimo entre canales** observamos que el primero es una limitación física de la repetidora, mientras que el segundo indica un estándar de radiocomunicación.

La **Sensibilidad EIA SINAD** es una medida estandarizada para la medición de sensibilidad en los aparatos receptores de FM. Esta consiste en la inyección de un tono de audio de 1 KHz a 60% de la modulación total (5 KHz) modulada en la frecuencia del receptor e inyectada por la antena. Esta señal se mide en el amplificador de audio final con un aparato llamado SINAD el cual se encarga de determinar con qué fidelidad se está recuperando el audio inyectado en función de una escala logarítmica. El dato que se encuentra en esta tabla indica el nivel de señal máximo necesario para que el SINAD muestre una lectura de 18 dB Sinad. Cuanto mayor es esta lectura mayor es la fidelidad del audio recuperado. Este método no sólo mide la sensibilidad del receptor sino también indica la distorsión de la señal demodulada.

### III. EL PLL

#### El PLL (Phase Locked Loop)

El PLL fue introducido en 1932 por De Bellescize. En esos días fue considerado un circuito exótico que empezó a ganar interés en la mitad de los años sesenta cuando se volvió adquirible como un circuito integrado.

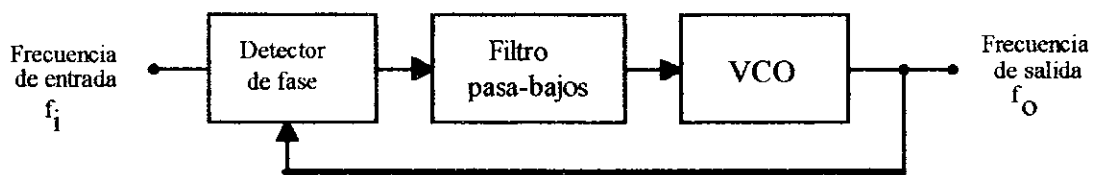
El PLL se puede encontrar hoy en cualquier casa, en televisores, receptores, radios estéreo, o equipo de radiocomunicación.

Como se muestra en el blocs del diagrama de la Figura III-1 , el PLL es básicamente un sistema electrónico de malla cerrada retroalimentada consistente de:

- Un detector de fase, o comparador
- Un filtro pasa bajos
- Un oscilador controlado por voltaje o VCO<sup>4</sup>

Figura III-1

Diagrama de bloques de un PLL básico



---

<sup>4</sup> Voltage Controlled Oscillator

Del estudio de retroalimentación en sistemas de control, estos tres componentes están en el camino directo de la malla, mientras que la conexión entre el VCO y el detector de fase está en el camino de la retroalimentación.

El VCO es un oscilador de corrida libre, cuya frecuencia está normalmente determinada por un resistor-capacitor externo o una red inductora-capacitora. La frecuencia del VCO ( $f_o$ ), se retroalimenta al detector de fase en donde se compara con la frecuencia de la señal de entrada ( $f_i$ ). La salida del detector de fase es el error en voltaje. Este es un voltaje DC promedio proporcional a la diferencia entre frecuencias ( $f_i - f_o$ ) y fase ( $\Delta\phi$ ) de la frecuencia de entrada y del VCO.

Este error de voltaje se filtra, removiendo cualquier ruido en las frecuencias altas, para luego alimentarlo al VCO para completar el loop. Así, el error de voltaje fuerza a la frecuencia del VCO a cambiar en una dirección que reduce la diferencia de frecuencia entre la entrada y el VCO. Una vez que el VCO empieza a cambiar frecuencia, el loop está en un estado capturado. Este proceso continúa hasta que el VCO y la frecuencia de entrada sean exactamente la misma. En este punto, el loop está sincronizado o enclavado por fase. Durante el enclavamiento de fase, la frecuencia del VCO es idéntica a la entrada del loop, excepto por una diferencia de fase finita. Esta diferencia es la que se requiere para generar el error de voltaje necesario para correr de frecuencia al VCO, y así mantener enclavado al loop. Esta acción repetitiva del sistema cerrado sigue cualquier cambio en la frecuencia de entrada mientras está enclavado. Se puede decir que el loop enclavado en fase tiene tres distintos estados:

- Corrida libre
- Captura
- Enclavamiento de fase

El **rango de enclavamiento** es el rango angosto en el que el sistema cerrado sigue los cambios producidos en la frecuencia de entrada. El **rango de captura** es el rango de frecuencia en el que el loop adquiere el enclavamiento y nunca es más grande que el rango de enclavamiento.

Las características dinámicas del PLL están controladas principalmente por el filtro pasa bajos. Si la diferencia entre la entrada y la frecuencia del VCO es significativamente grande, la señal resultante puede ser muy alta para pasar por el filtro. Consecuentemente, la señal está fuera del rango de captura del loop. Una vez que el loop está enclavado, el filtro solamente limita la velocidad en la habilidad del loop para seguir los cambios ocurridos en la frecuencia de entrada. Además, el filtro del loop provee una especie de memoria de poco tiempo, asegurando una rápida recaptura de la señal si el sistema sale del enlace por un transiente ruidoso.

#### **A. Diversos tipos de PLL y filtros**

Muchos sistemas con PLL usan tipos similares de VCO y filtros de primer orden. Sin embargo, estos pueden diferir considerablemente en el tipo de detector de fase utilizado. Las propiedades del detector de fase tienen una gran influencia en el funcionamiento dinámico del sistema PLL.

La Tabla III-1 da una muestra de los DF más utilizados. En ésta se encuentran DF digitales y lineales. Los lineales están contruidos de circuitos que se han aplicado anteriormente al campo de la computación análoga. Los tipos digitales están basados en circuitos lógicos tal como el O-Exclusivo.

El DF utilizado en este trabajo profesional será el de tipo cuatro, por lo que se limitará solamente a mencionar superficialmente los primeros tres y se hará un examen detallado del cuarto.

El detector de fase del tipo 1 es simplemente un multiplicador análogo, también llamado multiplicador de cuatro cuadrantes. La salida de este DF puede determinarse como:

$$\bar{U}_d = K_d \sin \theta_e \quad \text{Ecuación III-1}$$

en donde

$$K_d = \frac{k \hat{U}_{10} \hat{U}_{20}}{10}$$

es la ganancia del detector de fase y

$$\theta_e = \theta_1 - \theta_2$$

el error de fase

La Ecuación III-1 está planteada en la columna 4 de la Tabla III-1. Para pequeños errores de fase el  $\sin \theta_e$  es aproximadamente igual a  $\theta_e$  y  $u_d$  es aproximadamente igual a  $K_d \theta_e$ .

El DF del tipo 1 es dependiente de la amplitud de las señales de entrada, lo que es una clara desventaja, ya que el funcionamiento dinámico del PLL se vuelve dependiente de la amplitud de la señal de referencia.

La columna 4 de la Tabla III-1 muestra la salida promedio del DF con función tanto del error de fase  $\theta_e$  y como función de  $\omega_1 - \omega_2$ . Esta segunda función es trivial en el caso del DF tipo 1. Para este detector, la señal de salida está definida analíticamente para corrimientos de frecuencia iguales a cero. ( $\omega_1 = \omega_2$ ). Nótese que esto es distinto para los

**Tabla III-1**  
**Diversos tipos de detectores de fase**

FD Type	Inputs	Block Diagram	Waveform $\theta_e$	Waveform $\omega_1 - \omega_2$	Output	Remarks
1						
1						
2						
3						
4						

DF tipo 3 y 4.

Como se verá más adelante estos dos últimos tipos se enganchan más fácilmente cuando la diferencia entre las frecuencias iniciales de entrada y salida es larga.

Los tipos 2, 3 y 4 de DF son circuitos digitales y requieren ondas cuadradas tanto para las señales de referencia como para las de salida. El más simple de los tres es el O-Exclusivo usado por el tipo de DF dos. La señal promedio  $u_d$  se da aquí por el duty-cycle de la señal Q en la salida de la puerta O-Exclusiva. Si las señales  $u_1$  y  $u_2$  están exactamente en fase, la salida siempre será cero y la señal promedio  $u_d$  es casi el cero por ciento de la fuente de voltaje. Si  $u_1$  y  $u_2$  están fuera de fase por  $\pi/2$  (90), la señal Q es un cuadrado simétrico que tiene una frecuencia de operación del doble de la del PLL. La señal promedio  $u_d$  es el 50 por ciento de la fuente de voltaje. Si  $u_1$  y  $u_2$  están exactamente opuestos en fase, Q será siempre un 1 lógico, y  $u_d$  será casi el 100 por ciento de la fuente de voltaje. En la columna 4 de la Tabla III-1 se muestra  $u_d$  en función del error de fase. Esta se obtiene sólo si tanto la señal de referencia como la de salida son ondas cuadradas simétricas. Si una o las dos señales se vuelven asimétricas, la función se recorta, tal como está representado por las curvas punteadas de la columna 4. Esto resulta en una ganancia menor del detector de fase y reduce el rango de enganchamiento del PLL.

El tipo 3 es simplemente un flip-flop JK maestro esclavo, activado por el frente. En este circuito la salida Q se pone ALTA por el frente que cae de la señal  $u_1$  y pasa a

BAJO por el frente que cae de la señal  $u_2$ . La salida promedio  $u_d$  se obtiene normalmente por un circuito adicional promediante, como un filtro RC pasa bajos. En muchos casos este circuito adicional se usa simultáneamente para implementar el filtro. Estas dos funciones usualmente se implementan en un circuito llamado charge pump<sup>5</sup>, como se muestra en la columna 7 de la Tabla III-1. Este es esencialmente un integrador cuya señal de salida sube durante el tiempo en que Q es ALTO y baja cuando Q es BAJO. Si se plotea la señal promedio  $u_d$  como función del error de fase, se tiene un diente de sierra. Esta función no es dependiente del duty cycle de las ondas cuadradas  $u_1(t)$  y  $u_2(t)$ . En el estado no enganchado, el funcionamiento dinámico del tipo 3 difiere considerablemente del tipo 1 y 2. Si la diferencia de frecuencia  $\omega_1 - \omega_2$  es larga, el valor promedio de la salida del detector de fase  $u_d$  no es cero. Es positiva para  $\omega_1 > \omega_2$  y negativa para  $\omega_1 < \omega_2$ . Este comportamiento hace que la frecuencia del VCO se empuje hacia la frecuencia de la señal de referencia. El tipo 3 de DF se llama entonces sensitivo a la fase y a la frecuencia. Desafortunadamente, este funcionamiento sensitivo a la frecuencia es aparente sólo para diferencias en frecuencia muy grandes.

Un análisis del tipo 4 de DF muestra que este circuito sobrepasa el funcionamiento sensitivo a la frecuencia del tipo 3. El tipo 4 de DF es sensitivo a la frecuencia en todo el rango de la diferencia de frecuencia  $\omega_1 - \omega_2$ , por lo que usualmente es referido como un detector de fase/frecuencia. Precisamente es por esto que se usará este detector de fase

---

<sup>5</sup> Circuito utilizado en los sintetizadores de frecuencia por medio de PLL, el cual se encarga de integrar la salida de un DF tipo 3 o 4, para proveer un filtro pasa bajos activo y mejorar la salida del voltaje de control que llegará al VCO.

para nuestro diseño dado que en éste se requiere de cambio de frecuencia grandes y pequeñas cada vez que se le re programe la frecuencia al sintetizador. Como se muestra en el circuito del diagrama en la columna 3 de la Tabla III-1 , las compuertas NAND  $G_1$  y  $G_2$  forman una puerta llamada UP, mientras que las compuertas NAND  $G_3$  y  $G_4$  forman una puerta llamada DOWN. Las señales de salida de estas dos puertas se usan generalmente para controlar al charge pump, como se muestra en la columna 7 de la Tabla III-1 . La señal UP corresponde a un peso de +1, la señal DOWN corresponde a un peso de -1, como en el caso del DF tipo 3. Las señales UP y DOWN se definen como señales activas por bajo. La Tabla III-1 , columna 2 muestra las ondas de las señales UP y DOWN para diferentes valores del error de fase. En el caso trivial de un error de fase igual a cero (no mostrado en la tabla) tanto las señales UP y DOWN están permanentemente ALTAS. Si la salida del VCO  $u_2(t)$  sigue a la señal de referencia  $u_1(t)$  (mostrado en el caso 1 de la Tabla III-1 ), la salida UP genera pulsos con un duty-cycle proporcional al error de fase  $\theta_e$ . La señal DOWN está entonces permanentemente ALTA o inactiva. En el caso opuesto (caso 2 en la Tabla III-1 )  $u_2(t)$  aventaja  $u_1(t)$ , entonces la salida DOWN está pulsando, y la señal UP se mantiene inactiva. Si el sistema PLL todavía no ha sido enganchado y  $\omega_1$  es mayor que  $\omega_2$ , la puerta UP se pone más veces en su estado activo que la puerta DOWN. Consecuentemente el valor promedio de  $u_d$  es positivo. Lo contrario es cierto si  $\omega_1$  es más pequeña que  $\omega_2$ .

El funcionamiento dinámico del PLL está influenciado no sólo por el tipo de DF escogido, sino también -aunque no tan marcadamente- por el tipo de filtro usado en una aplicación particular. En muchos casos el filtro será un filtro pasa bajos de primer orden. Por lo tanto, por el momento, se puede limitar esta discusión a ese tipo de filtro. La función de transferencia generalizada para un filtro de primer orden está dada por:

$$F(j\omega) = \frac{U_f(j\omega)}{U_d(j\omega)} = \frac{a + b(j\omega)}{c + d(j\omega)} \quad \text{Ecuación III-2}$$

De acuerdo al lugar de los polos y los ceros, esta función puede representar un filtro pasa altos o un filtro pasa bajos. Debido a que el filtro pasa altos es inservible para el propósito de este trabajo, se trabajará solamente en los filtros pasa bajos. Como se muestra en la Tabla III-2, hay cuatro realizaciones prácticas diferentes para un filtro de primer orden pasa bajos. Estos están designados como tipos 1 a 4. Estos cuatro tipos están caracterizados como sigue:

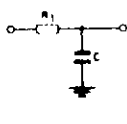
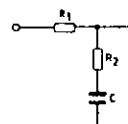
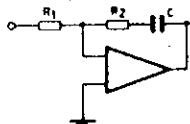
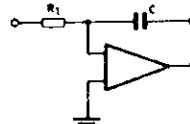
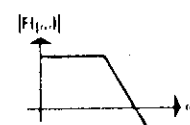
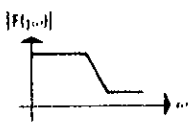
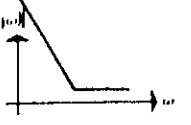
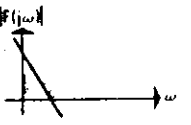
Tipo 1: Filtro RC pasivo sin cero ( $b=0$ )

Tipo 2: Filtro RC pasivo con un polo y un cero ( $a, b, c, d \neq 0$ )

Tipo 3: Filtro RC activo con un polo en  $\omega=0$  ( $c=0$ ). Este filtro sirve como integrador a bajas frecuencias

Tipo 4: Filtro RC activo sin cero ( $b = c = 0$ ). Este corresponde al integrador "ideal"

**Tabla III-2**  
**Posibles filtros pasa bajos de primer orden**

Type	PASSIVE		ACTIVE	
	1	2	3	4
Circuit				
Transfer function				
$F(j\omega) =$	$\frac{1}{1 + j\omega\tau_1}$	$\frac{1 + j\omega\tau_2}{1 + j\omega(\tau_1 + \tau_2)}$	$\frac{1 + j\omega\tau_2}{j\omega\tau_1}$	$\frac{1}{j\omega\tau_1}$
Comment	$b = 0$	$a, b, c, d \neq 0$	$c = 0$	$b = c = 0$

$\tau_1 = R_1 C \quad \tau_2 = R_2 C$

### **B. Teoría del PLL digital**

Como ya se ha visto, Los PLL digitales son diferentes al PLL lineal en el tipo de detector de fase usado. En este trabajo se estudiará únicamente el PLL digital usando un DF del tipo No 4, ya que éste es el usado en el diseño. El tipo de DF usado tiene una gran influencia en la respuesta dinámica del PLL.

El tipo 4 de DF, como se estableció anteriormente, es mejor que los otros tipos de DF digitales pues es independiente del duty-cycle de las entradas  $u_1(t)$  y  $u_2(t)$ , y además presenta una marcada sensibilidad para diferencias de frecuencias  $\omega_1 - \omega_2$  muy pequeñas. En la Tabla III-1, línea 4 se muestra un circuito típico para este DF.

Como se muestra en el diagrama esquemático, este dispositivo está construido básicamente de dos flip-flops RS y dos compuertas adicionales que han sido designadas como UP y DOWN respectivamente. Debemos recordar que ambas compuertas tienen salidas activas bajas. Además las compuertas son activadas o desactivadas por los frentes hacia abajo de  $u_1(t)$  y  $u_2(t)$  respectivamente. La operación del DF del tipo 4 es como sigue:

- Si el frente que sube de  $u_1(t)$  ocurre cuando  $u_2(t)$  está bajo, el siguiente frente que cae de  $u_1(t)$  activará la compuerta UP a BAJO (estado 1), y el siguiente frente que cae de  $u_2(t)$  desactivará esta compuerta en ALTO (estado 0).
- Si el frente que sube de  $u_1(t)$  ocurre cuando  $u_2(t)$  está alto, entonces el siguiente frente que cae de  $u_1(t)$  activará la compuerta DOWN a BAJO (estado 1), y el siguiente frente que caiga de  $u_2(t)$  desactivará esta compuerta en ALTO (estado 0).

La Figura III-2 explica más detalladamente el funcionamiento sensitivo a la fase y a la frecuencia del DF 4. Se consideran cuatro casos distintos; para los primeros dos se asume que  $\omega_1 = \omega_2$ . (a) Si  $u_2(t)$  tiene la misma frecuencia que  $u_1(t)$  pero está atrás de

$u_1(t)$  la salida de la compuerta UP se pulsa en proporción al error de fase  $\theta_e$ . La compuerta DOWN está en su estado inactivo. Esto causa que la frecuencia del VCO se incremente momentáneamente, para que el error de fase se reduzca a cero. En la operación normal hay siempre un poco de vibración de fase entre  $u_1(t)$  y  $u_2(t)$ , y la frecuencia del VCO se corrige hacia arriba y hacia abajo continuamente

(b) La Figura III-2 .b muestra el caso donde  $u_2(t)$  adelanta a  $u_1(t)$ . Ahora la entrada de la compuerta DOWN se pulsa en proporción al error de fase  $\theta_e$ , y la compuerta UP se mantiene aquí en su estado inactivo. Esto causa que la frecuencia del VCO se reduzca temporalmente hasta que el error de fase llegue a casi cero.

Los siguientes dos casos ilustran el funcionamiento sensitivo a la frecuencia. (c) La Figura III-2 .c muestra la situación donde  $\omega_1 \approx 1.1\omega_2$ . Se ve claramente que ahora la compuerta UP es pulsada, mientras que la compuerta DOWN está todo el tiempo inactiva.

(d) Sin embargo sólo la compuerta DOWN se pulsa si  $\omega_1$  es menor que  $\omega_2$  como se muestra para  $\omega_1 \approx 0.9\omega_2$  en la Figura III-2 .d. Si las salidas UP y DOWN del DF se usan para manejar un circuito integrador de carga (usualmente llamado charge pump), ver también la Tabla III-1 , col 7), la frecuencia del VCO será siempre empujada en la dirección correcta. La señal de salida promedio  $u_d(t)$  del tipo de DF 4 se define como el duty-cycle ponderado de las salidas UP y DOWN; un peso de +1 se asigna a la salida de la compuerta UP y un peso de -1 a la compuerta DOWN.

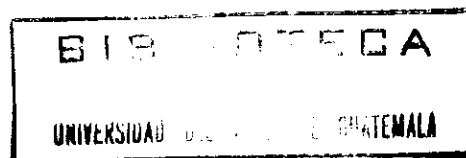
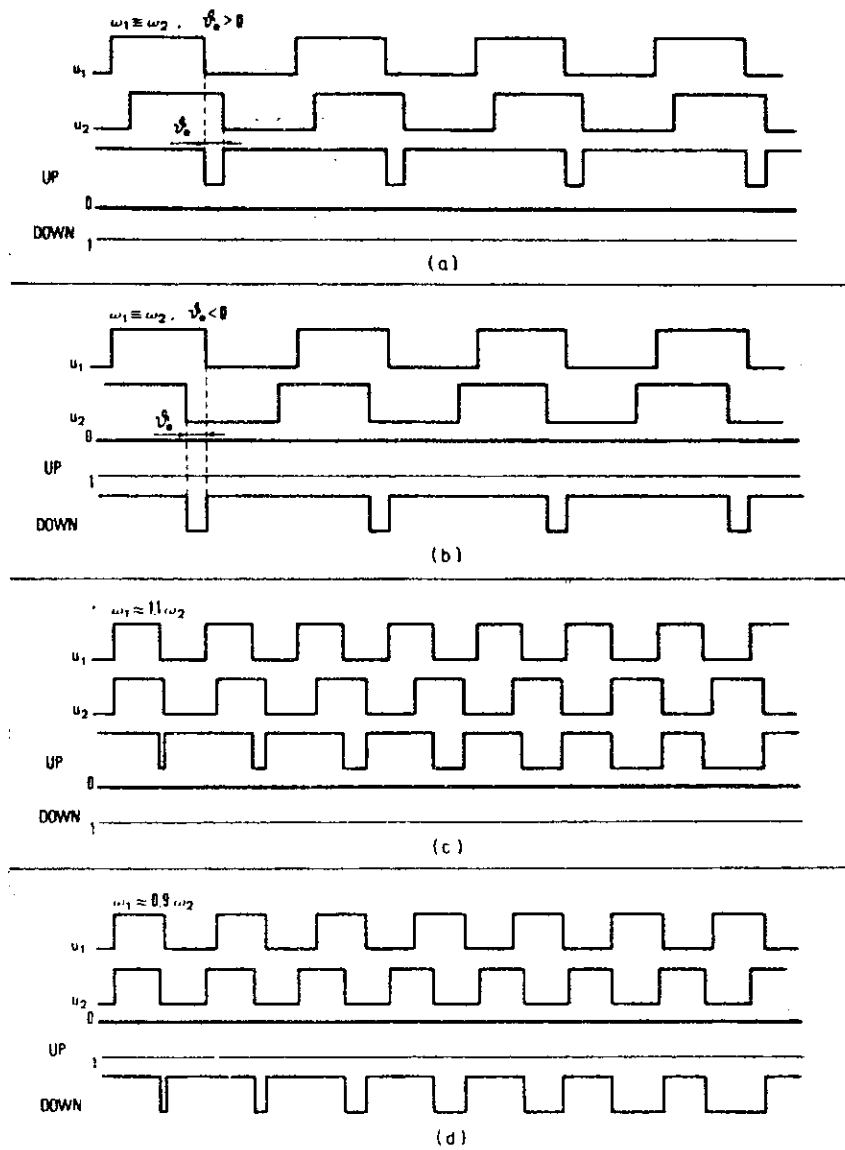


Figura III-2  
Funcionamiento del tipo 4 de DF



### **C. El sintetizador de frecuencias**

Básicamente, el sintetizador de frecuencia es un generador cuya salida es un múltiplo entero de la frecuencia de referencia. Como se muestra en la Figura III-3 .a, el sintetizador de frecuencia básico está formado por un PLL al cual se le rompe la conexión entre el VCO y el detector de fase con un contador divisor por N. Comparado con el PLL básico de la Figura III-1 , el detector de fase del sintetizador produce un voltaje promedio que es proporcional a la diferencia de fase entre la frecuencia de referencia,  $f_{ref}$  y la frecuencia de salida del contador divisor por N,  $f_O/N$ . El contador, generalmente controlado por interruptores, genera un pulso por cada N pulsos de entrada. El voltaje de salida del detector de fase, después de filtrado, controla la frecuencia de salida del VCO ( $f_O$ ) la cual es igual a N veces la frecuencia de referencia ( $f_{ref}$ ) durante el enclavamiento de fase. Además, la frecuencia de salida del contador divisor será igual a la frecuencia de referencia ( $f_{ref}$ ), excepto por una diferencia de fase finita. Como antes, el detector de fase, el filtro del loop, y el VCO hacen el camino directo del loop, mientras que el contador del divisor por N constituye ahora el camino de retroalimentación.

Los sintetizadores de frecuencia se encuentran en receptores FM, radiotransmisores, etc. En estas aplicaciones hay necesidad de generar un gran número de frecuencias con un espaciamento angosto de 10, 5 o hasta 1 KHz. Si se necesita un espaciamento de 5 KHz, se escoge normalmente una frecuencia de 5 KHz. Para poder obtener una frecuencia de salida lo más estable posible, se utilizan osciladores de cuarzo para la generación de la frecuencia de referencia. Un cristal oscilador de cuarzo en la

región de los kilohertz es un componente un poco grande. Por lo tanto es más conveniente generar una frecuencia más alta, típicamente en la región de los 5 a 10 MHz, y luego bajarla a la frecuencia de referencia deseada. En muchos de los IC sintetizadores de frecuencia que se encuentran, se agrega un divisor de referencia al chip, como se muestra en la Figura III-3 .b. El circuito de oscilación también se incluye en varios de estos IC's. De esta forma sólo es necesario agregar un cristal en la región de los 5 a 10 MHz, y ya el chip se encarga de hacer que el cristal oscile y que proporcione la división necesaria para que en la entrada del detector de fase se tenga la frecuencia de referencia  $f_{ref}$  deseada.

La tecnología CMOS es la preferida en la actualidad debido a su consumo bajo de potencia, su inmunidad alta al ruido, y su rango alto de voltajes de alimentación. La baja velocidad relativa de los CMOS, cuando se usan en los divisores, limita a los sintetizadores la generación de frecuencias de 27MHz o más. Para generar frecuencias más altas, se necesitan preescaladores; estos están contruidos con otras tecnologías como la ECL o Schottky TTL (Figura III-3 .c). Estos preescaladores extienden fácilmente el rango que puede ser sintetizado directamente arriba del rango de 1 GHz.

Si el factor de escala del preescalador es  $V$  (Figura III-3 .c), la frecuencia de salida del sintetizador se vuelve:

$$f_{salida} = NVf_1$$

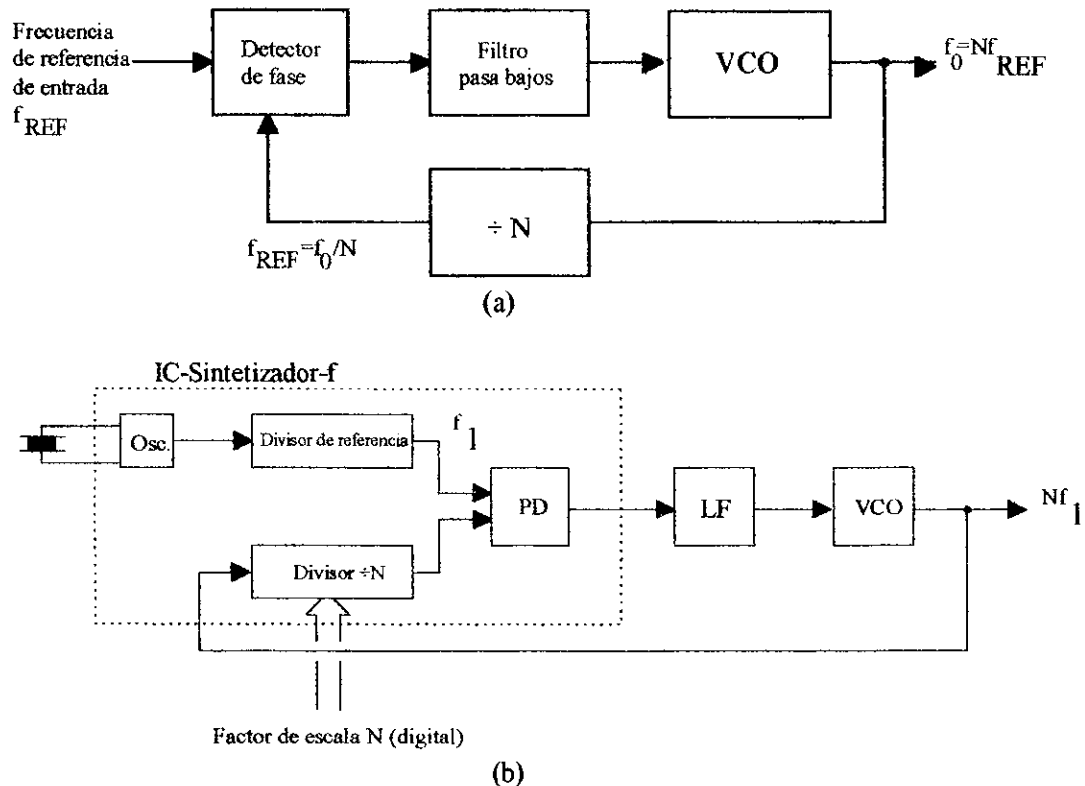
Obviamente el factor de escala del preescalador es mucho más grande que 1 en muchos casos. Esto implica que no es posible generar frecuencias cada múltiplo de la

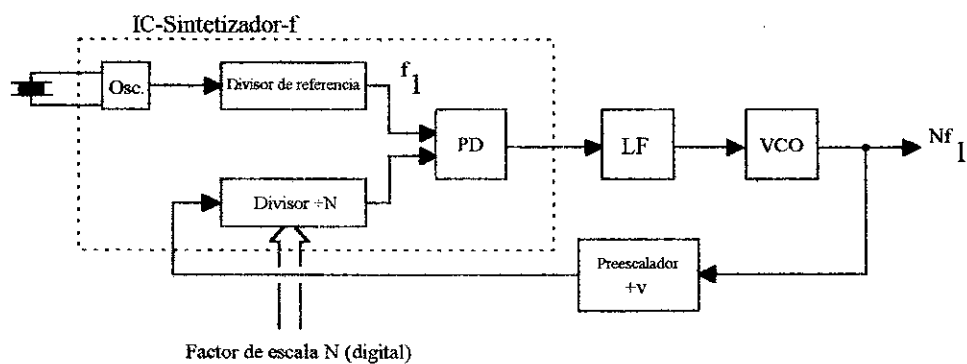
frecuencia de referencia  $f_1$ . Si  $V$  es 10, por ejemplo, sólo se pueden generar las frecuencias  $10f_1, 20f_1, 30f_1, \dots$ . Esta desventaja se puede resolver usando un preescalador de módulo doble, como se muestra en la Figura III-3 .d.

Un preescalador de módulo doble es un contador cuya razón de división puede cambiar de un valor a otro por una señal de control externa. Por ejemplo, el preescalador de la Figura III-3 .d puede dividir por un factor de 11 cuando la señal de control aplicada es ALTA, o por un factor de 10 cuando la señal de control es BAJA.

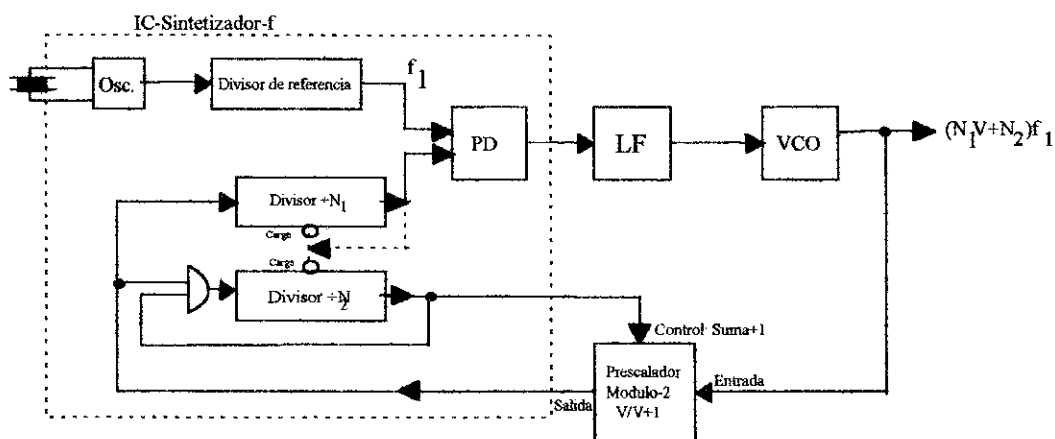
**Figura III-3**

**Diagrama de bloques del sintetizador de frecuencias**





(c)



(d)

Se puede demostrar que el preescalador de módulo doble hace posible la generación de un número de frecuencias de salida que pueden ser espaciadas por  $f_1$  únicamente, y no por un múltiplo de  $f_1$ . Las siguientes convenciones se usan con respecto a la Figura III-3 .d.

- Tanto los contadores  $N_1$  y  $N_2$  son contadores descendentes.
- La señal de salida de ambos contadores es ALTA, si el contenido del correspondiente contador todavía no ha llegado al valor de cero.

- Cuando el contador  $N_1$  ha contado hasta cero, su salida se vuelve BAJA e inmediatamente carga a ambos contadores con sus valores preestablecidos  $N_1$  y  $N_2$ , respectivamente.
- $N_1$  es siempre mayor que  $N_2$
- Como se muestra por la compuerta AND de la Figura III-3 .d, la cuenta más abajo de cero se inhibe en el caso del contador  $N_2$ . Si este contador llega hasta cero, se inhibe cualquier otro pulso posterior que llegue a su entrada.

La operación del sistema mostrado en la Figura III-3 .d se vuelve clara si se asume que el contador  $N_1$  ya ha contado hasta cero y ambos contadores acaban de ser cargados con sus valores preestablecidos  $N_1$  y  $N_2$ , respectivamente. Ahora se tiene que encontrar el número de ciclos que el VCO debe producir hasta que se vuelva a alcanzar el mismo estado lógico. Este número es el factor de escala total del diagrama mostrado en la Figura III-3 .d.

Mientras que el contador  $N_2$  no haya contado hasta cero, el preescalador está dividiendo por  $V+1$ . Consecuentemente, tanto el contador  $N_1$  como el  $N_2$  van a contar un paso cuando el VCO haya generado  $V+1$  pulsos. El contador  $N_2$  va a contar entonces hasta 0 cuando el VCO haya generado  $N_2(V+1)$  pulsos. En este momento el contador  $N_1$  ha contado  $N_2$  pulsos, o sea, su contenido es  $N_1-N_2$ .

El factor de escala del preescalador de módulo doble cambia ahora al valor de  $V$ . El VCO tendrá que generar  $(N_1 - N_2)V$  pulsos adicionales hasta que el contador  $N_1$

cuente hasta 0. Cuando el contenido de  $N_1$  sea 0, tanto el contador  $N_1$  como el  $N_2$  se vuelven a cargar con sus valores preestablecidos, y el ciclo se repite.

¿Cuántos pulsos  $N_{tot}$  necesita producir el VCO para poder correr por un ciclo total?  $N_{tot}$  está dado por

$$N_{tot} = N_2(V + 1) + (N_1 - N_2)V$$

Factorizando se obtiene la simple expresión:

$$N_{tot} = N_1V + N_2 \quad \text{Ecuación III-3}$$

Como se mencionó anteriormente,  $N_1$  debe ser siempre mayor que  $N_2$ . Si éste no fuera el caso, el contador  $N_1$  llegaría hasta 0 antes que el contador  $N_2$ , y ambos contadores serían recargados a sus valores preestablecidos. El preescalador de doble módulo jamás cambiaría de  $V+1$  a  $V$ , por lo que el sistema no trabajaría como se requiere.

Si  $V=10$  la Ecuación III-3 se vuelve

$$N_{tot} = 10N_1 + N_2$$

En esta expresión, por ser  $U=10$ ,  $N_2$  representa las unidades y  $N_1$  las décimas de la razón total de la división  $N_{tot}$ . Por lo tanto  $N_2$  debe estar en el rango de 0-9, y  $N_1$  puede asumir cualquier valor mayor que 9, o sea,  $N_1 \min = 10$ . La división mas pequeña es entonces:

$$N_{tot \min} = N_{1 \min}V = 10 \cdot 10 = 100$$

El sintetizador de la Figura III-3 .d es capaz de generar cualquier múltiplo entero de la frecuencia de referencia  $f_1$  empezando por  $N_{tot} = 100$ . Así, por ejemplo, si se quieren saber los valores de  $N_1$  y  $N_2$  para un  $N_{tot}=225$  se tiene lo siguiente:

$$N_1 = \text{Int}\left(\frac{N_{tot}}{V}\right) = \text{Int}\left(\frac{225}{10}\right) = \text{Int}(22.5) = 22 \quad \text{Ecuación III-4}$$

$$N_2 = N_{tot} - N_1 V = 225 - (22)(10) = 5 \quad \text{Ecuación III-5}$$

#### IV. EL PROYECTO

En la siguiente sección se presentarán los requerimientos del proyecto y el procedimiento que se siguió para elaborar el diseño del sintetizador. Se presentará un diagrama de bloques de lo que forma básicamente el circuito y se procederá a la explicación de cada bloque. Esta explicación está complementada con las hojas de datos técnicos de los circuitos integrados utilizados.

##### A. Requerimientos básicos

La repetidora MSR-2000, se puede adquirir en varios rangos de frecuencias, las hay en VHF cuyas frecuencias de operación van de los 133 MHz a los 174 MHz, en UHF, donde el rango va de 403 MHz a 470 MHz, en 800 MHz y otros rangos más. Este proyecto se concentrará exclusivamente en el funcionamiento de las repetidoras MSR-2000 en la banda de UHF, por ser ésta la banda que se está explotando actualmente en Guatemala. Los datos obtenidos en esta sección son los que se utilizarán para la construcción de cada sección del sintetizador.

##### 1. Frecuencias básicas de oscilación

Son las frecuencias que deben generar los osciladores de cada sintetizador (el del transmisor y el del receptor) para que luego los multiplicadores existentes ya en la MSR, generen las frecuencias de UHF que se necesitan.

a. Del transmisor

Como ya se explicó en la sección donde se describe el funcionamiento de la MSR-2000 en la parte del transmisor, se tiene que la **Ecuación II-2** da la frecuencia de oscilación del Channel Element para una frecuencia de operación específica. Por medio de esta ecuación se puede determinar el rango que debe generar el sintetizador para poder sustituir el funcionamiento de los Channel Elements en la banda de UHF especificada:

$$\text{para } f=403 \text{ MHz} \quad f_o = \frac{403}{12} = 33.5833 \text{ MHz}$$

$$\text{para } f=470 \text{ MHz} \quad f_o = \frac{470}{12} = 39.1667 \text{ MHz}$$

Por lo tanto el rango que debe cubrir el sintetizador del transmisor es de: 33.5833 MHz a 39.1667 MHz

b. Del receptor

Para el caso del receptor en la banda de UHF se obtiene de la misma manera, por medio de la **Ecuación II-2** los siguientes resultados:

$$\text{para } f=403 \text{ MHz} \quad f_o = \frac{403 + 10.7}{3} = 130.7667 \text{ MHz}$$

$$\text{para } f=470 \text{ MHz} \quad f_o = \frac{470 - 10.7}{3} = 153.1000 \text{ MHz}$$

Por lo que el rango del sintetizador receptor debe ser: 130.7667 MHz a 153.1000 MHz.

## 2. Intervalos de frecuencias

Como se habló ya en la sección concerniente al sintetizador con un preescalador de módulo dos, se tiene la capacidad de sintetizar frecuencias en intervalos discretos. Estos intervalos dependen de la frecuencia de referencia ( $f_1$  en la **Figura III-3 .d**). Estas son las frecuencias de referencia que se necesitan para que el sintetizador genere las frecuencias en los intervalos especificados en la **Tabla II-1** .

### a. Para el transmisor:

Si el intervalo de frecuencia debe ser de 5 KHz, el oscilador debería tener intervalos de frecuencia de:

$$f_{ref} = \frac{f_1}{12} - \frac{f_2}{12} = \frac{f_1 - f_2}{12}$$

Pero como  $f_1 - f_2 = 5\text{KHz}$  entonces

$$f_{ref} = \frac{5\text{KHz}}{12} = 0.4167 \text{ KHz}$$

Pues estos intervalos también se rigen por la **Ecuación II-1**

### b. Para el receptor

De la misma manera, para el receptor y por medio de la **Ecuación II-2** se debe tener lo siguiente:

$$f_{ref} = \frac{f_1 - 10.7}{3} - \frac{f_2 - 10.7}{3} = \frac{f_1 - f_2}{3} = \frac{5\text{KHz}}{3} = 1.6667 \text{ KHz}$$

### 3. El divisor N

Para poder obtener una señal proveniente del divisor N que al entrar al detector de fase sea igual a la frecuencia de oscilación de referencia (ver **Figura III-3 .d**), se necesita un divisor que divida en los siguientes rangos:

#### a. Para el transmisor

De las secciones anteriores se sabe que las frecuencias límite del transmisor son: 33.5833 MHz y 39.1667 MHz y la frecuencia de referencia es de 0.4167 KHz , por lo tanto los rangos de división deben de ser:

$$\text{Mínimo: } \frac{33583.0}{0.4167} = 80579 \text{ para la frecuencia mínima}$$

$$\text{Máximo: } \frac{39167.7}{0.4167} = 93979 \text{ para la frecuencia máxima}$$

#### b. Para el receptor

De la misma manera se tiene con frecuencias extremas de 130.7667 MHz y 153.1000 MHz para la recepción y 1.6667 KHz de intervalo:

$$\text{Mínimo: } \frac{1307667.7}{1.6667} = 78458 \text{ para la frecuencia mínima}$$

$$\text{Máximo: } \frac{153100.0}{1.6667} = 91858 \text{ para la frecuencia máxima}$$

#### 4. En resumen

A continuación se presenta una tabla con las características que debe tener tanto el sintetizador de transmisión como el de recepción:

**Tabla IV-1**  
**Especificaciones de los sintetizadores**

		<b>RX</b>	<b>TX</b>
<b>Rango de</b>	Mínimo	130.7667 MHz	33.5833 MHz
<b>Oscilación</b>	Máximo	153.1000 MHz	39.1667 MHz
<b>Espaciamientos discretos de</b>		1.6667 KHz	0.4167 KHz
<b>Rango de los</b>	Mínimo	78,458	78,458
<b>divisores</b>	Máximo	93,979	91,858

#### **B. El sintetizador**

En la Sección B.1 de los apéndices, se presenta un diagrama de bloques de los sintetizadores de recepción y de transmisión. Estos sintetizadores cumplen con los requisitos de la Tabla IV-1 y constan de las siguientes partes:

##### 1. El oscilador de referencia

La Sección B.2 de los apéndices muestra el diagrama del circuito del oscilador de referencia. Este consta de un cristal principal de referencia de 10.245 MHz y luego de un MC-4024. Este se utiliza como multivibrador controlado por cristal, con la habilidad de poder ajustar, en un margen pequeño, la frecuencia de variación de salida, para poder

contrarrestar capacitancias parásitas o problemas de construcción del cristal de oscilación que resulten en una frecuencia de salida ligeramente fuera de la central.

La salida de este integrado se lleva a un ECG 1197 que se encarga de dividir la frecuencia de salida del cristal de oscilación a una frecuencia de 5KHz, por lo que la divide 2,048 veces. Una vez que la frecuencia de oscilación del cristal maestro está en 5KHz, se procede a realizar una división por 4, para tener la señal de referencia de 1.6667 KHz, y luego por 3, para tener la señal de referencia de 0.4167 KHz que se utilizara para la recepción y la transmisión respectivamente y obtener los escalones finales de 5KHz deseados.

## 2. El detector de fase

El detector de fase utilizado en este proyecto es un Motorola MC-4044 que consiste de dos detectores digitales de fase, uno tipo 3 y otro tipo 4, un charge pump y un amplificador. En este proyecto sólo se utilizará el detector de fase tipo 4, pues tanto el charge pump como el amplificador ya están incluidos en el VCO y el detector tipo 3, como se explicó anteriormente, no cumple las necesidades del proyecto. El circuito tiene sus entradas en las patas R y V y genera una señal de error en las patas UP y DOWN conforme a la teoría que se encuentra en la sección de teoría del PLL digital.

### 3. El VCO

Para el VCO se escogieron las tarjetas Motorola con número de parte HLB-4100A y HLD-4322A, las cuales servirán para el transmisor y el receptor, respectivamente. Los diagramas de estos VCO también se pueden encontrar en los apéndices en la sección B.4

**Tabla IV-2**

**La tarjeta HLB-4100A tiene el siguiente rango de operación:**

Voltaje aplicado	Frecuencia de salida
0 V	30 MHz
7 V	43 MHz

**Tabla IV-3**

**La tarjeta HLD-4322A tiene el siguiente rango de operación:**

Voltaje aplicado	Frecuencia de salida
0 V	127 MHz
7 V	171.0 MHz

Como se ve, al comparar con los límites de la Tabla IV-1, estos rangos contienen los rangos con los que se necesita trabajar en ambos casos.

Además, en estas tarjetas se tiene una entrada para la modulación, la cual como se muestra en los apéndices, varía la frecuencia de oscilación del VCO en una fracción proporcional a un voltaje aplicado, permitiéndonos así poder modular directamente la voz para la transmisión. Obviamente, esta entrada no se usa en la tarjeta receptora. Así

también, ambas tarjetas ya llevan consigo su charge pump y su filtro pasa bajos siendo solamente necesario conectar las entradas UP y DOWN del detector de fase para controlar la frecuencia. Además se tiene un circuito preescalador Motorola MC-12018 de módulo 2, que divide entre 128/127.

#### 4. El divisor N

Se tuvo que construir el divisor en su totalidad, ya que no fue posible encontrar en el mercado uno que pudiera satisfacer las necesidades de este proyecto. El circuito se muestra en el apéndice en la sección B.3, y su funcionamiento básico se explicó en la introducción. Para los valores máximos de conteo de 78458 y de 93979 que se necesitan, los divisores  $N_1$  y  $N_2$  (ver **Figura III-3 .d**) deben ser:

Para el mínimo según la **Ecuación III-4** y la **Ecuación III-5** con  $V=127$

$$N_1 = \text{int}\left(\frac{N_{tot}}{127}\right) = \text{Int}\left(\frac{78458}{127}\right) = 617$$

$$N_2 = N_{tot} - N_1 \cdot 127 = 78458 - 617 \cdot 127 = 99$$

Para el máximo de la misma forma:

$$N_1 = \text{Int}\left(\frac{93979}{127}\right) = 739$$

$$N_2 = 93979 - 739 \cdot 127 = 126$$

Por lo tanto el contador  $N_1$  debe ser capaz de contar hasta un número máximo de 739 y el contador  $N_2$  hasta un número de 127, pues al llegar a 0 se disminuye uno a  $N_1$  y  $N_2$  empieza a contar nuevamente desde 127 (recordemos que los contadores son

descendentes). Como ambos contadores cuentan en forma binaria, el número de bits que usa el contador  $N_1$  es de 10, pues 9 bits dan un conteo máximo de  $2^9=512$  y uno de 10 de  $2^{10}=1024$ . Por su parte, el contador  $N_2$  tiene un número de bits de 7 pues  $2^7=128$ . Es de aquí de donde se obtiene el número de contadores de 4 bits que deben utilizarse, los cuales, al instalarse en una configuración de cascada, logran el número de bits deseados. Así para  $N_1$  se necesitan 3 y para  $N_2$  se necesitan 2.

Por último se tiene el interfase con la repetidora, la cual consiste de los 9.8 V que alimentan al VCO, tierra y la señal de oscilación. Además, para el transmisor se tiene la señal de modulación con la que se modula la frecuencia de oscilación básica para la transmisión de información en FM.

## V. RESULTADOS

En la siguiente sección se mostrarán los resultados obtenidos.

**Tabla V-1**

### **Resultados obtenidos del transmisor**

<b>Medición</b>	<b>Teórica</b>	<b>Experimental 1</b>	<b>Experimental 2</b>
<b>Frecuencia</b>	461.770 MHz	461.770 MHz	460.770 MHz
<b>Desviación de Frecuencia</b>	0.24 KHz	0.08 KHz	0.08 KHz
<b>Potencia</b>	20 W	22 W	22 W
<b>Modulación</b>	5 KHz	5 KHz	5 KHz
<b>Espurias</b>	-60 dBm	-60 dBm	-60 dBm

**Tabla V-2**

### **Resultados obtenidos del receptor**

<b>Medición</b>	<b>Teórica</b>	<b>Experimental 1</b>	<b>Experimental 2</b>
<b>Frecuencia</b>	455.030 MHz	455.030 MHz	454.030 MHz
<b>Sensibilidad a 18 Sinad</b>	0.37 $\mu$ V	0.33 $\mu$ V	0.33 $\mu$ V
<b>Selectividad</b>	-80 dBm	-85 dBm	-85 dBm
<b>Modulación</b>	6.26 KHz	7.9 KHz	7.9 KHz

ocurre en el transmisor donde la potencia aumenta por dos vatios. Esto se debe a que la señal que el sintetizador inyecta es un poco más alta que la señal que genera el Channel Element, lo que hace que la señal que sale del excitador, que es la que mueve al amplificador de potencia final, sea mayor y cause este aumento de potencia. No está por demás decir que este aumento de potencia, al momento de convertirse en potencia radiada no es de ninguna manera significativa.

También se puede apreciar como baja el error de frecuencia, sin embargo, este dato no es significativo pues tanto para el Channel Element como para el sintetizador, se puede ajustar el error para llevarlo al mínimo aceptable. Este debe estar, según los estándares de radiocomunicación, entre  $\pm 0.25$  KHz.

En el caso del receptor, mejoran tanto la selectividad como la modulación, debido a que la señal inyectada al mezclador es mayor, por lo que da una mejor selectividad y mejora la modulación máxima que el receptor puede aceptar.

## VI. CONCLUSIONES FINALES

I. Las características y especificaciones tanto del transmisor como del receptor no cambian, por lo que el sintetizador es un buen sustituto para los Channel Elements con los que trabaja normalmente la repetidora.

II. El uso de este sintetizador programable agiliza los cambios de frecuencia pues con sólo cambiar una configuración de DIP switches, se logra cambiar la frecuencia de operación de la repetidora. Este cambio no debe ser mayor que el indicado en las tablas de especificaciones tanto del transmisor como del receptor, de lo contrario se debe proceder a un ajuste de la repetidora.

III. El tipo de Channel Elements explicados en este trabajo, no se encuentran sólo en la repetidora MSR-2000, sino también en el radio Micor Motorola, por lo que este circuito también se puede utilizar para el cambio de frecuencia en estos radios.

IV. En el último apéndice podemos ver el costo de la construcción del circuito. Allí se menciona dos maneras de utilizar el sintonizador de forma que se pueda sacar provecho a su costo.

V. El hecho de poder cambiar las frecuencias de la repetidora mediante el uso de cambios digitales en el circuito de división (unos y ceros en los DIP switches) nos permite poder conectar un microprocesador al divisor. Si se desea hacer un cambio de canales y éste está dentro de los parámetros de separación máxima en los que las

diferentes secciones pueden trabajar sin necesidad de ajuste, se puede llegar a cambiar la frecuencia de una manera más fácil para el usuario, utilizando un teclado y una pantalla y dejando que el microprocesador realice todos los cálculos, que de otra forma se deben hacer manualmente. Se puede también guardar la información de varios sets de frecuencias en bloques llamados canales, para que al instruirle al microprocesador un cambio de canal, éste ponga inmediatamente la frecuencia de transmisión y la de recepción en los contadores. De esta manera se puede llegar incluso al uso de un scanner, en donde la repetidora esté buscando actividad en alguno de varios canales preprogramados.

VI. Como mejoras para el equipo y su funcionamiento podemos mencionar la construcción del circuito en circuitos impresos, con lo que eliminamos los cables en la construcción de los divisores  $N$ , problemas por sobre-esfuerzo de los componentes que pueden llevar a su ruptura en lo que respecta a los componentes de superficie en el preescalador y disminución de ruido.

VII. Una recomendación muy importante en la construcción de circuitos análogos de alta frecuencia es la utilización de capacitores de  $.01\mu\text{F}$  y de  $10\text{pF}$  en la entrada de alimentación de voltaje de cada circuito integrado para la eliminación de ruido de RF; así como la utilización de alambres o caminos de tierra entre componentes de muy baja resistencia.

## VII. BIBLIOGRAFÍA

- Berlin. H  
Systems.  
1981      Phase-locked loops. 2a.ed. Michigan, U.S.A., Heathkit educational  
268 pp.
- Best. R  
1984      Phase-locked loops. theory, design and applications. New York, U.S.A.,  
McGraw-Hill book company. 341 pp.
- DEGEM  
1985      Circuitos de fase de lazo cerrado. U.S.A. 125 pp.
- Millman J.  
1988      Microelectronics. 2a Ed. New York, U.S.A., McGraw Hill. 1001 pp
- Motorola  
Inc.  
1992      Motorola semiconductor master selection guide. Illinois, U.S.A. Motorola
- Motorola  
1993      GM-300. Illinois, U.S.A. Motorola Inc.
- Motorola  
1990      MSR-2000. Illinois, U.S.A. Motorola Inc.
- Motorola  
1988      Radius M-200. Illinois, U.S.A. Motorola Inc.
- Ogata. K  
S.A.  
1980      Ingeniería de control moderna México. Prentice-Hall Hispanoamericana,  
902 pp
- Philips  
1990      ECG National semiconductors. Pennsylvania, U.S.A.. Philips ECG, Inc.
- Philips  
ECG, Inc  
1986      ECG linear modules and integrated circuits. Pennsylvania, U.S.A. Philips  
754 pp.

## VIII. APÉNDICES

A continuación se presentaran las hojas de especificaciones técnicas de los integrados utilizados así como los diagramas del sintetizador programable con sus respectivas explicaciones de funcionamiento.

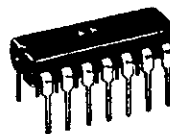
**A. Integrados utilizados**

**1. El detector de fase MC-4044**

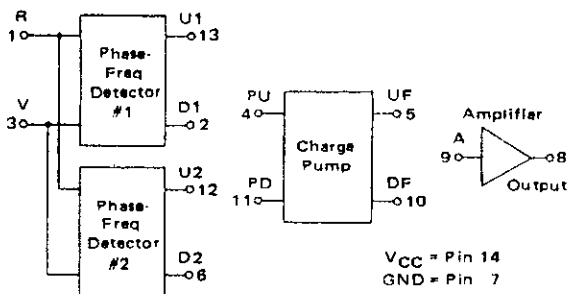
The MC4344/4044 consists of two digital phase detectors, a charge pump, and an amplifier. In combination with a voltage controlled multivibrator (such as the MC4324/4024 or MC1648), it is useful in a broad range of phase-locked loop applications. The circuit accepts MTTL waveforms at the R and V inputs and generates an error voltage that is proportional to the frequency and/or phase difference of the input signals. Phase detector #1 is intended for use in systems requiring zero frequency and phase difference at lock. Phase detector #2 is used if quadrature lock is desired. Phase detector #2 can also be used to indicate that the main loop, utilizing phase detector #1, is out of lock.



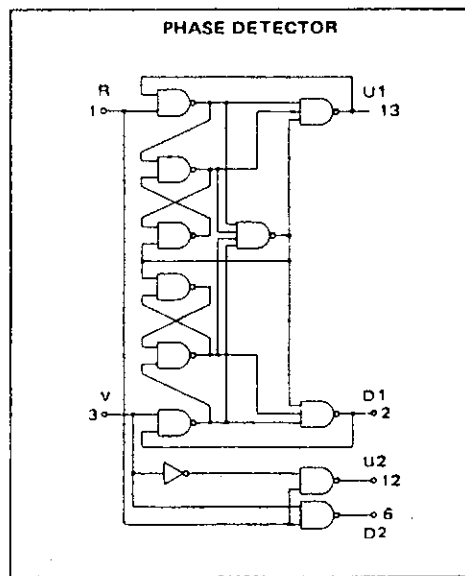
L SUFFIX CERAMIC PACKAGE CASE 832 (TO-118)



F SUFFIX PLASTIC PACKAGE CASE 848 MC4044 only

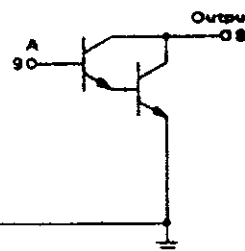
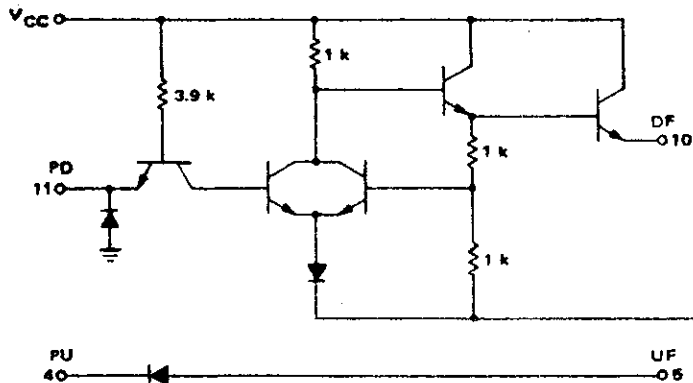


Input Loading Factor: R, V = 3  
 Output Loading Factor (Pin 8) = 10  
 Total Power Dissipation = 85 mW typ/pkg  
 Propagation Delay Time = 9.0 ns typ (thru phase detector)

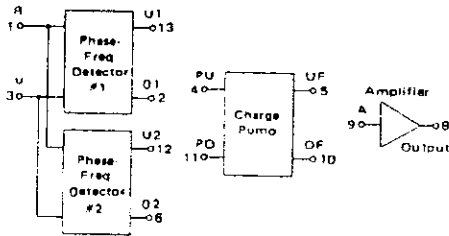


**CHARGE PUMP**

**AMPLIFIER**



ELECTRICAL CHARACTERISTICS



INPUT STATE	INPUT		OUTPUT			
	R1	V1	U1	D1	U2	D2
1	0	0	X	X	1	1
2	1	0	X	X	0	1
3	1	1	X	X	1	0
4	1	0	X	X	0	1
5	0	0	X	X	1	1
6	1	0	X	X	0	1
7	0	0	X	X	1	1
8	1	0	X	X	0	1
9	0	0	0	1	1	1
10	0	1	0	1	1	1
11	0	0	1	1	1	1
12	0	1	1	1	1	1
13	0	0	1	0	1	1
14	0	1	1	0	1	1
15	0	0	1	0	1	1
16	1	0	1	0	0	1
17	0	0	1	1	1	1

**TRUTH TABLE**

This is not strictly a functional truth table; i.e., it does not show all possible modes of operation. It is useful for dc testing.

1. X indicates output state unknown.
2. U1 and D1 outputs are sequential; i.e., they must be sequenced in order shown.
3. U2 and D2 outputs are combinational; i.e., they need only inputs shown to obtain outputs.

P Test Temperature	TEST CURRENT/VOLTAGE VALUES										
	mA					Volts					
	I <sub>OL</sub>	I <sub>OH</sub>	I <sub>QZ</sub>	I <sub>CC</sub>	I <sub>A</sub>	V <sub>IL</sub>	V <sub>OL</sub>	V <sub>IHH</sub>	V <sub>OH</sub>	V <sub>CE</sub>	V <sub>CE(sat)</sub>
MC4344	20	-1.6	-1.8	1.8	1.6	0.002	0.4	2.4	1.1	2.8	1.5
	20	-1.6	-1.0	1.8	1.6	0.002	0.4	2.4	3.5	1.8	1.5
	20	-1.6	-1.0	1.8	1.6	0.002	0.4	2.4	0.9	1.6	1.5
MC4044	20	-1.6	-1.8	1.8	1.6	0.002	0.4	2.5	1.1	3.8	1.5
	20	-1.6	-1.0	1.8	1.6	0.002	0.4	2.5	3.5	1.8	1.5
	20	-1.6	-1.0	1.8	1.6	0.002	0.4	2.5	0.9	1.6	1.5

Characteristic	Symbol	Pin	MC4344 Test Limits						MC4044 Test Limits						TEST CURRENT/VOLTAGE APPLIED TO PINS LISTED BELOW:												Power	Dns										
			-55°C		+25°C		+125°C		0°C		+25°C		+55°C		I <sub>OL</sub>		I <sub>OH</sub>		I <sub>QZ</sub>		I <sub>CC</sub>		I <sub>A</sub>		V <sub>IL</sub>				V <sub>OL</sub>		V <sub>IHH</sub>		V <sub>OH</sub>		V <sub>CE</sub>		V <sub>CE(sat)</sub>	
			Test	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min			Max	Min	Max	Min	Max	Min	Max			
Input Forward Current	I <sub>IF</sub>	1	-4.8	4.8	-4.8	4.8	-4.8	4.8	-4.8	4.8	-4.8	4.8	-4.8	4.8																								
Input Leakage Current	I <sub>IL</sub>	1	128	128	128	128	128	128	128	128	128	128	128																									
Input Capacitance	C <sub>IN</sub>	1	1.8																																			
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	8.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	8.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OH</sub>	6	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage	I <sub>OL</sub>	12	2.4	2.4	2.4	2.4	2.5	2.5	2.5	2.5	2.5	2.5	2.5																									
Output Drive to Match Voltage																																						

## MAXIMUM RATINGS

Rating		Value	Unit
Supply Operating Voltage Range	MC4344 MC4044	4.5 to 5.5 4.75 to 5.25	Vdc
Supply Voltage		+7.0	Vdc
Input Voltage		+5.5	Vdc
Output Voltage		+5.5	Vdc
Operating Temperature Range	MC4344 MC4044	-55 to +125 0 to +75	°C
Storage Temperature Range – Ceramic Package Plastic Package		-65 to +150 -55 to +125	°C
Maximum Junction Temperature	MC4344 MC4044	+175 +150	°C
Thermal Resistance - Junction To Case ( $\theta_{JC}$ )			°C/mW
Flat Ceramic Package		0.06	
Quad In-Line Ceramic Package		0.05	
Plastic Package		0.07	
Thermal Resistance - Junction To Ambient ( $\theta_{JA}$ )			°C/mW
Flat Ceramic Package		0.21	
Dual In-Line Ceramic Package		0.15	
Plastic Package		0.15	

## CONTENTS

	Page		Page
Operating Characteristics	3	Spurious Outputs	10
Phase-Locked Loop Components	6	Additional Loop Filtering	11
General	6	Applications Information	14
Loop Filter	7	Frequency Synthesizers	14
Design Problems and Their Solutions	9	Clock Recovery from Phase-Encoded Data	16
Dynamic Range	9	Package Dimensions	20

## 2. El multivibrador controlado por voltaje MC-4024

The MC4324/4024 consists of two independent voltage-controlled multivibrators with output buffers. Variation of the output frequency over a 3.5 to 1 range is guaranteed with an input dc control voltage of 1.0 to 5.0 voltage.

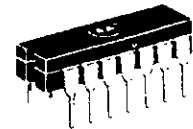
Operating frequency is specified at 25 MHz at 25°C. Operation to 15 MHz is possible over the specified temperature range. For higher frequency requirements, see the MC1648 (200 MHz) or the MC1658 (125 MHz) data sheet.

This device was designed specifically for use in phase-locked loops for digital frequency control. It can also be used in other applications requiring a voltage-controlled frequency, or as a stable fixed frequency oscillator (3.0 MHz to 15 MHz) by replacing the external control capacitor with a crystal.

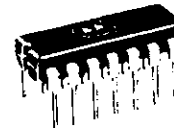
- Maximum Operating Frequency = 25 MHz Guaranteed @ 25°C
- Power Dissipation = 150 mW typ/pkg
- Output Loading Factor = 7



F SUFFIX  
CERAMIC PACKAGE  
CASE 607



L SUFFIX  
CERAMIC PACKAGE  
CASE 632  
(TO 116)



P SUFFIX  
PLASTIC PACKAGE  
CASE 646  
(MC4024 only)

### TYPICAL APPLICATIONS

FIGURE 1 - ASTABLE MULTIVIBRATOR

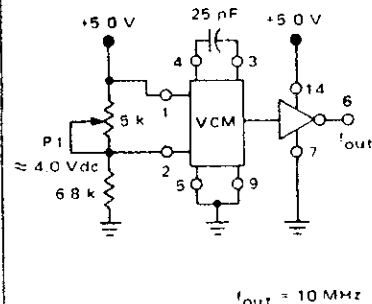


FIGURE 2 - CRYSTAL CONTROLLED MULTIVIBRATOR

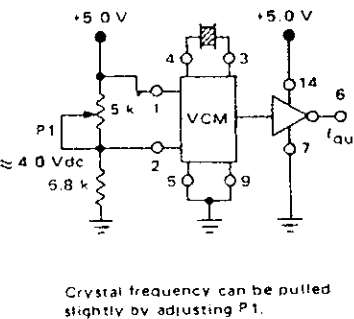


FIGURE 3 - VOLTAGE-CONTROLLED MULTIVIBRATOR

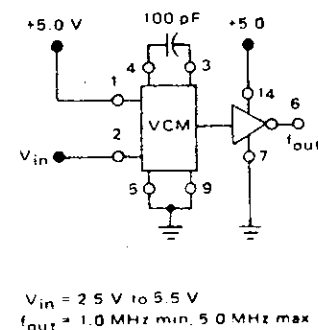
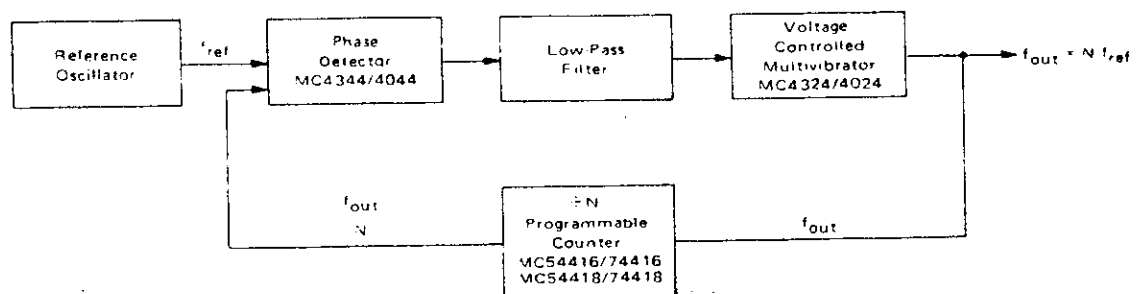
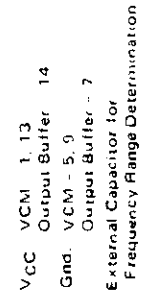


FIGURE 4 - PHASE-LOCKED, FREQUENCY SYNTHESIZER LOOP

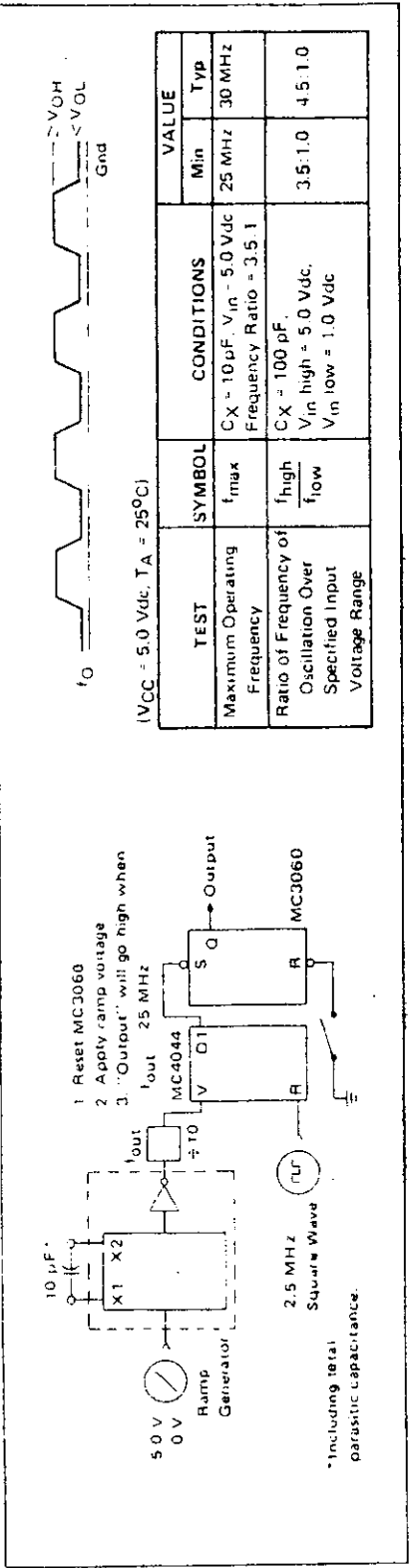


ELECTRICAL CHARACTERISTICS



Characteristic	Symbol	Pin Under Test	MC4324 Test Limits						MC4024 Test Limits						TEST CURRENT/VOLTAGE VALUES						
			-55°C		+25°C		+125°C		0°C		+25°C		+75°C		mA		Volts				
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	V <sub>IL</sub>	V <sub>IH</sub>	V <sub>CC</sub>	V <sub>CLL</sub>	V <sub>CCH</sub>
Input Forward Current	I <sub>in</sub>	2, 12	100	100	100	100	100	100	100	100	100	100	100	100	100	100	0.8	1.2	5.0	3.5	5.5
Output Output Voltage	V <sub>OH</sub>	4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	1.2	1.6	5.0	3.5	5.5
		6, 8	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	1.2	1.6	5.0	3.5	5.5
Short Circuit Current	I <sub>OS</sub>	6	70	70	70	70	70	70	70	70	70	70	70	70	70	70	1.2	1.6	5.0	3.5	5.5
		8	70	70	70	70	70	70	70	70	70	70	70	70	70	70	1.2	1.6	5.0	3.5	5.5
Power Requirements (Total Device) Power Supply Drain	I <sub>CC</sub>	1, 11															2.4	10	12	1.3	1.4

FIGURE 5 - AC TEST CIRCUIT AND WAVEFORMS



## MAXIMUM RATINGS

Rating		Value	Unit	
Supply Operating Voltage Range	MC4324	4.5 to 5.5	Vdc	
	MC4024	4.75 to 5.25		
Supply Voltage		+7.0	Vdc	
Input Voltage		+5.5	Vdc	
Output Voltage		+5.5	Vdc	
Operating Temperature Range	MC4324	-55 to +125	°C	
	MC4024	0 to +75		
Storage Temperature Range - Ceramic Package		-65 to +150	°C	
	Plastic Package	-55 to +125		
Maximum Junction Temperature	MC4324	+175	°C	
	MC4024	+150		
Thermal Resistance - Junction To Case ( $\theta_{JC}$ )	Flat Ceramic Package	0.06	°C/mW	
	Dual In-Line Ceramic Package	0.05		
	Plastic Package		0.07	
Thermal Resistance - Junction To Ambient ( $\theta_{JA}$ )	Flat Ceramic Package	0.21	°C/mW	
	Dual In-Line Ceramic Package	0.15		
	Plastic Package		0.15	

FIGURE 6 - CIRCUIT SCHEMATIC

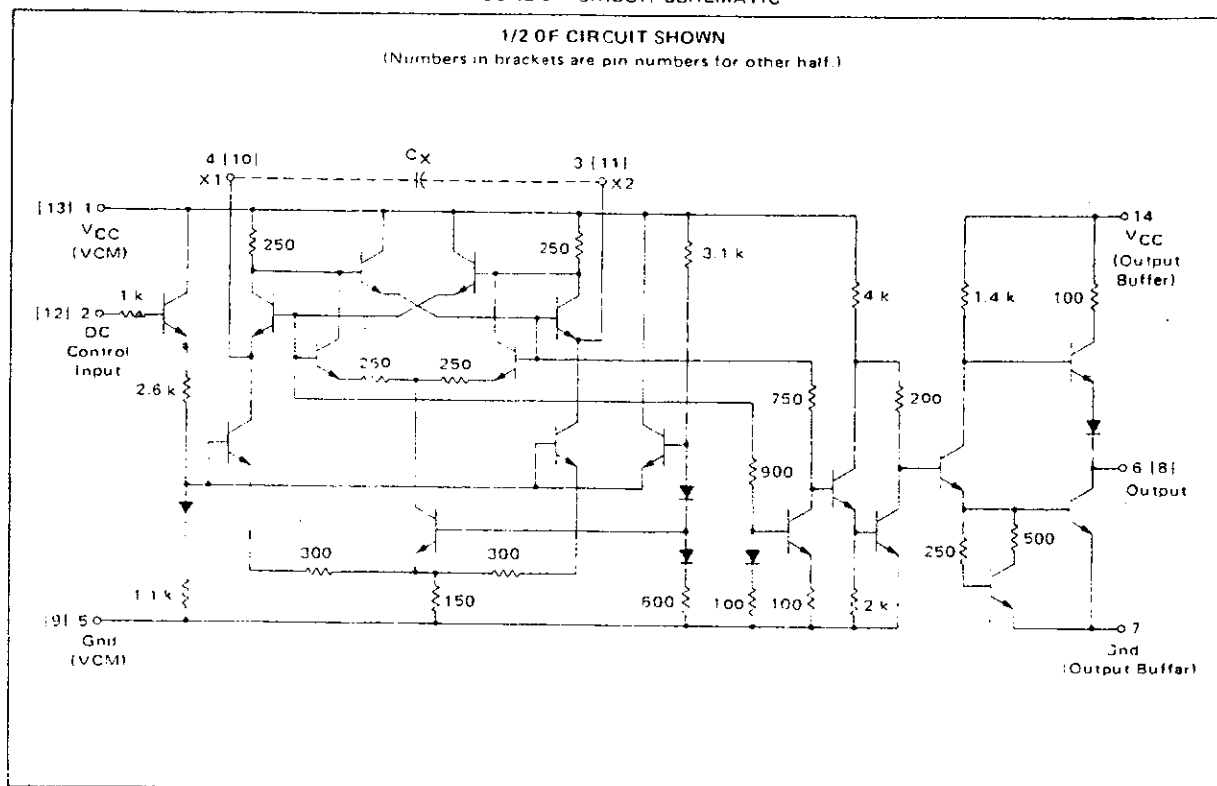


FIGURE 7 – FREQUENCY-CAPACITANCE PRODUCT

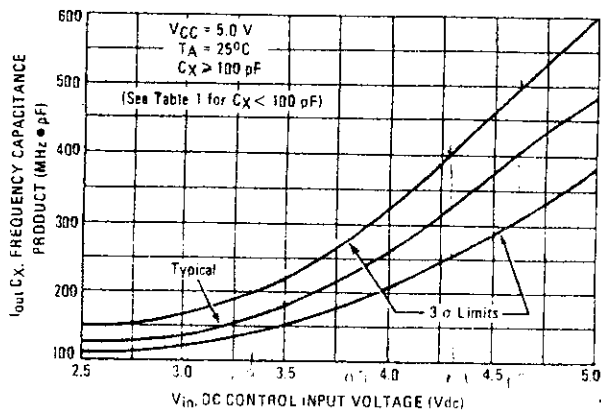


FIGURE 8 – FREQUENCY-VOLTAGE GAIN CHARACTERISTICS

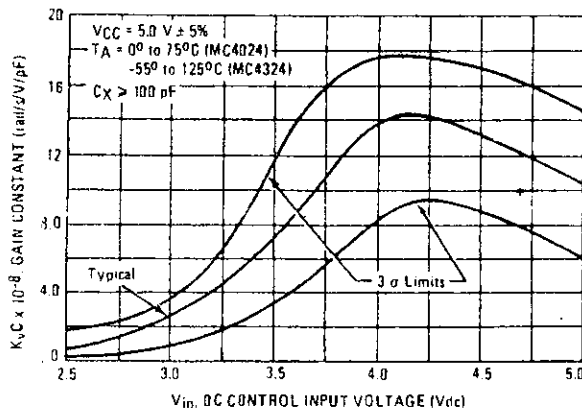


FIGURE 9 – TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

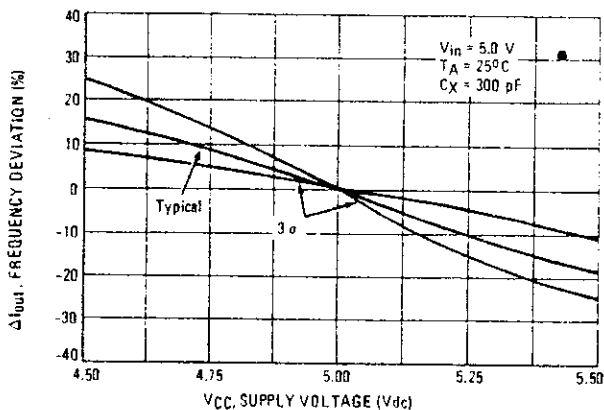


FIGURE 10 – TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

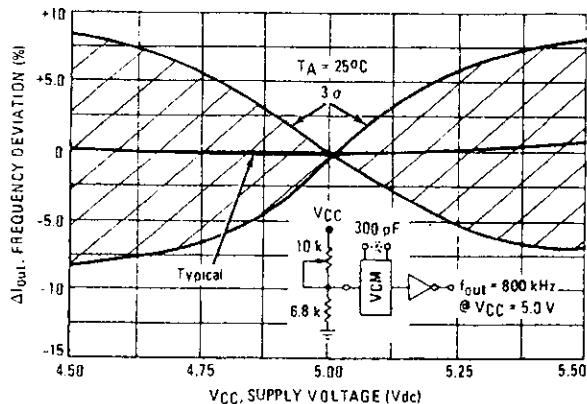


FIGURE 11 – FREQUENCY DEVIATION versus AMBIENT TEMPERATURE

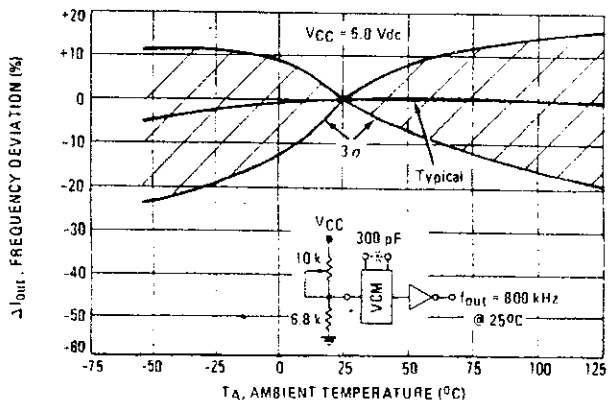
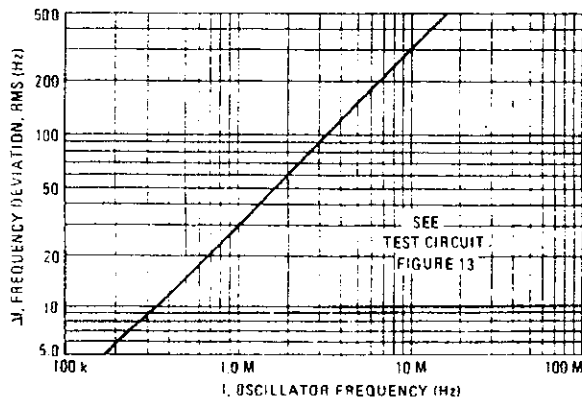


FIGURE 12 – RMS NOISE DEVIATION versus OSCILLATOR FREQUENCY

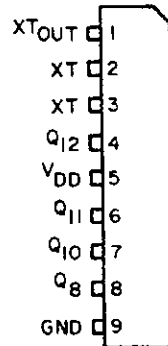
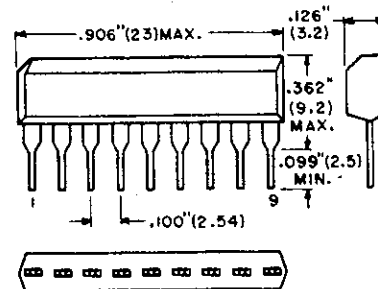


NOTE: Curves labeled as 3  $\sigma$  limits denote that 99.7% of the devices tested fell within these limits.

## 3. El divisor de frecuencia ECG-1197

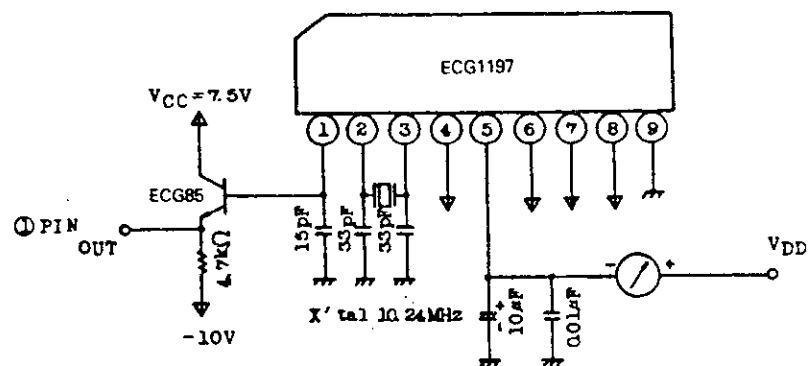
<h1>ECG<sup>®</sup></h1> <h2>Semiconductors</h2>	<h2>ECG1197</h2> <h3>CMOS Frequency Divider and Amp</h3>
--	--

ECG1197 is a CMOS integrated circuit that consists of a 12 stage frequency divider and an amplifier for use in a crystal oscillator. It is designed to operate with an input frequency of 10.24 MHz. The available reference dividing ratios are  $2^2$ ,  $2^6$ ,  $2^{11}$  and  $2^{12}$ .

Absolute Maximum Ratings ( $T_A = 25^\circ\text{C}$ )

Characteristic	Symbol	Rating	Unit
Supply Voltage	$V_{DD}$	10	V
Input Voltage	$V_{IN}$	-0.3 to $V_{DD} + 0.3$	V
Operating Temperature	$T_{opg}$	-30 to +75	$^\circ\text{C}$
Storage Temperature	$T_{stg}$	-55 to +125	$^\circ\text{C}$

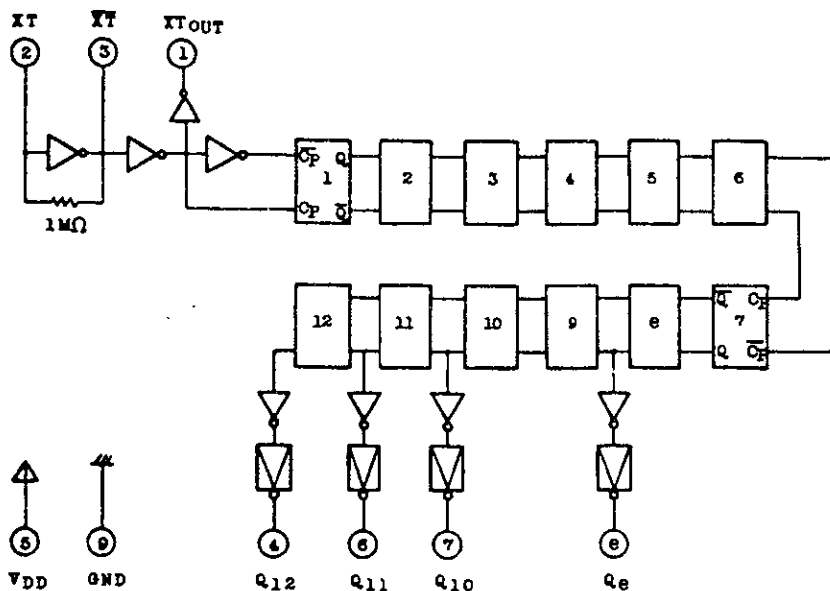
## Test Circuit



**Electrical Characteristics** ( $T_A = -30^{\circ}\text{C}$  to  $75^{\circ}\text{C}$ ,  $V_{DD} = 7.5\text{ V}$  unless otherwise specified)

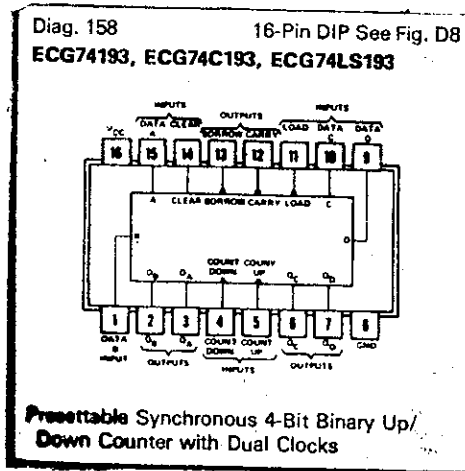
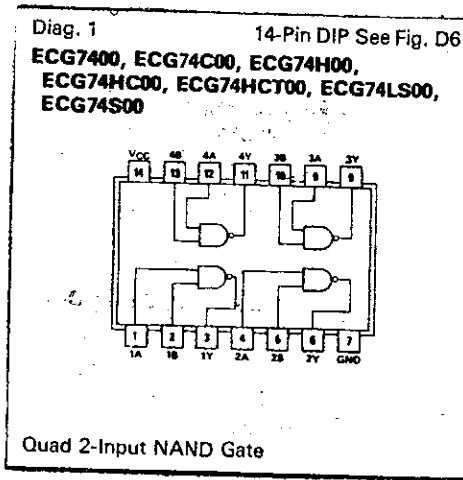
Characteristic	Symbol	Test Conditions	Min	Typ	Max	Unit
Operating Supply Voltage	$V_{DD}$	$X'tal = 10.24\text{ MHz}$	4.5 to 8.0			V
Operating Current	$I_{DD}$	$X'tal = 10.24\text{ MHz}$	--	--	7.0	mA
Output Voltage High Level	$V_{OH}$	$I_{DH} = -50\ \mu\text{A}$ , (4), (6), (7), (8) Pin Output	7.3	--	--	V
Output Voltage Low Level	$V_{OL}$	$I_{OL} = 50\ \mu\text{A}$ , (4), (6), (7), (8) Pin Output	--	--	0.2	V
Maximum Clock Frequency	$f_{MAX}$	--	10.24	--	--	MHz
(1) Pin Output Voltage	$V_{DUT(1)}$	$C_L = 15\text{ pF}$ , $X'tal = 10.24\text{ MHz}$	3.5	--	--	$V_{p-p}$

**Logic Diagram**



Pin No.	8	7	6	4	1
Pin Name	Q8	Q10	Q11	Q12	XTOUT
Divide Ratio	1/256	1/1024	1/2048	1/4096	1/1
$X'tal = 10.24\text{ MHz}$	40 kHz	10 kHz	5 kHz	2.5 kHz	10.24 MHz

4. El contador ECG 74LS193 y la compuerta ECG 74LS00



## Diagramas finales

A continuación se presentan los diagramas del sintetizador de frecuencias:

### I. Diagrama de bloques del sintetizador

En este diagrama se muestra la forma en que están interconectados los distintos bloques que conforman el sintetizador. Cada uno de estos bloques se explicara con detalle en las siguientes secciones. El sintetizador, como se puede observar está compuesto por:

#### a. Un oscilador de referencia

Este oscilador está encargado de suministrar las frecuencias de referencia para el receptor y el transmisor, con las cuales los respectivos detectores de fase compararán las frecuencias de salida, una vez divididas por el Divisor N de cada sección, para generar la frecuencia programada. Tiene dos salidas **Ref 1.666** y **Ref 0.416**, las cuales van a dar al Divisor Rx y Divisor Tx respectivamente, y como se puede apreciar corresponden a las frecuencias de referencia del receptor y del transmisor.

#### b. Divisores Rx y Tx<sup>6</sup>

Este bloque se encarga de tomar la señal de referencia proveniente del Oscilador de Referencia, y de la señal preescalada del VCO, para dividirla aun más y obtener una señal que comparará el detector de fase para producir una señal de control (UP y DOWN) que será la que entrará al Charge Pump y al VCO y producirá la frecuencia ya sintetizada.

---

<sup>6</sup> En el lenguaje de las comunicaciones Rx se refiere a la recepción y Tx a la transmisión.

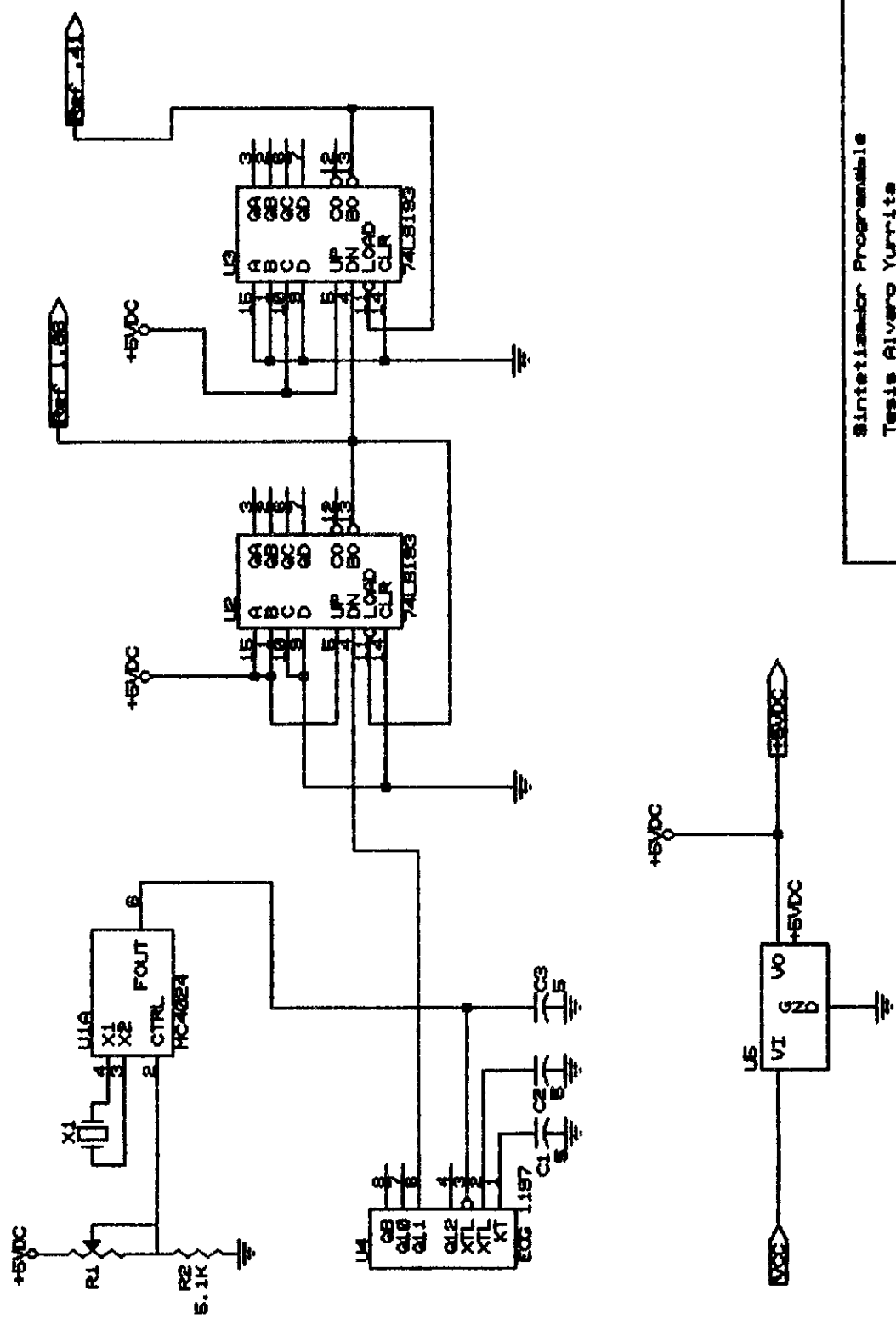
En este bloque es donde se encuentran los divisores  $N_1$  y  $N_2$ , los DIP switches, donde se programa la frecuencia deseada y el detector de fase.

c. Los VCO

Los VCO o Osciladores Controlados por Voltaje, son los que generaran la frecuencia de salida resultante que se inyectará al excitador y al mezclador del transmisor y del receptor respectivamente. Este VCO también se encarga de la modulación en frecuencia en el caso del transmisor, y es por eso que en el VCO de Tx tenemos la entrada de Modulación proveniente de la repetidora. Adentro de este bloque se encuentra también el preescalador del módulo dos.

d. Las conexiones al repetidor

Estos son dos conectores especiales, que se introducen directamente en la repetidora y sustituyen perfectamente a las bases de los Channel Element, de forma que el cambio de modo cristalizado a modo sintetizado es tan fácil como desconectar uno y conectar el otro.

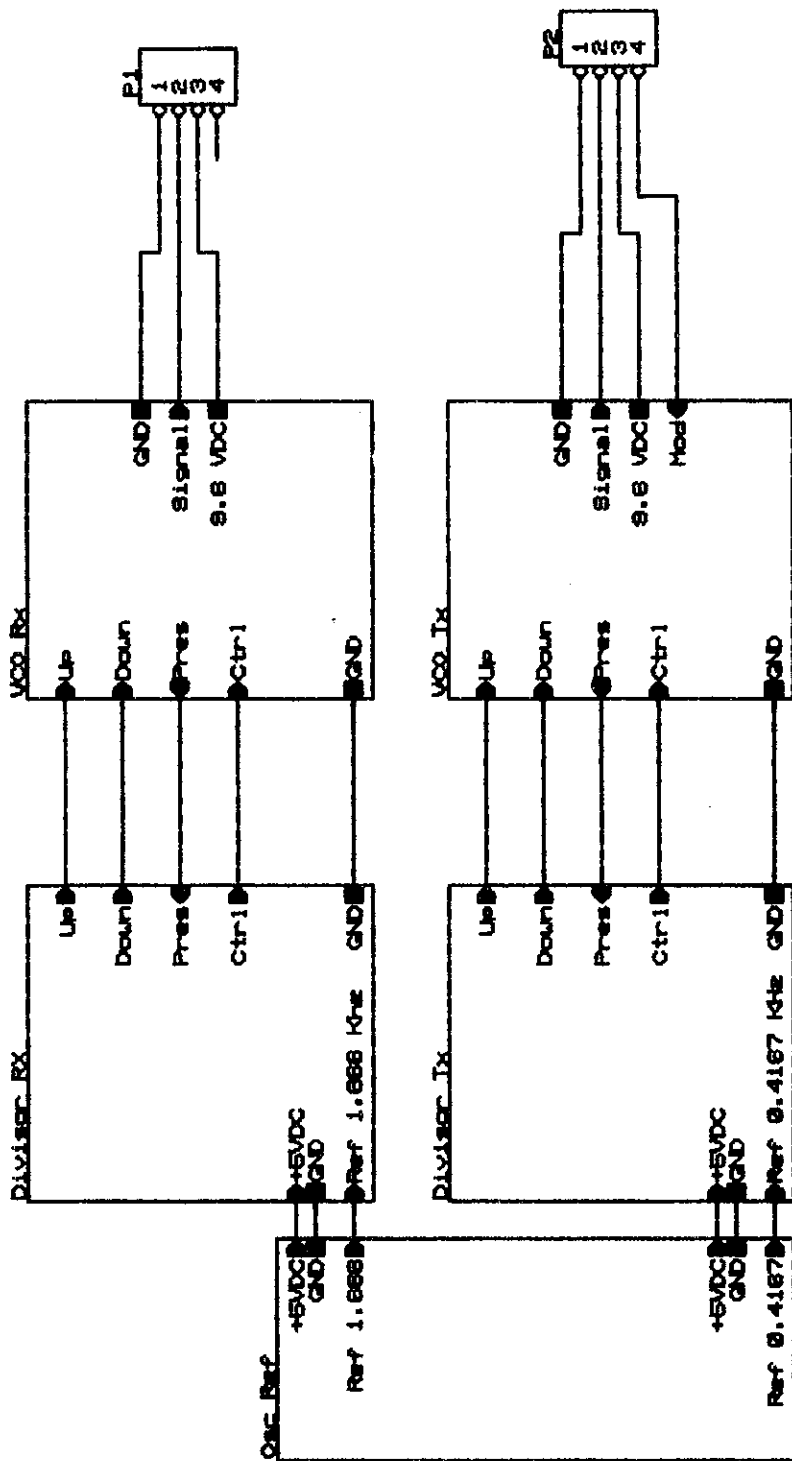


Sintetizador Programable  
 Tesis Alvaro Yurrita  
 C: 87883  
 Universidad del Valle  
 Size Document Number  
 A Oscilador de Referencia  
 Date: JULY 29, 1984  
 Page 1 of 1

## 2. El oscilador de referencia

En este bloque podemos apreciar cuatro secciones.

- **El multivibrador controlado por voltaje MC-4024** en donde conectamos el cristal de referencia de 10.24 MHz. Este se encarga de ajustar la frecuencia final de este cristal por medio de la resistencia variable R1, para contrarrestar defectos de construcción en el cristal que provoquen una frecuencia un poco desviada de la teórica. Su salida, en la pata 6, va a dar a:
- **El divisor de frecuencia ECG-1197** donde se procede a dividir la señal de 10.24 MHz 2048 veces y obtener una salida de 5 KHz la cual será dividida por:
- **Dos contadores 74LS193** que dividen la señal para obtener las frecuencias de referencia del receptor y del transmisor. El primer contador divide por tres la señal de 5KHz para obtener 1.666 KHz y el segundo divide esta misma señal por 4 para obtener 0.416 KHz.



Sintetizador Programable

Tesis Alvaro Yurrita

C: 670653

Universidad del Valle

Size Document Number

A

Diagrama de Bloques

REV

Date: JUL 29, 1994

1 of 5

### 3. El divisor N

Este divisor esta compuesto por lo siguiente:

- **Tres divisores 74LS193 U1, U2 y U3** que están conectados en cascada para formar  $N_1$ .
- **Dos divisores 74LS193 U4 y U5** que también están conectados en cascada para formar  $N_2$ .
- **Tres DIP Switches SW1, SW2 y SW3**; los dos primeros programan a  $N_1$  y el último a  $N_2$ . En estos se ingresa de forma binaria el número que se desea que cuente cada contador. Como se explicó anteriormente,  $N_1$  cuenta hasta un máximo de 739 por lo que necesita 10 bit. El switch 1 de SW1 es el menos significativo de este número y el switch 5 de SW2 es el más significativo. El  $N_2$  cuenta hasta un número máximo de 127, por lo que necesita 7 bits. El switch 1 de SW3 es el menos significativo y el switch 7 de SW3 es el más significativo. Para obtener el número de  $N_1$  y de  $N_2$  dada una frecuencia, se utiliza el siguiente método:

Se encuentra el número de división total para esa frecuencia de la siguiente forma:

Si la frecuencia es del transmisor, se utiliza la siguiente fórmula

$$N_{tot} = \frac{f_{tx}(\text{MHz})}{5\text{KHz}}$$

Si la frecuencia es del receptor, se utiliza la siguiente formula:

$$N_{tot} = \frac{f_{rx}(\text{MHz}) - 10.7\text{MHz}}{5\text{KHz}}$$

Con este número se procede a utilizar la **Ecuación III-4** y **Ecuación III-5** para  $N_1$  y  $N_2$  respectivamente, que luego se pasan a binario y se introducen en los DIP switches donde un 1 corresponde a la posición abierta del switch y un 0 a la posición cerrada.

A continuación se presenta un ejemplo utilizando las frecuencias que se muestran en los resultados para los primeros datos experimentales del transmisor y del receptor:

$$f_{tx} = 461.770$$

$$N_{tot} = \frac{461.770}{0.005} = 92354$$

$$N_1 = \text{Int}\left(\frac{92354}{127}\right) = 727$$

$$N_2 = 92354 - (727)(127) = 25$$

Al pasarlos a binario tenemos que:

$$N_1 = 1011010111$$

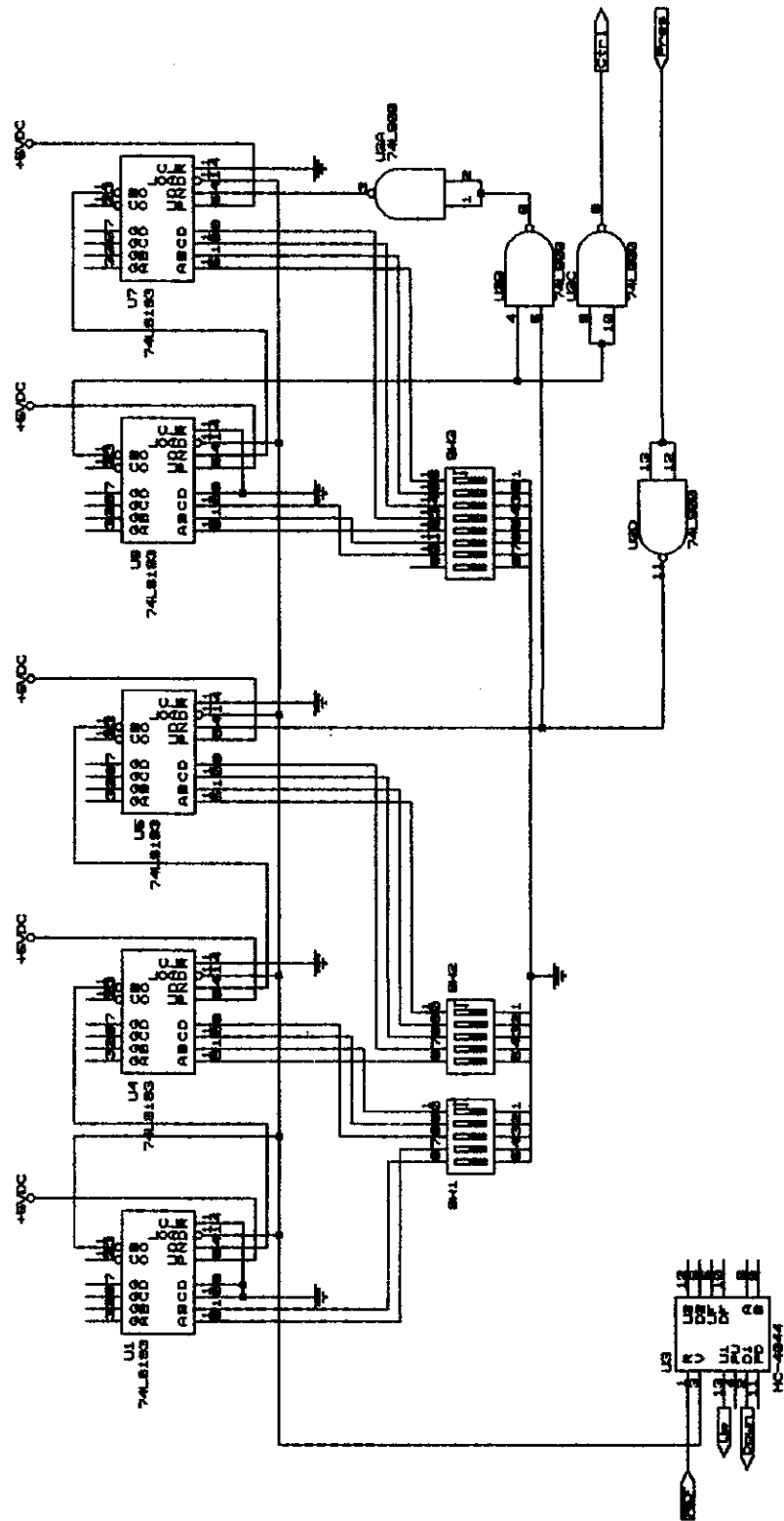
$$N_2 = 0011001$$

De la misma forma se procede para la frecuencia de recepción  $f_{rx} = 455.030$  para obtener:

$$N_1=1010111011$$

$$N_2=1011101$$

- **Compuertas NAND 74LS00.** U6C es un amplificador de la señal del preselector. U6A es el inhibidor de  $N_2$  cuando éste ya llegó a 0 y U6B y U6D son negadores para acoplar las señales a los circuitos a donde entran.
- **El detector de Fase MC-4044** se encarga de generar las señales UP y DOWN que ingresarán a los VCO dependiendo de la señal de referencia y de la señal dividida.
- **Circuitería:** Para la construcción de los dos divisores N se utilizó una tarjeta perforada donde se colocaron las bases de los circuitos integrados que se utilizaron. Estas bases eran del tipo *wire-wrap*. Con este tipo de bases, es posible enrollar alambres a las patas mediante una herramienta especial y así hacer las conexiones necesarias entre patas para construir el circuito.



Sintesisador Programmable  
 Tesis Alvaro Yurrita  
 CI 67663  
 UNIV. Nacional Del Valle  
 Calle Pichincha No. 1201  
 Guayaquil, Ecuador  
 2018

#### 4. El VCO del transmisor y del receptor

Ambos VCO consisten de lo siguiente:

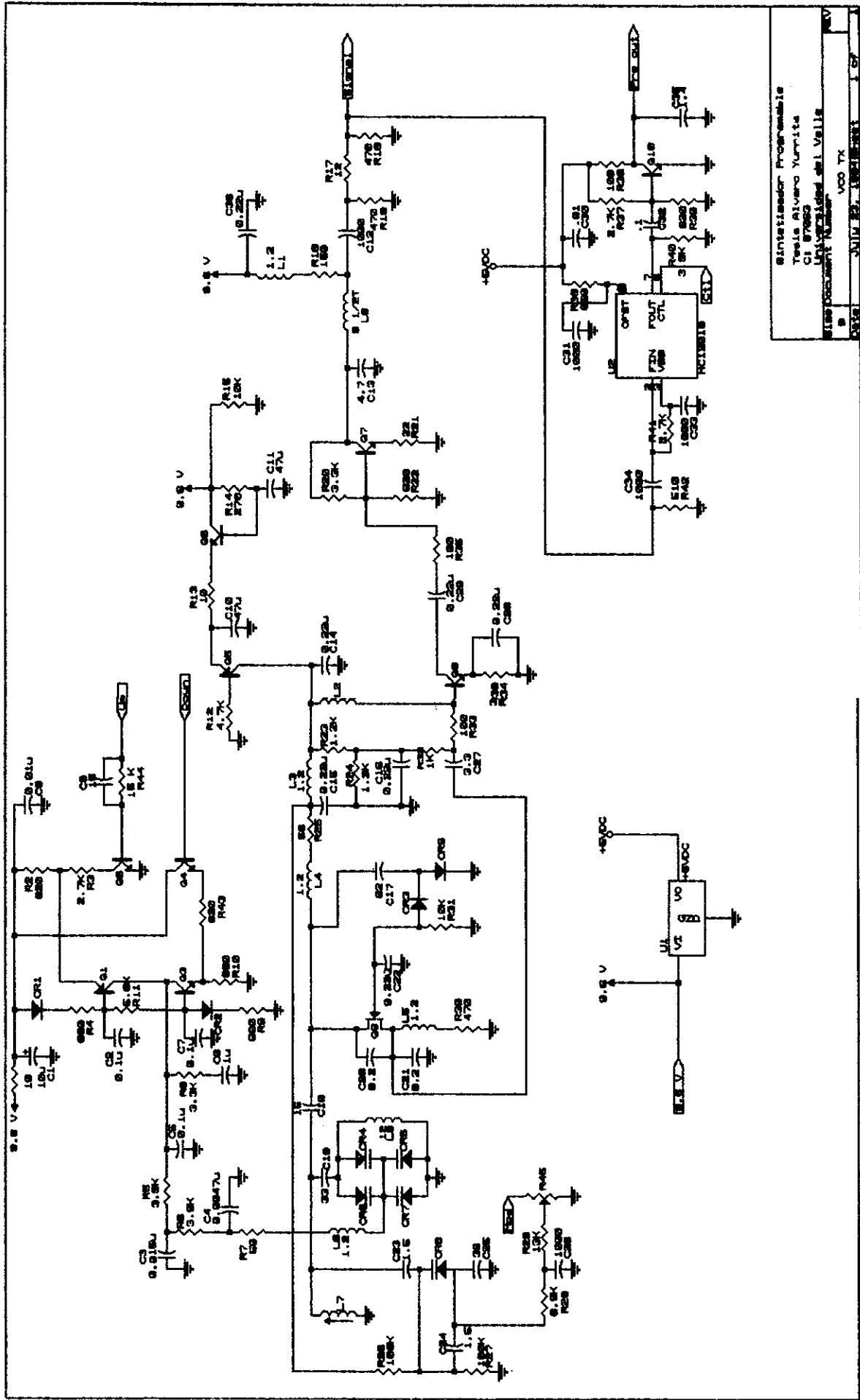
- **Un Charge Pump** que consiste de Q1 a Q4. La señal DOWN del detector de fase se aplica a Q3 y la señal UP a Q1. Un pulso negativo en la señal UP apaga a Q1 y hace que el emisor de Q2 llegue a 9.6V con lo que éste se enciende. Un pulso negativo en la señal DOWN apaga Q3 con lo que se reduce el flujo de corriente a R6. Lo que causa que Q4 se encienda y drene la corriente de Q2. Cuando hay un cambio de frecuencia los distintos pulsos en UP y DOWN causan que Q2 y Q4 se enciendan y se apaguen a distintos tiempos, resultando en una serie de pulsos de corriente que sumada se dirige hacia el filtro pasa bajos que carga y descarga C6 al nuevo voltaje de control.
- **Un filtro pasa bajos** que consiste de R8 a R10 y de C6 a C9. El filtro pasa bajos atenúa el ruido y rechaza la frecuencia de referencia del loop para que estas señales no puedan modular el VCO.
- **Un VCO** que es alimentado a través de Q9, Q10, C26, L5, R17 y L4 para filtrar cualquier ruido que se pueda introducir al VCO. El VCO consiste de un oscilador FET cuya frecuencia se determina por una red LC paralela, consistente de un inductor variable L1 y una red de varactores CR3-CR6. Cuando el voltaje de control varía en el rango de 2V a 7.8V DC, la capacitancia de los varactores decrece mientras el voltaje aumenta. El VCO también tiene un varactor más CR7 que está acoplado ligeramente al circuito

tanque, para proveer la modulación de frecuencia del VCO del audio aplicado en MOD y ajustado por RVI.

El VCO tiene un circuito de control de ganancia automático CR8 y CR9 que varía la polarización DC de la puerta (gate) del FET del VCO en función del nivel de salida de RF en el vertedero (drain) del VCO. Esto ayuda a mantener una salida más constante del VCO, y previene que los voltajes de RF aumenten a niveles que puedan causar rectificación por los varactores.

Los transistores Q6 y Q7 son amplificadores buffer. Estos aumentan la salida de RF del VCO al nivel requerido. De esta señal de salida se toma una muestra que va a dar a:

- **El preescalador MC-12018** que es un preescalador Motorola de módulo 2 que divide por 127 y 128 dependiendo de la señal en la pata 6 de control. La salida preescalada de este IC se lleva a un circuito de amplificación Q8 de donde sale ya la señal que se conectará al divisor N. Para la construcción se utilizó soldadura y componentes de superficie montados en una tarjeta perforada. Así se redujo considerablemente el espacio ocupado y se disminuyeron las grandes cantidades de alambre necesarias para la construcción con componentes comunes que producen resistencias, capacitancias e inductancias parásitas que afectan considerablemente el funcionamiento de circuito debido a las frecuencias con que se trabaja.



Simulador Programable  
 Teles Alvaro Yurrita  
 CI 87003  
 Universidad del Valle  
 Calle Pascual  
 VOO TX  
 31117 21 100100011 1 07



5. Costo del proyecto

**Tabla VIII-1**  
**Costo del proyecto**

<b>Cntd.</b>	<b>Descripción</b>	<b>Precio Unitario</b>	<b>Subtotal</b>
2	Detectores de Fase MC-4044	\$ 10.00	\$ 20.00
1	Multivibradores MC-4024	\$ 10.00	\$ 10.00
1	Divisores de Frecuencia ECG-1197	\$ 3.00	\$ 3.00
14	Contadores 74LS193	\$ 2.00	\$ 28.00
2	Compuertas 74LS00	\$ 0.50	\$ 1.00
2	Preescaladores MC12018	\$ 10.00	\$ 20.00
1	Tarjeta HLB-4100A	\$ 200.00	\$ 200.00
1	Tarjeta HLD-4322A	\$ 200.00	\$ 200.00
	Trasnsistores, diodos, alambre, etc		\$ 50.00
30	Horas de Instalación	\$ 1.00	\$ 30.00
<b>Total</b>			<b>\$ 562.00</b>

Como podemos observar la parte mas cara del proyecto son las dos tarjetas que constituyen el VCO. Usualmente se pueden encontrar VCO por precios mucho más bajos que estos. Estas tarjetas tienen además del VCO un circuito receptor superheterodino, un sintetizador y un preescalador. Con lo que apreciamos que la parte que se utiliza de esta tarjeta es mínima. Sin embargo se escogió esta tarjeta por contarse con la literatura necesaria para conocer su funcionamiento.

De todas manera, si consideramos que para cambiar una pareja de cristales en un repetidor MSR-2000 Motorola, el costo es aproximadamente de \$ 250.00, podemos apreciar que con solo dos cambios de frecuencia se logra alcanzar el precio de manufactura de la tarjeta.

Otra forma de utilización de este circuito es usándolo como un paso intermedio para buscar frecuencias definitivas a una repetidora. Se puede utilizar para ponerle a las repetidora frecuencias de prueba, con las que se trabaja cierto tiempo para determinar si estas frecuencias están libres de interferencia. Una vez determinado el set de frecuencias adecuado para el trabajo de la repetidora ya se pueden conseguir los cristales originales sintonizados a esta frecuencia. De esta forma se puede utilizar el sintonizador varias veces en varias repetidoras y mejorar así su relación costo-beneficio.