

Te
H 77v
1982

UNIVERSIDAD DEL VALLE DE GUATEMALA

Facultad de Ciencias y Humanidades

**BIBLIOTECA
DE LA
UNIVERSIDAD DEL VALLE DE GUATEMALA**

Una computadora para automatización

(de un modelo de trenes)

Sergio Montenegro Retana

Guatemala

1982

Una computadora para automatización

(De un modelo de trenes)

UNIVERSIDAD DEL VALLE DE GUATEMALA

Facultad de Ciencias y Humanidades

Una computadora para automatización

(de un modelo de trenes)

Sergio Montenegro Retana

Trabajo de Investigación presentado para optar al grado
académico de Licenciatura en Ciencias de la Computación

Guatemala

1982

Vo. bo.

(f) Helmuth E. Walch.
Dr. Helmuth Walch.
Asesor

Tribunal:

(f) _____
Dr. Helmuth Walch.

(f) _____
Ing. Luis R. Furlan.

(f) _____
Ing. Luis Escobar.

Fecha de aprobación: 14 de octubre de 1982.

PREFACIO

Las computadoras tienen varios tipos de aplicaciones, pero principalmente se utilizan para realizar cálculos en grandes cantidades, ya sean de índole científica o de índole comercial. Otra aplicación de las computadoras es el control y automatización de elementos del mundo real; para realizar trabajos de mucha precisión, o que requieren mucha coordinación entre distintos elementos, o bien son muy riesgosos para hacerlos manualmente. Algunas aplicaciones típicas son: control de plantas generadoras de electricidad, robots para construcción de autos, robots para construcción de dispositivos eléctricos etc.

Las computadoras para automatización son muy especializadas en su ramo (un robot para construir carros no se puede usar para otra cosa), las de uso matemático (para cálculos) son de uso general (fácilmente pueden usarse para cálculos científicos o comerciales). Las mayores diferencias en las computadoras para automatización son los dispositivos de entrada y de salida (control y detección del mundo exterior) que deben ser hechos especialmente para el trabajo a desempeñar. El CPU y la MEMORIA no es muy diferente de una máquina a otra (esencialmente hacen lo mismo). Las computadoras para uso comercial tienden a tener más desarrollada la capacidad de memoria y de almacenamiento secundario (para guardar grandes volúmenes de datos). Las de uso científico tienden a tener más desarrollado el CPU (más variedad de operaciones y mayor velocidad) y las computadoras de control tienden a tener más desarrollados sus dispositivos de entrada y salida (generalmente se necesitan muchos miles de detectores en el sistema real, y muchos controladores).

CONTENIDO

I.	Introducción	1
II.	Objetivo y fines del proyecto	3
III.	Método empleado	5
	A. La construcción	7
IV.	Macro diseño de la microcomputadora	9
	A. Fuente de potencia	9
	B. Tablero matriz	10
	C. CPU	10
	D. Memoria	10
	E. Entrada y salida (E/S)	11
	F. Detección y control	11
V.	Tablero matriz	13
	A. Función	13
	B. Descripción	13
VI.	CPU	19
	A. Función	19
	B. Descripción	19
VII.	Memoria	27
	A. Función	27
	B. Descripción	27
VIII.	Entrada y salida (E/S)	33
	A. Función	33
	B. Descripción	33
	C. Descripción eléctrica del decodificador	34

	D. Descripción eléctrica del 'display'	35
	E. Descripción eléctrica del reloj	36
	F. Descripción eléctrica de la interfase con el RS232	37
IX.	CONTROL	43
	A. Función	43
	B. Descripción	43
	D. Descripción eléctrica de los subdispositivos	43
	E. Descripción eléctrica de los aplicadores	44
X.	DETECCION	53
	A. Función	53
	B. Descripción	53
	C. Descripción eléctrica de los codificadores	54
	D. Descripción eléctrica de los buffers de salida	54
	E. Descripción de los detectores físicos	54
XV.	BIBLIOGRAFIA	63

FIGURAS

1	Diagrama eléctrico del tablero matriz	15
2	Diagrama esquemático del tablero matriz	17
3	Diagrama eléctrico del CPU	23
4	Diagrama esquemático del CPU	25
5	Disposición de la memoria	28
6	Diagrama eléctrico de la memoria	29
7	Diagrama esquemático de la memoria	31
8	Diagrama esquemático de E/S	39
9	Diagrama pictórico de E/S	41
10	Diagrama esquemático de control	47
11	Diagramas eléctricos de detección y control físicos	49
12	Diseño pictórico de detección y control	51
13	Diagrama esquemático de detección	57
14	Diagramas eléctricos de detección y control físicos	59
15	Diagrama pictórico de detección y control	61

I. INTRODUCCION

Este trabajo versa sobre el desarrollo de una microcomputadora para la automatización de un modelo de trenes.

Conforme se va leyendo el texto, es necesario estar consultando con el diagrama respectivo. Todas las secciones de 'hardware' tienen su diagrama eléctrico y esquemático al final de la sección. Además todos los dibujos de ondas y otros estan inmediatamente abajo de donde se mencionan, no hay que estarlos buscando en todo el trabajo.

En este trabajo se describe la función de cada pieza y sus conexiones. Una descripción de las piezas utilizadas se puede encontrar en los libros de Jim Pack que se mencionan en la bibliografía.

II. OBJETIVO

El objetivo de este proyecto es la construcción de una microcomputadora para automatización. Para efectos de demostración se desarrolló la automatización de un modelo a escala (HO) de trenes.

Se pretendió que el modelo fuera parecido a uno real (pero muy limitado en cuanto a longitudes de las vías debido al espacio disponible y al costo de los rieles), con estaciones, cruces, parqueos para los trenes y con varias posibilidades para rutas (con bifurcaciones). Sobre esta pista pueden estar circulando varios trenes. Así, la computadora para la automatización tiene que controlar la ruta de cada tren en la pista. Para ello debe ir controlando las bifurcaciones que están delante de cada tren y debe ponerlos en marcha y detenerlos cuando sea necesario para evitar colisiones en los cruces, para que hagan sus paradas en las respectivas estaciones, para que paren en el parqueo, etc.

La microcomputadora debe tener comunicación además de con la pista, con una consola, que sirva como interfase con el usuario para que se le puedan dar instrucciones y pedir información del estado del sistema. Las instrucciones servirán para indicar que se inicie la operación, para detenerla, para asignarle rutas a los trenes, etc. El estado del sistema tiene la posición de cada tren y qué está haciendo (por ejemplo estacionado en una estación, en el garage o debido a que adelante hay otro tren, o bien si está recorriendo alguna ruta y cuál).

III. METODO EMPLEADO

Para llevar a cabo este proyecto se construyó una microcomputadora con dispositivos especialmente diseñados para el control de la pista de los trenes y, con una interfase para la comunicación con una microcomputadora ZENITH Z90; la cual fué utilizada como consola.

La microcomputadora que se construyó consta de un CPU basado en el microprocesador 8085. Una memoria que consta de 3K bytes de ROM (para la programación y datos permanentes) y 1K bytes de RAM (para datos propios de cada corrida). Dispositivos de E/S que incluyen: un UART para la comunicación (serial RS232) con la microcomputadora ZENITH que se uso. Y por último se construyó el dispositivo para controlar los trenes y las vías. Este dispositivo esta dividido en dos partes: CONTROL y DETECCION. La parte de detección es la encargada de obtener el estado del sistema y, la parte de control es la encargada de controlarlo.

El modelo del tren consta de una serie de rieles aislados eléctricamente uno del otro, un conjunto de bifurcaciones eléctricas y un conjunto de locomotoras eléctricas. Esto es lo fundamental, pero para darle más realismo se agregaron cosas como casitas donde están las supuestas estaciones.

Los trenes eléctricos para trabajar necesitan una diferencia de potencial que se les transmite por medio de los rieles. Los rieles tienen en uno de sus lados una conexión a tierra y en el otro el

conductor activo (con 12 voltios). Las tierras son comunes para todos los rieles pero el conductor activo esta aislado. Asi se le puede dar corriente a un riel sin afectar a sus vecinos. Una serie de rieles conectados eléctricamente forman lo que se le llamó un SEGMENTO. La pista consta de una serie de segmentos aislados y controlados independientemente. Además de esto, existen las bifurcaciones controladas eléctricamente, las cuales tienen un riel de entrada y dos de salida. Cuando un tren entra a una bifurcación saldrá por su ramal derecho o por el izquierdo dependiendo de hacia donde apunte la bifurcación. Esta dirección es fijada eléctricamente: la bifurcación tiene una conexión a tierra y dos entradas para el conductor activo (una derecha y una izquierda). Al aplicarle voltaje a la entrada derecha la bifurcación apuntará a la derecha, lo mismo con la izquierda. Si no le llega voltaje a ninguna de las dos entonces conserva su estado anterior y, si le llega a las dos al mismo tiempo hay peligro de arruinarla.

La parte de detección de la microcomputadora examina los segmentos y determina si hay o no, un tren sobre ellos. La parte de control da corriente a unos segmentos y no a otros. Si hay una locomotora sobre un segmento y este tiene voltaje entonces el tren caminará, si no hay voltaje en ese segmento entonces el tren se detendrá (notese entonces que la detección y control esta basada en segmentos y NO en trenes). Además la sección de control es también la encargada de establecer hacia donde apuntaran las bifurcaciones (de la forma como se explicó anteriormente).

A esta microcomputadora se le dan instrucciones de control a nivel de trenes no de rieles ni de bifurcaciones. Debido a esto fue necesario crear una máquina virtual que pareciera que trabajara a nivel de trenes y

de rutas. Esto se hizo por medio de la programación en ROM. Para hacer esta programación se necesitó conocer la codificación hexadecimal de cada instrucción del assembler del 8085 y de cada dato y, ya con esto se teclea en un programador de ROMs para grabar en los chips de memoria ROM.

A. La construcción

Esta microcomputadora fue construida sobre un circuito impreso de un solo lado. Cada unidad fue construida sobre una tableta y colocada sobre la tableta base (Tablero matriz).

Los circuitos son impresos en cobre sobre tarjetas de fibra de vidrio, de tal forma que las líneas de cobre sirvan de conductores eléctricos entre los distintos componetes de la tableta. Para hacer los circuitos impresos primero se consiguieron las tabletas crudas, que son de fibra de vidrio recubiertas totalmente de un lado por una fina lámina de cobre. El primer paso fue hacer el diseño de cada tableta: ver que piezas debe contener y donde se deben poner. Luego se trazaron las rutas de los conductores eléctricos. Debido a que el circuito impreso es sobre una sola cara, no pueden haber cruces de conductores; lo que dificultó el diseño del circuito (casi siempre es totalmente imposible lograr todas las conexiones sin cruces por lo que es necesario utilizar unos cuantos alambres forrados).

Una vez hecho el diseño se procedió a dibujarlo sobre la tableta de circuito impreso con una tinta muy resistente (pintura de uñas) y, luego se sumergieron las tabletas en una solución de cloruro férrico ($FeCl_3$) a

un molar de 1.5. El cloruro férrico en contacto con el cobre produce una reacción $\text{FeCl}_3 + \text{Cu} ::= \text{CuCl}_2 + \text{Fe}$ que disuelve el cobre. Sin embargo el cloruro férrico no tiene ninguna reacción con la pintura de uñas, por lo cual lo que estaba pintado no es afectado.

IV. MACRO DISEÑO DE LA MICROCOMPUTADORA

La microcomputadora construida consta de 7 partes: fuente de potencia, tablero matriz, CPU, memoria, E/S, detección y control:

A. Fuente de Potencia

Esta es la parte que da la energía para que trabaje todo el sistema. Está dividida en dos partes: la de baja corriente y la de alta corriente. La de baja corriente (2 amperios máximo) supe la corriente para los circuitos lógicos del sistema (CPU, MEMORIA, E/S, y MONITOR) hechos con tecnología TTL y CMOS (consumen poca corriente). Para los circuitos lógicos se necesita 5 voltajes diferentes: VCC (5 Voltios) con consumo de corriente relativamente alto, y otros cuatro con poco consumo: 5, +12, 12 y 10 voltios. La fuente de alta corriente (de 20 Amperios y 12 Voltios) supe el consumo de los trenes, bifurcaciones y otros elementos en el modelo físico de la pista de trenes (todo eso consume mucha corriente). Esta potencia no se aplica directamente a los dispositivos físicos (trenes, bifurcaciones, luces, etc) si no que a la etapa de control de la máquina, la cual administra esta corriente (determina a que dispositivos se le aplica y a cuales no).

B. Tablero matriz

Esta es una base sobre la cual se montan todas las demás tabletas del sistema (excepto potencia, detección y control). Tiene conductores para llevar el bus del sistema a todas las tabletas montadas y tiene un dispositivo de monitoreo para que el usuario pueda ver el contenido del bus del sistema en cualquier momento (en binario, un LED por cada línea).

C. CPU

El CPU es la unidad central que coordina y comanda todas las demás del sistema, les dice que hacer y cuando. Es capaz de ejecutar operaciones aritméticas y lógicas, de comparar y tomar decisiones.

D. Memoria

La memoria está dividida en dos partes: ROM y RAM. En ROM están los programas, rutinas y datos permanentes del sistema, En RAM están los datos propios de cada corrida tales como el stack y variables. Hay 3K dROM de la dirección 0_{16} hasta la BFF_{16} , de $C00_{16}$ hasta FFF_{16} no hay nada, está disponible para agregar más ROM si se desea. Hay también 1K de RAM de la dirección 1000_{16} hasta la $13FF_{16}$. De 1400_{16} hasta $3BFF_{16}$ está disponible para agregar más RAM, y de $3C00_{16}$ hasta $FFFF_{16}$ no hay nada ni aún la decodificación de las direcciones.

E. Entrada y salida (E/S)

La sección de E/S tiene capacidad para direccionar hasta 256 elementos (0..255), con 8 bits. El campo de dirección de los 8 bits está dividido en dos. Del bit 0 al 4 se usa para apuntar a un subdispositivo de cada dispositivo y del bit 5 al 7 para apuntar al dispositivo. nótese entonces que se pueden usar hasta 8 dispositivos, cada uno con 16 subdispositivos. Los dispositivos existentes para lectura son:

- 0: Datos recibidos de la Zenith.
- 1: Estatus de la interface con la Zenith.
- 2: Reloj interno
- 3: Detección.

Y para escritura:

- 0: Datos que se mandarán a la Zenith.
- 2: 8 LEDs que puede ver el usuario.
- 3: Control.

Los dispositivos del 0 al 2 no tienen subdispositivos, el valor de los bits 0..4 son ignorados. en el dispositivo 3 (detección y control) los bits 0..4 apuntan al byte que se usará (ver descripción en detección y control).

F. Detección y control

Control es la sección que le da potencia a algunos elementos del modelo de trenes, y detección es la sección que determina sobre qué rieles hay locomotoras.

Control es un conjunto de bits agrupados de 8 en 8 (un byte) que son aplicados a amplificadores de potencia, y la salida de cada bit amplificado es aplicada a un elemento del modelo (ej. a una luz o un grupo de luces que se deben encender juntas, a una bifurcación, a un segmento de rieles, etc), no se pueden acceder individualmente los bits, solo por grupos de 8 que se direccionan con los bits del 0..4 de la dirección de E/S.

Detección es un grupo de detectores de diferencia de potencial entre rieles (si hay diferencia de potencial entonces hay un tren en el segmento correspondiente, pero si no entonces no hay nada). esta señal es convertida a TTL 1 o 0, y agrupada en grupos de 8 detectores en un BYTE. No se puede acceder cada detector individualmente, solo por grupos de 4, y la dirección de ese grupo está en los bits del 0..4 de la dirección de E/S.

V. TABLERO MATRIZ.

A. Función

Esta es una tableta que sirve de base para todas las demás tabletas del sistema. Tiene conductores para conducir el bus del sistema a todas las demás tabletas y un dispositivo de monitoreo, que muestra constantemente el contenido del bus del sistema.

B. Descripción

Esta tableta se coloca horizontalmente. Del lado de abajo tiene los conductores del bus del sistema, en circuitos impresos, y del otro lado tiene bases de 44 contactos para montar las otras tabletas del sistema.

A todas las tabletas se les lleva el bus del sistema con los conductores en este orden:

10 Líneas de voltajes: 2 de tierra, 2 de Vcc(6V), -5, 12, -12, 10, 15 y 15V

8 Líneas del bus de datos: D₇...D₀

16 Líneas del bus de direcciones: A₁₅...A₀

6 Líneas del bus de control: C₅...C₀ (0, Enable, Clock, IO/-M, -W, -R)

4 Líneas de Voltajes: 2 de Vcc y 2 de tierra.

44 Líneas en total.

El monitoreo del contenido del bus del sistema es por medio de LEDs, hay un LED para cada línea del bus. Los LEDs no se conectaron directamente a las líneas, pues su baja impedancia las sobrecargaría. Para evitar este problema se utilizaron 'buffers' 7417 que aíslan eléctricamente las líneas y los LEDs.

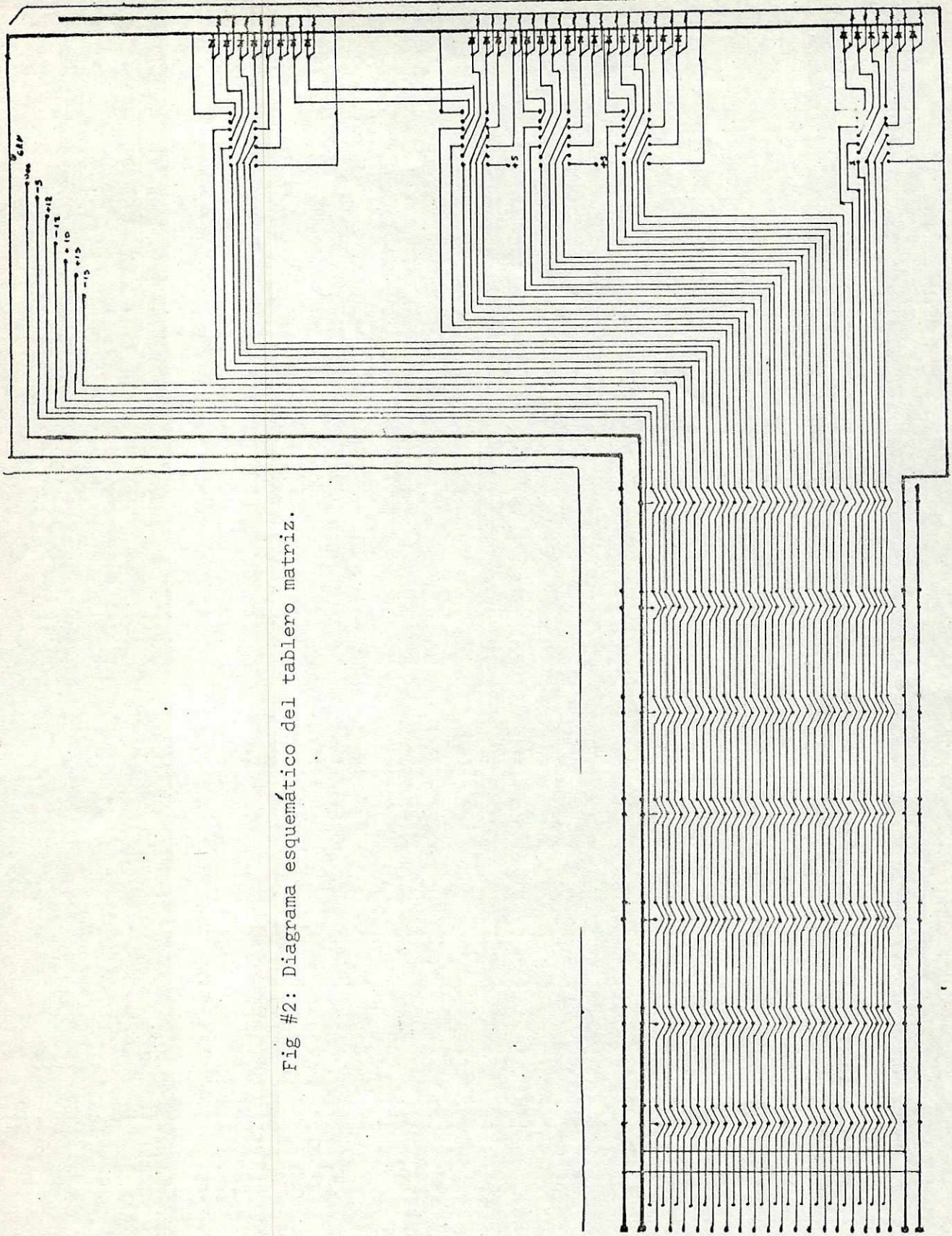


Fig #2: Diagrama esquemático del tablero matriz.

VI. CPU

A. Función

Este es el módulo central del sistema, es el que le da órdenes a todos los demás, les dice qué hacer y cuándo. Todos los datos que se mueven en el sistema pasan a través del CPU, no directamente de un módulo a otro.

B. Descripción

El CPU está montado en una tableta vertical sobre el tablero matriz. Está dividido en 4 partes: Microprocesador, lógica de 'Ready', lógica de 'reset' e interface con el bus.

La lógica de 'reset' se utiliza para reiniciar al CPU y la lógica de 'ready'. Al conectar la máquina, el contenido de sus registros y otros elementos es indefinido. Al darle 'reset' los registros toman valores definidos. Esta sección es básicamente una resistencia conectada a Vcc con un interruptor en serie conectado a tierra. Cuando el interruptor está abierto habrá un 1 a la salida de la lógica de 'reset' (estado normal). Al cerrar el interruptor se formará un contacto a tierra que provocará que la salida de esta sección se ponga en 0.

La lógica de 'ready' tiene la función de indicarle al CPU cuando su última petición se ha concluido. La lógica de 'ready' no tiene ningún

contacto con otros módulos y no sabe cuando respondieron. Lo que hace es esperar algún tiempo prudencial antes de decir que el dispositivo ha contestado. Esta sección es básicamente un registro de desplazamiento 74164. A la entrada de este registro está el reloj generado por el microprocesador. Hay ocho salidas, a cada una le llegará el pulso del reloj de entrada con un retraso. La primera tiene un retraso de 0 ciclos y la última uno de 7 ciclos de reloj. Seleccionando una de estas salidas se logra un retraso desde 0 hasta 7 ciclos de reloj.

La interface con el bus del sistema es un amplificador de corriente. Debido a que el microprocesador no soporta mucha carga en sus líneas de salida y, a que hay muchas piezas conectadas al bus del sistema, se utilizaron 'buffers' (7417) de acople que sí soportan fácilmente la carga que tiene el bus del sistema.

La sección del microprocesador está formada por 3 piezas: el microprocesador (8085), un demultiplexador de direcciones y datos (8212) y unas compuertas AND (7400).

En este sistema no se utilizaron interrupciones, por lo que las líneas TRAP, R7.5, R6.5 y R5.5 se conectaron a 0. La línea ALE se utilizó para indicarle a la lógica de 'ready' cuando se hizo un acceso a algún módulo del sistema. Las líneas de control (+W, -R, e IO/-M), datos (D0...D7) y direcciones (A0...A15) están conectadas, a través de los 'buffer' de acople, al bus del sistema.

Para separar los datos, de las direcciones, se utilizó el demulti-

plexador. Este es un registro **8212** con 8 'flip flops'. Las entradas vienen de AD0..AD8 del microprocesador y sus salidas van directamente al bus de direcciones.

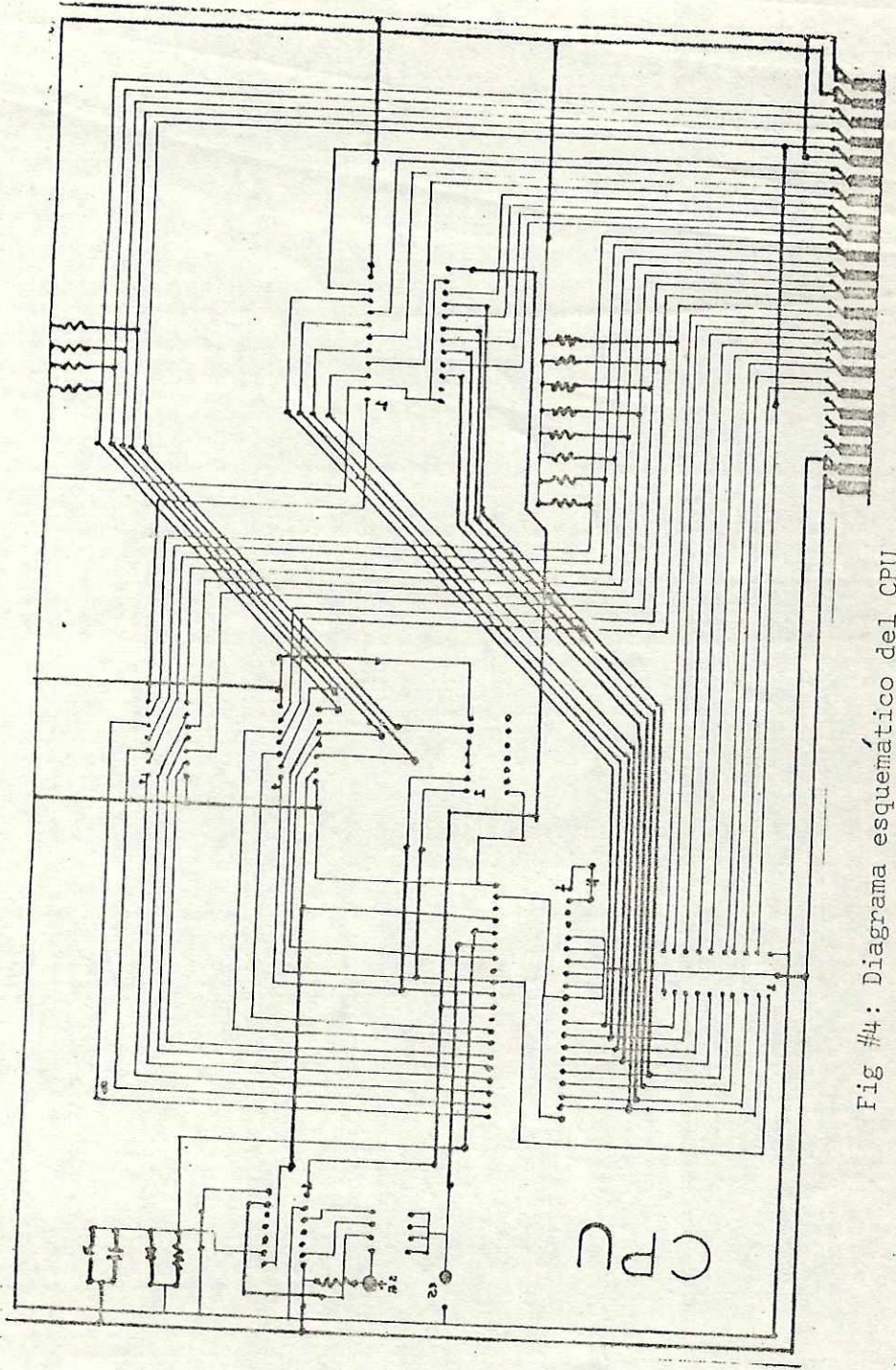


Fig #4: Diagrama esquemático del CPU

VII. MEMORIA

BIBLIOTECA DE LA UNIVERSIDAD DEL VALLE DE GUATEMALA

A. Función

La memoria contiene los programas, las rutinas y datos permanentes del sistema (el FIRMWARE). Además almacena sus datos variables.

B. Descripción

La memoria está dividida en 3 partes: 1) Memoria ROM (solo para lectura), 2) memoria RAM (para lectura y escritura) y 3) la sección de decodificación.

La sección de decodificación verifica en el bus del sistema cuando se hace un acceso a memoria. Cuando detecta uno, toma la dirección del módulo, determina a que CHIP corresponde y lo activa para que ejecute la operación deseada.

El ROM contiene el FIRMWARE del sistema (programas rutinas y datos permanentes, que no se pierden al apagar la máquina). Hay 3K Bytes de ROM cuyas direcciones son de 0 hasta 3K-1. RAM es un almacenamiento temporal para datos propios de cada vez que se usa el sistema. Estos datos no son muchos; por ello es de solo 1K BYTES (de la dirección 4K hasta la 5K-1). La memoria comprendida entre la dirección 3K y 4K-1 no se usa, pero está disponible para agregar más ROM si así se desea.

La memoria está dispuesta de la siguiente forma:

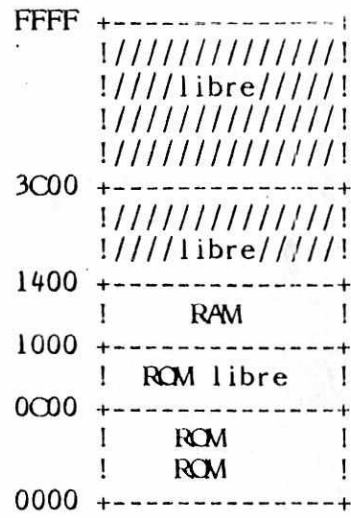


Fig 5

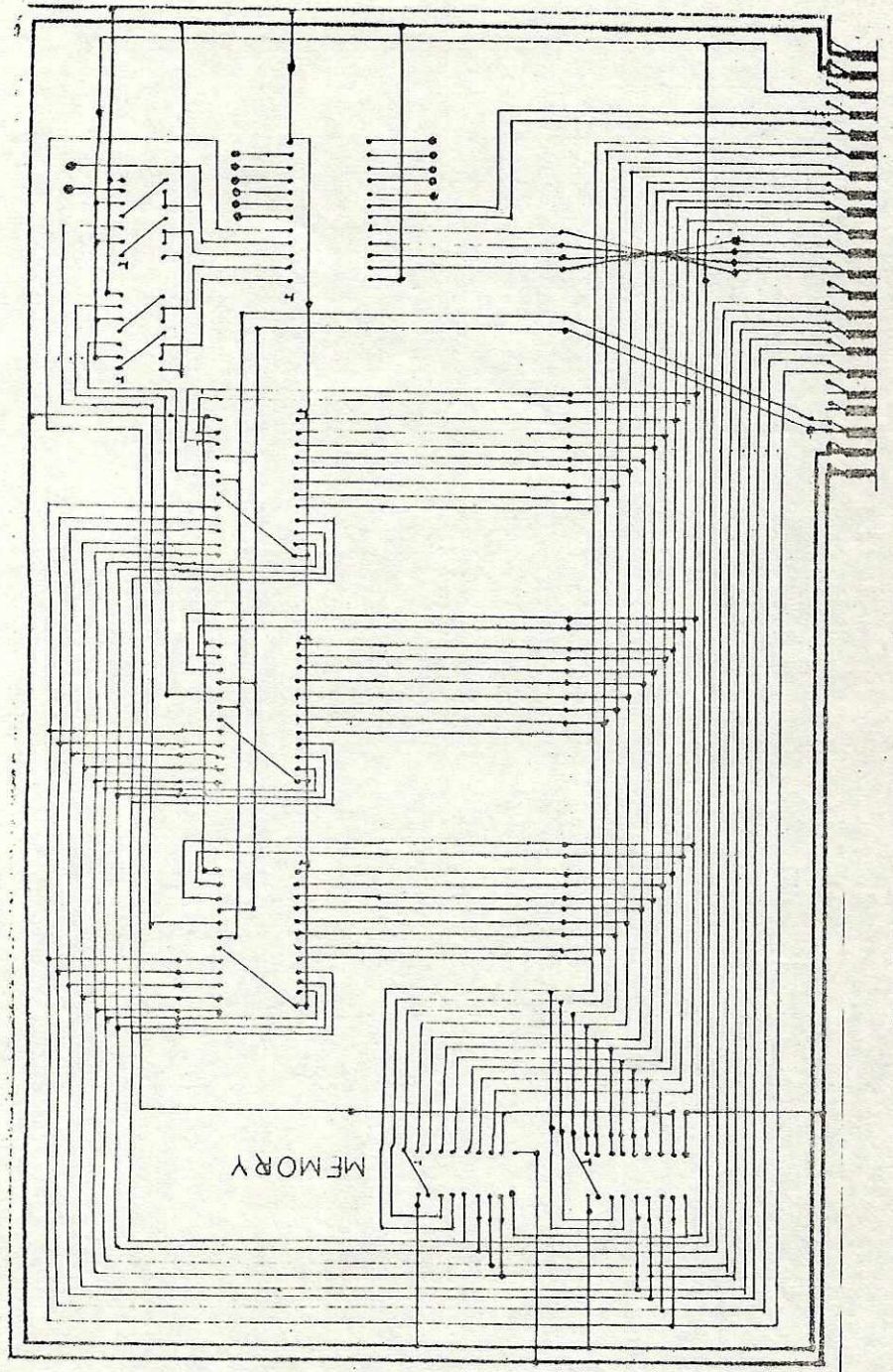


Fig #7: Diagrama esquemático de la memoria.

VIII. ENTRADA y SALIDA (E/S)

A. Función

El módulo de E/S está dividido en 4 partes:

- a) una interfase para el RS232 (para la conexión con la Z90).
- b) Un reloj que cuenta tiempo en cuartos de segundo.
- c) Un 'display' para el usuario.
- d) La etapa de activación, que determina cuando un acceso es para E/S y activa al módulo correspondiente incluyendo el de detección y el de control.

B. Descripción

El decodificador revisa el bus del sistema, cuando detecta un acceso a E/S entonces activa, basándose en la dirección, a la etapa correspondiente. La interfase con RS232 transforma datos paralelos TTL a seriales RS232. El 'display' es un registro de un byte. Cuando recibe un dato lo mantiene hasta que le llega otro. Su contenido lo muestra permanentemente en 8 LEDs. El reloj es un contador binario de tiempo, con 8 bits. El bit menos significativo representa 1/4 de segundo, el siguiente 1/2 segundo y así hasta 32 segundos. Entonces el reloj antes, de empezar de nuevo en 0 cuenta 64 segundos (de 0 hasta 63) con resolución de

1/4 de segundo.

La sección de E/S está dividida en dispositivos y los éstos en subdispositivos. El acceso a E/S se señala con 8 bits del bus de direcciones que indican el dispositivo y subdispositivo a usar. El byte de dirección está dividido en dos campos; los bits 5,6 y 7 para el dispositivo (hasta 8 dispositivos de 0 hasta 7) y los bits 0 hasta 4 para el subdispositivo. La interfase con el RS232 está formada por dos dispositivos sin subdispositivos (los bits 0..4 de la dirección son ignorados). El número 0 es para recibir o transmitir datos y el número 1 es para leer el estado de la interfase. El reloj y el 'display' comparten el mismo número de dispositivo; el número 2, sin subdispositivos. Al leer el dispositivo #2 se recibirá el tiempo del reloj y al escribir en el dispositivo #2 se estará poniendo un valor en el 'display'. El dispositivo #3 es para detección y control, los subdispositivos son los elementos de detección y control.

C. Descripción eléctrica del decodificador

El decodificador es un **74154**. En la parte de decodificación de memoria está explicado su funcionamiento.

En este decodificador E0..E15 activan dispositivos cuya dirección está en los bits 5,6 y 7 (solo 3 bits y no 4). Además el decodificador determina si es un acceso es para lectura o para escritura, (los dispositivos tiene diferente línea de 'enable' para escribir y para leer). Cada dispositivo usa 2 líneas de las salidas del decodificador. Las

líneas pares son para lectura y las impares para escritura.

El dispositivo 0 para leer es activado por E0 y para escribir por E1. El dispositivo 1 es activado para leer por E2 y para escribir por E3 y el dispositivo 2 igualmente por E4 y E5 (el dispositivo N es activado para leer por E_{2N} y para escribir por E_{2N+1}). El bit menos significativo de la dirección (A) es el que debe indicar si un acceso es para lectura o para escritura. Cuando este bit esté en 0 se activará un E_n con n par (para lectura) y cuando este bit sea 1 entonces el decodificador activará una salida impar (para escribir). Esta línea se conectó entonces a \bar{R} del bus del sistema (recordar que al leer esta línea se pone en 0 y cuando se escribe permanece en 1). Las otras 3 entradas de dirección (B, C y D) deben contener la dirección del dispositivo a usar (bits 5 6 y 7 del bus de direcciones). Las líneas de 'enable' son casi iguales a las del decodificador de memoria. G2 va a ENABLE del bus del sistema y G1 es la negación de IO/M del bus puesto que esta línea se pone en 1 al hacer uso de E/S.

D. Descripción eléctrica del display

El 'display' es el dispositivo 2 para escritura, sin subdispositivos (los bits 0..4 de dirección son ignorados). Es un registro de un byte que permanentemente está alimentando 8 LEDs, que indican su estado.

El registro está formado por dos 7475, de 4 'flip flops' tipo D. Los 'flip flops' están agrupados en dos grupos de dos teniendo el reloj en común. Esta línea de reloj normalmente está en 0; pero cuando se ponen

en 1, los 'flip flops' igualan su estado a su entrada D. Esta línea de reloj es el 'enable' del dispositivo. Por ello se conectó a la negación de la salida -E5 del decodificador.

Las entradas de los 'flip flops' (D) se conectaron al bus de datos (un 'flip flop' para cada línea del bus) para que cuando se haga una escritura al dispositivo #2 se copie el contenido del bus de datos al registro compuesto por los 8 'flip flops' de los dos chips. Las salidas de los 'flip flops' (Q) se conectaron a un LED cada una para que cuando el 'flip flop' este en 1, el LED se encienda y cuando esté en 0 que se apague.

E. Descripción eléctrica del reloj

El reloj es el dispositivo #2 para lectura sin subdispositivos (los bits 0..4 de la dirección son ignorados). El reloj es un contador de cuartos de segundo (de 0 a 63 segundos en pasos de 1/4). Cada vez que se hace una lectura del dispositivo #2 se recibe la hora de este reloj en 8 bits. El reloj está formado por dos partes: a) el contador de tiempo y b) una etapa de 'buffers tri state' para aislarlo del bus del sistema cuando no se está usando.

El reloj es un contador binario XR-2240. En uno de sus lados están las salidas del contador binario y en el otro están las entradas para el oscilador. Tiene 8 salidas. La frecuencia de oscilación de la primera (F0) es la mitad del inverso de la constante RC del oscilador. La frecuencia de F1 es la mitad de F0, la de F2 es la mitad de F1 y así hasta

F7.

Del otro lado del 'chip' está lo referente al oscilador con una línea de entrada de tiempo RC. A esta patita se le debe conectar un reloj, o un circuito RC de la frecuencia deseada. Se usó un circuito RC con una constante de $1/4$.

F. Descripción eléctrica de la interfase con el RS232

La interfase con el RS232 se usó con dos 'stop bits', paridad impar, 8 bits de datos y a una velocidad de 9600, 2400 o 1200 baudios por segundo. Esta interfase son los dispositivo 0 y 1 sin subdispositivos. Al leer datos de la unidad 0, se obtendrá el ultimo byte recibido por las líneas del RS232. Al escribir a la unidad 0 se estarán dando datos para enviarlos. El dispositivo 1 (solo para lectura) da el estado de la interfase. Este nos dice si está mandando un byte, si ya terminó de mandar, si ha recibido un byte, si lo recibió bien, si tuvo error de paridad o si se han perdido bytes por falta de lectura.

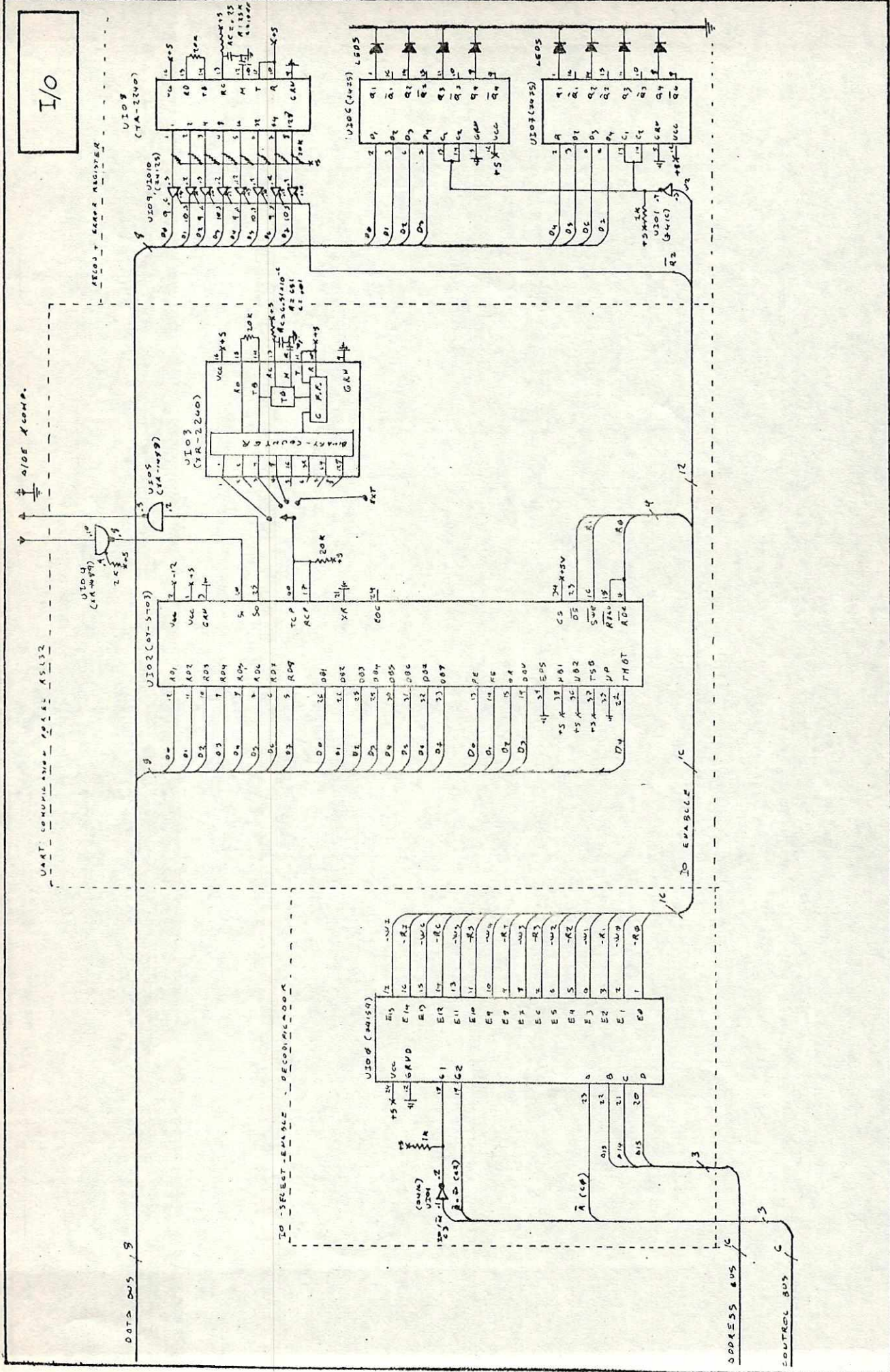


Fig 8 : E/S : Diagrama esquemático.

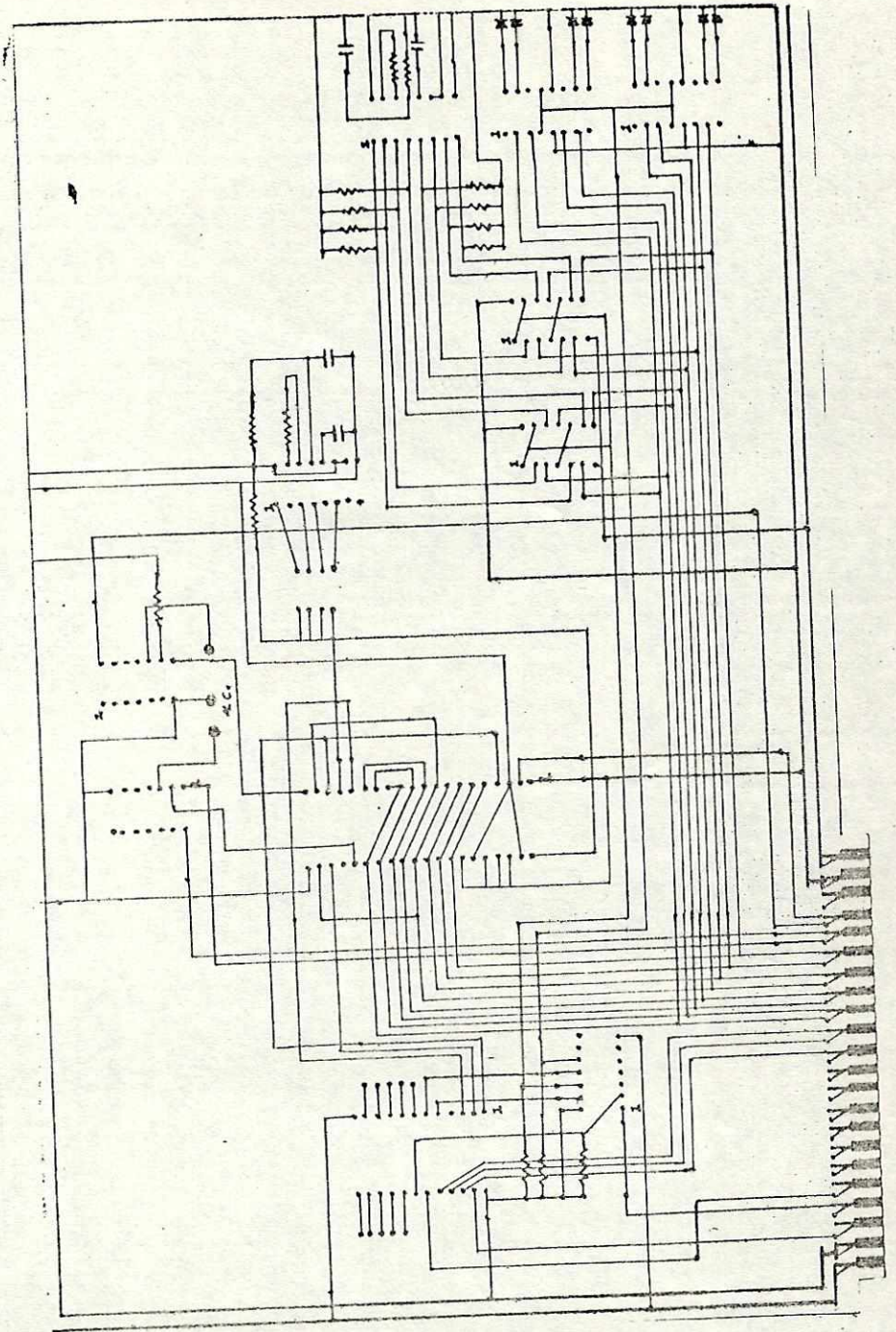


Fig 9 : E/S: Diagrama pictórico.

IX. CONTROL

A. Función

El módulo de control suministra corriente individualmente a cada elemento del modelo físico de trenes. Los elementos controlados son los segmentos de rieles y las bifurcaciones.

B. Descripción

El módulo de control es el dispositivo de E/S # 3 para escritura; tiene 8 subdispositivos. Cada subdispositivo es una memoria de 8 bits que controla 8 elementos independientes del modelo físico.

El módulo de control está dividido en 3 secciones:

- A) Un decodificador que cada vez que se escribe en control (dispositivo de E/S # 3), activa al subdispositivo correspondiente.
- B) Una serie de 'flip flops' agrupados de 8 en 8, que constituyen los subdispositivos.
- C) Una etapa de amplificadores binarios de corriente, que suministran suficiente corriente para alimentar al modelo físico de trenes.

C. Descripción eléctrica de los subdispositivos

La función de los subdispositivos es controlar, cada uno, 8 elementos del modelo físico. Este control es binario, así que se usaron 'flip

flops' en grupos de 8, con dos 7475 por subdispositivo (cada 7475 tiene 4 'flip flops'). A la salida de cada 'flip flop' (Q y para bifurcaciones también -Q) hay un amplificador de corriente y a su salida se conectó el elemento respectivo del modelo físico.

D. Descripción eléctrica de los amplificadores

La función de los amplificadores es tomar el 1 o 0 TTL de la salida de los 'flip flop' y convertirla en suficiente corriente para alimentar al elemento respectivo del modelo. Hay un amplificador por cada elemento controlado.

Hay dos tipos de amplificadores: los que alimentan segmentos de rieles y los que alimentan bifurcaciones.

Cada amplificador, alimentador de rieles, es básicamente un transistor 2H2219A. El emisor se conectó a tierra (0), y el colector al negativo del elemento respectivo. El positivo (de 5V a 12V) del elemento va directamente a la fuente de alta corriente. La base de cada transistor está conectada a la salida del 'flip flop' respectivo, a través de una resistencia limitadora de 430 ohmios.

La segunda clase de amplificadores son los que controlan las bifurcaciones. Las bifurcaciones son dos bobinas que funcionan como electroimanes. Cuando les llega corriente mueven la bifurcación para un lado o para el otro. Externamente tienen tres entradas: una en común para las dos bobinas una derecha y una izquierda. Cuando le llega corriente

por la entrada derecha se activa el electroimán derecho y la bifurcación apuntara a la derecha. Lo mismo ocurre con la entrada izquierda y la bobina izquierda.

Los amplificadores para control de bifurcaciones tienen dos salidas, una derecha y una izquierda que van conectadas a la respectiva entrada de la bifurcación. Este amplificador, que en realidad son dos en uno, debe dar un pulso de 200 mS en su conductor derecho cuando el 'flip flop' de control pasa de 1 a 0 y en el izquierdo cuando pasa de 0 a 1 (no importa el estado sino los cambios de estado). Para cortar la corriente un tiempo después que se ha iniciado el pulso, se agregó un condensador en serie a la base del transistor.

CONTRC

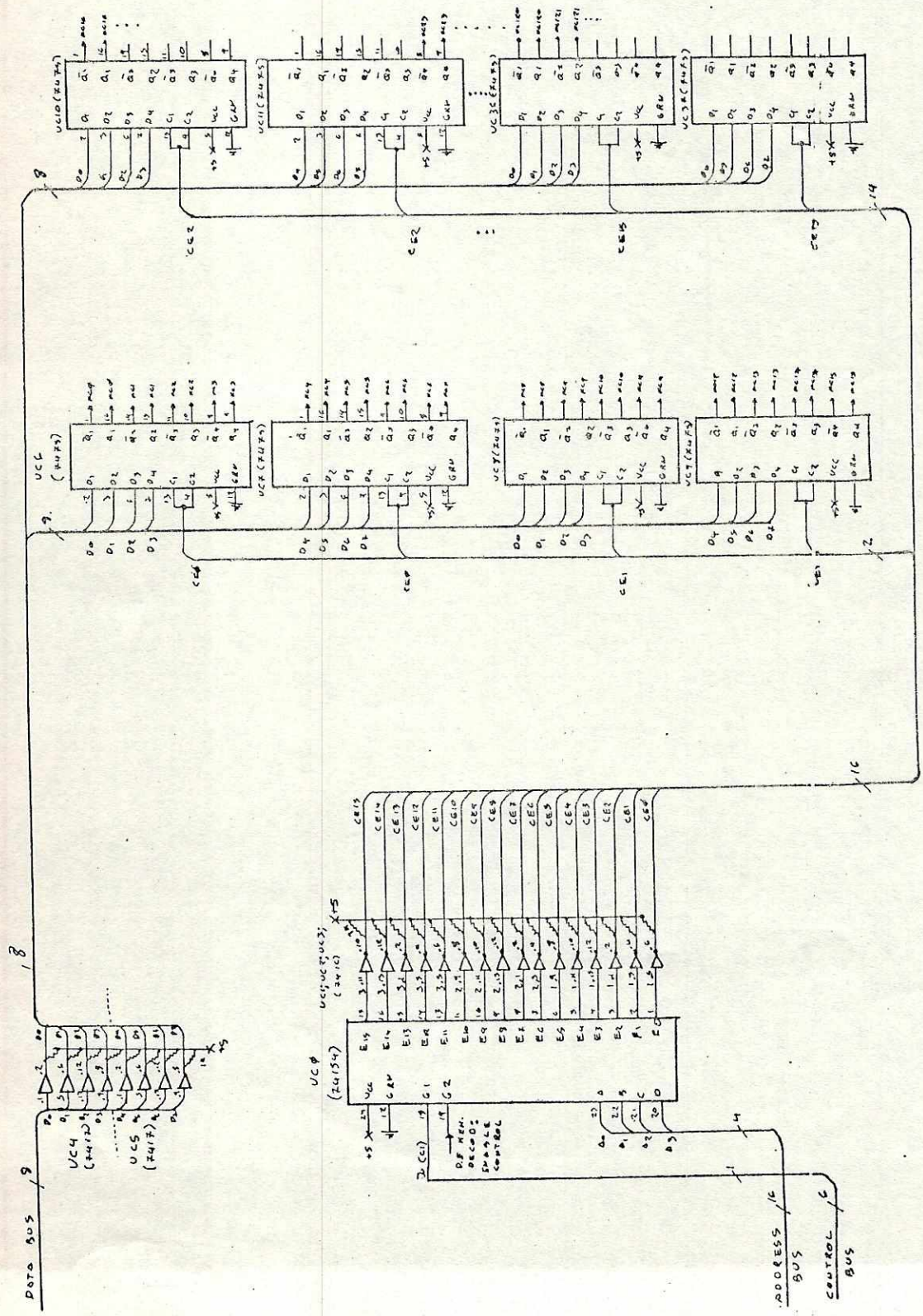
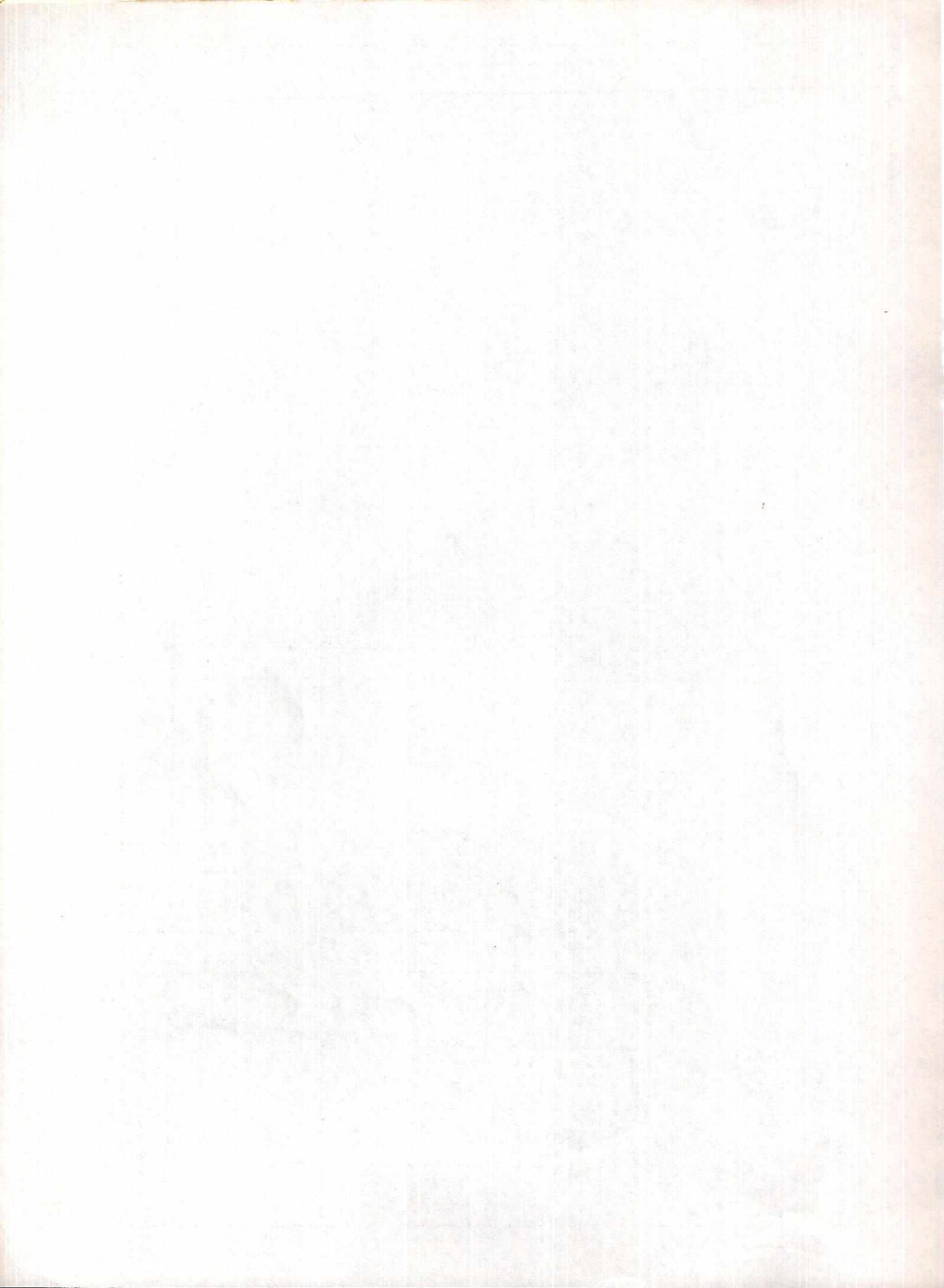


Fig 10 : Diseño esquemático de control.



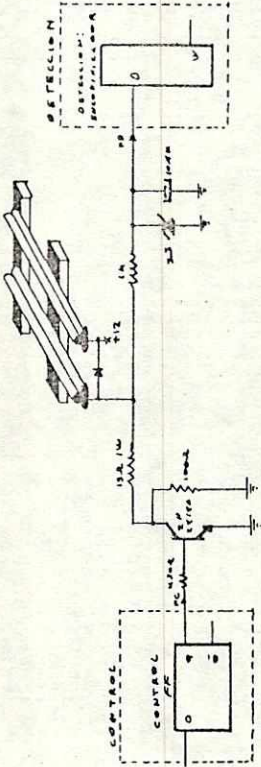
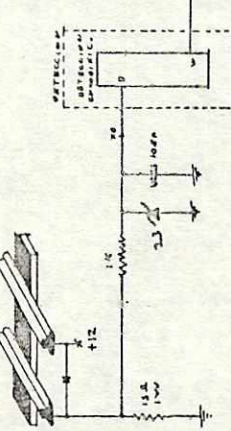

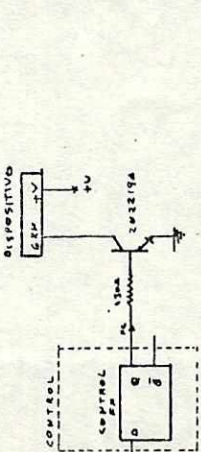
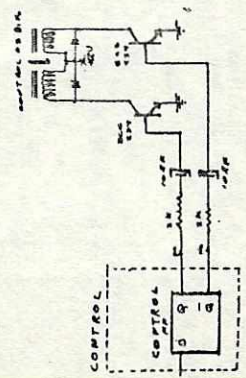
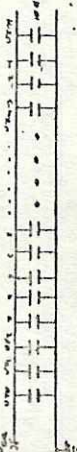
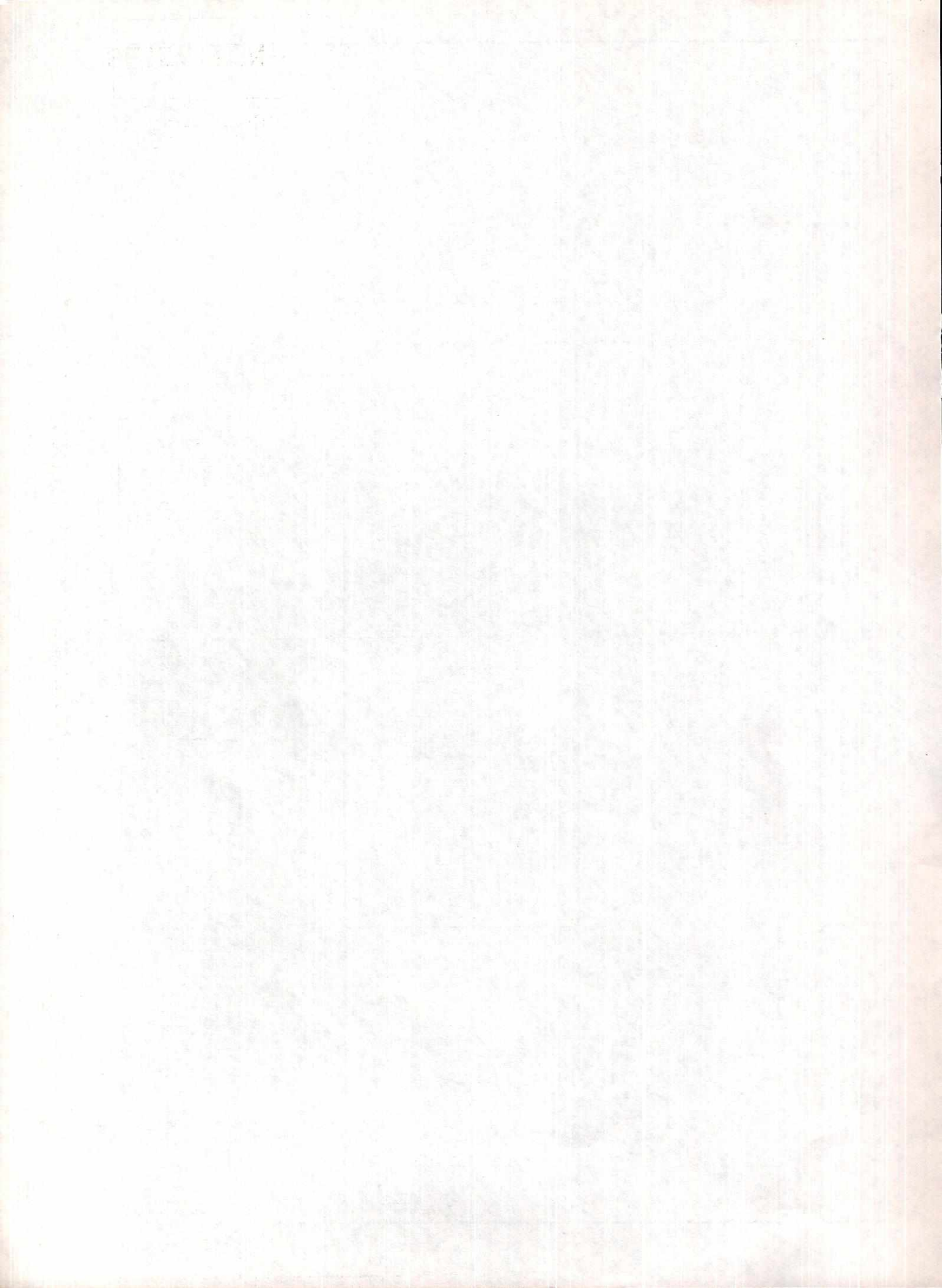
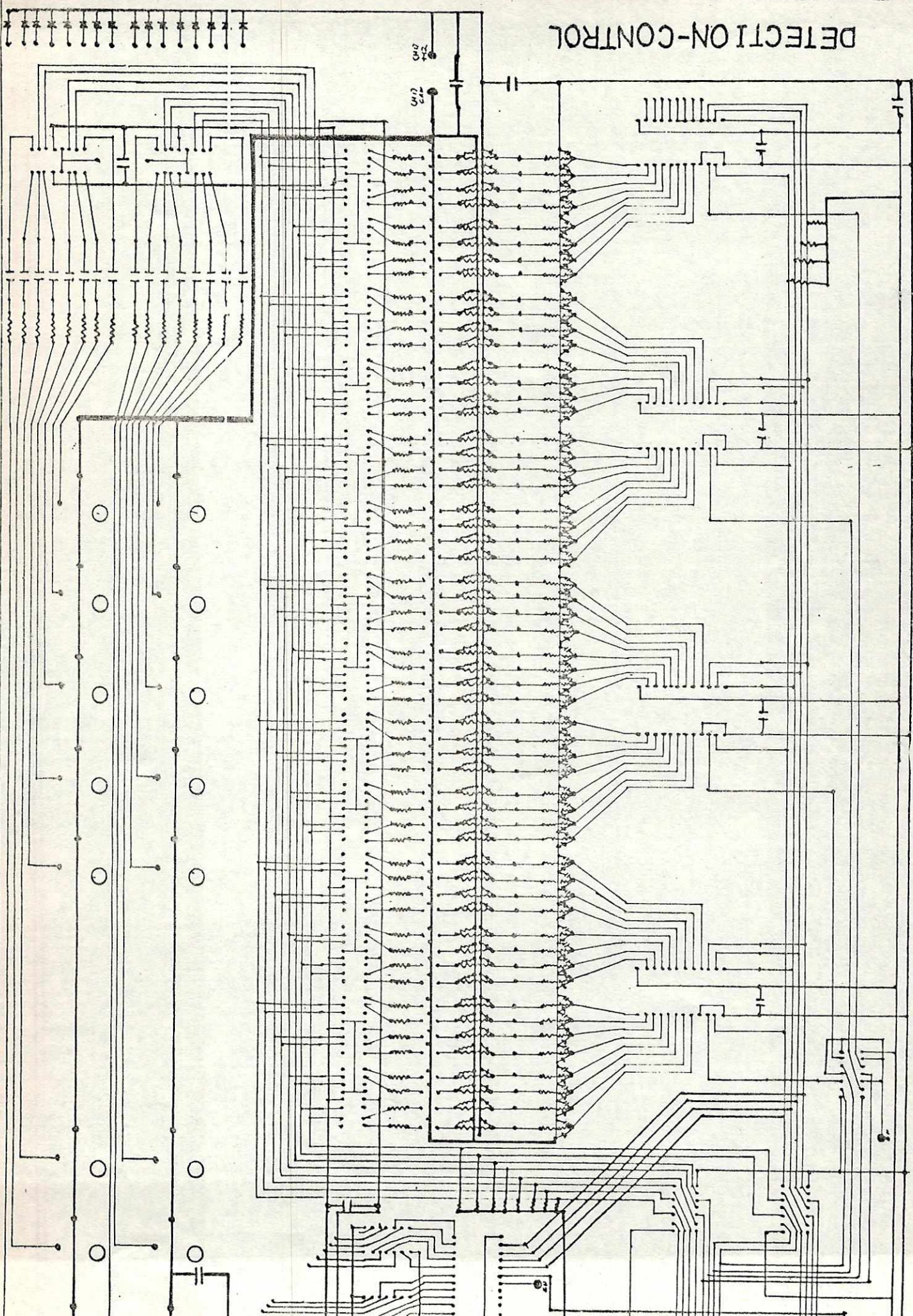
FC CONTROL FISICO	FD DETECCION FISICA	CONSIDERACIONES RESPECTO Vcc Y GAN EN ALGUNOS CHIPS	NOTAS
<p>RIELES CONTROLADOS Y DETECTADOS</p> 	<p>DETECCION SIN CONTROL</p> 	<p> TODOS LOS CHIPS USADOS DE 14 PIN (7400, 7410, 7412, 7413, > LEBUAN VCC EN EL PIN 14 Y GND EN EL 7 </p> 	
<p>CONTROL SIN DETECCION</p> 	<p>DETECCION DE BIFURCACIONES</p> 	<p> TODOS LOS CHIPS LLEVAN UN CONDENSADOR DE 100PF ENTRE SU Vcc Y SU GND </p> 	

Fig 11: Diagramas eléctricos de los módulos de control y detección física.



DETECTION-CONTROL



2 : Diseño pictórico de control y detección.

X. DETECCION

A. Función

El módulo de detección consta de detectores por medio de los cuales el sistema puede ver lo que ocurre en el modelo. Este módulo determina sobre qué segmentos de rieles hay locomotoras y qué segmentos no tienen nada encima.

B. Descripción

Este módulo es el dispositivo # 3 para lectura, con 16 subdispositivos. Al hacer una lectura del módulo de detección se obtienen 4 bits que representan el estado de 4 segmentos de rieles independientes. Un 1 en un bit indica que el segmento correspondiente tiene una locomotora encima, un 0 indica que no. Los 4 bits de cada lectura no corresponden a 4 segmentos consecutivos sino que van de 16 en 16. En la lectura del subdispositivo 0 se obtendrá el estado de los segmentos 0,16,32 y 48; en la lectura del 1 se obtendrá el de los 1,17,33 y 49,.... del 10 se obtendrán los 10,26,42 y 58 etc.

El módulo de detección está formado de 4 partes: unos 'buffers' de entrada, unos codificadores, unos 'buffers tri state' de salida y los detectores físicos del modelo.

C. Descripción eléctrica de los codificadores

Cada codificador (**74150**) selecciona uno de 16 bits de entrada y lo pone en su línea de salida. Cada codificador representa un bit en el bus de datos, el primero va al D0, el segundo al D1 el tercero al D2 y el cuarto al D3. Pero estas líneas no pueden ir directamente al bus de datos del sistema. Deben pasar solo cuando el CPU está haciendo una lectura del dispositivo de E/S # 3. Por ello se usó la etapa de 'buffers' de salida.

D. Descripción eléctrica de los buffers de salida

Esta etapa aísla la salida de los codificadores de el bus del sistema cuando no se esta haciendo una lectura de E/S #3. Esta etapa la forman unos 'buffers' con salida 'tri state' **74125** con su línea de 'enable' conectada directamente a la salida E6 del decodificador de E/S la que se pone en 0 cuando se hace una lectura del dispositivo #3 de E/S.

E. Descripción de los detectores físicos

Hay un detector físico por cada segmento de rieles y estos corresponden a una entrada de algún codificador. Los detectores físicos examinan los rieles; si hay un tren sobre el segmento transmiten un 1 al codificador, si no hay tren transmiten un 0.

El módulo de detección física determina si hay o no hay un tren en un

segmento por medio de la medición de caídas de tensión causadas por la corriente que consume el motor eléctrico del tren. Para fines de detección se usa una resistencia entre el riel negativo y tierra. Así puede medirse el voltaje entre este riel y tierra. Cuando no hay tren sobre el segmento, el riel queda conectado solo a tierra lo que le dará un potencial 0. Cuando hay un tren sobre el segmento habrá un divisor de voltaje entre el motor y la resistencia a tierra y este voltaje es detectado por el módulo de detección física.

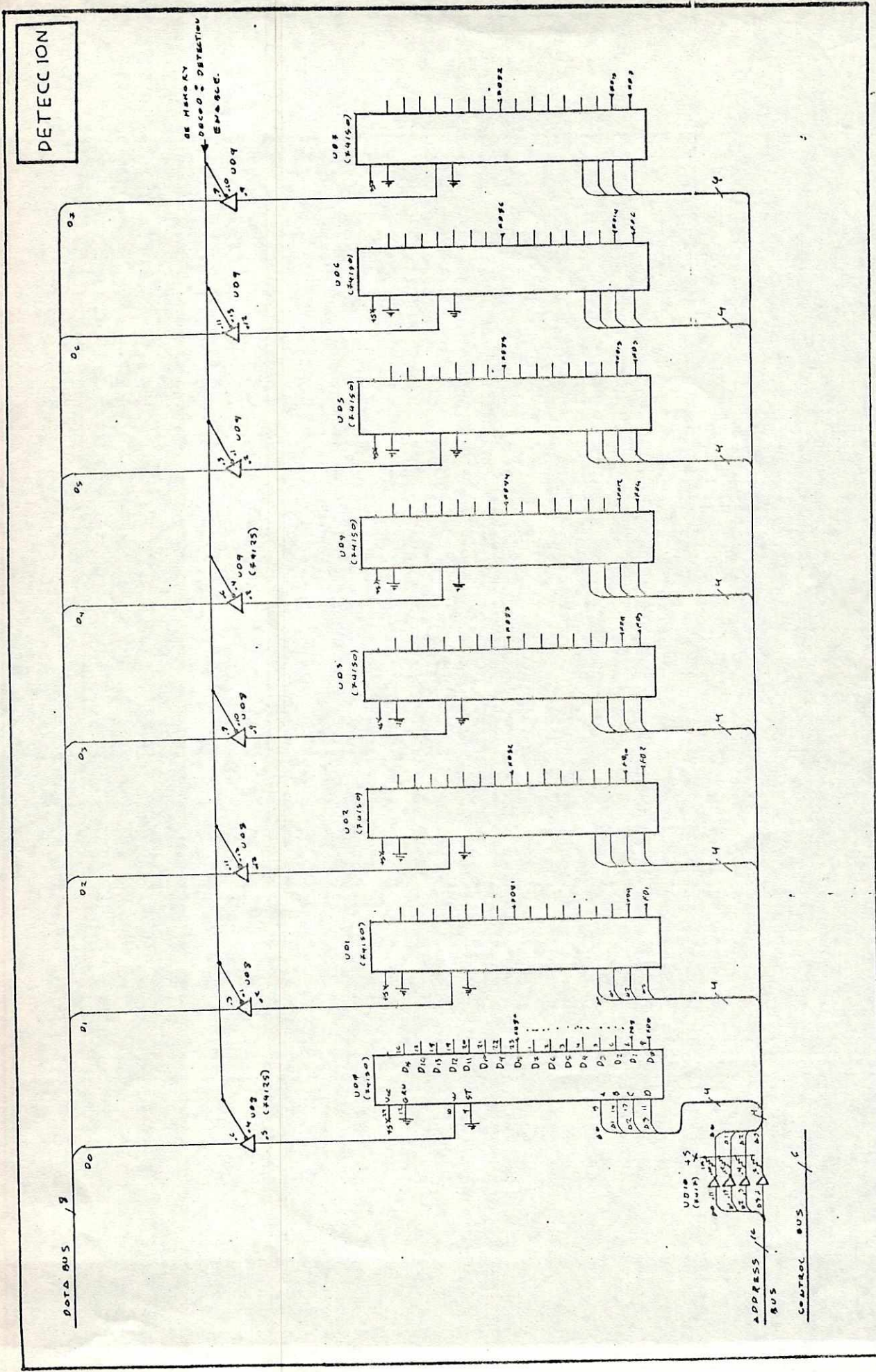
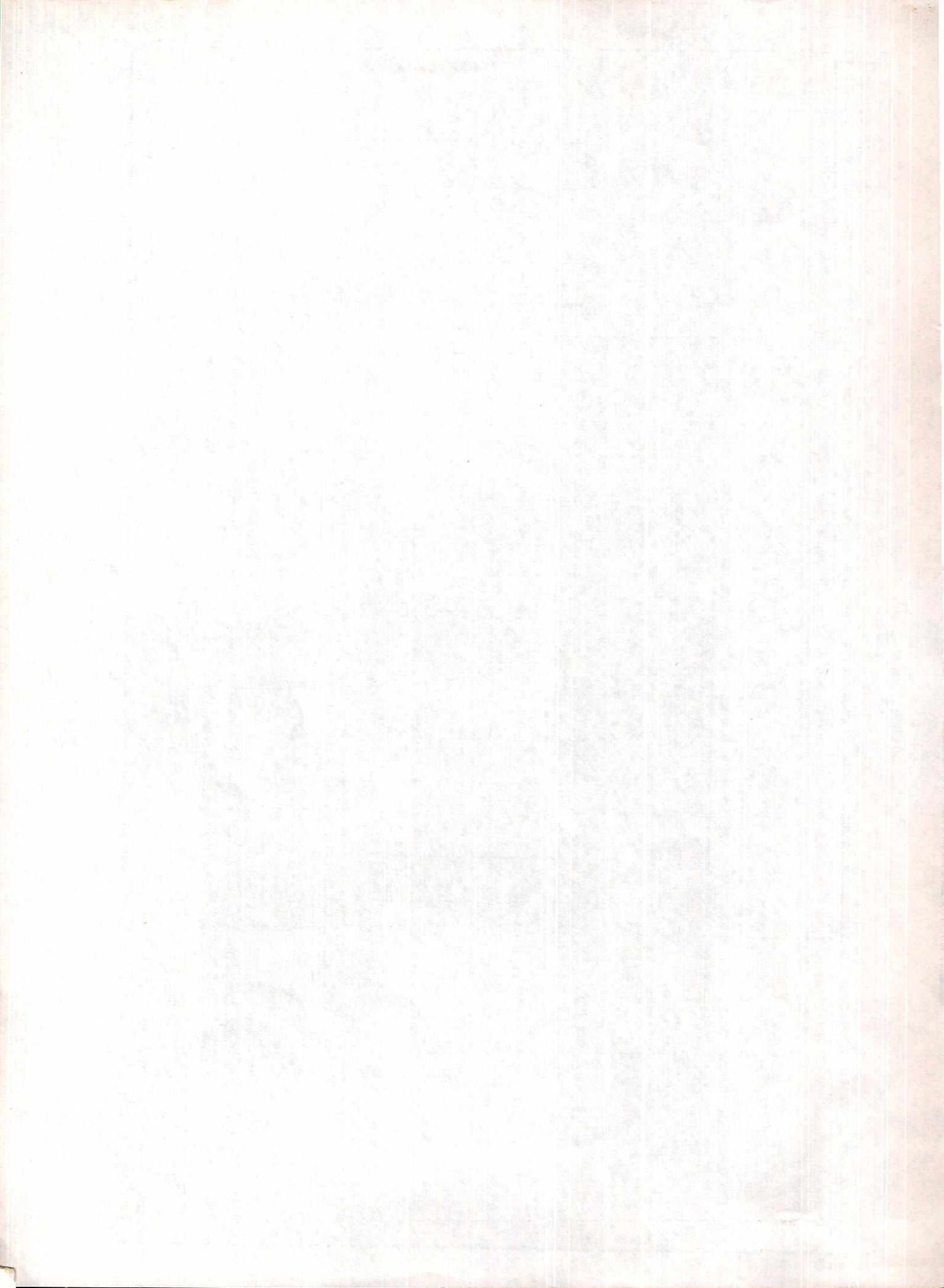
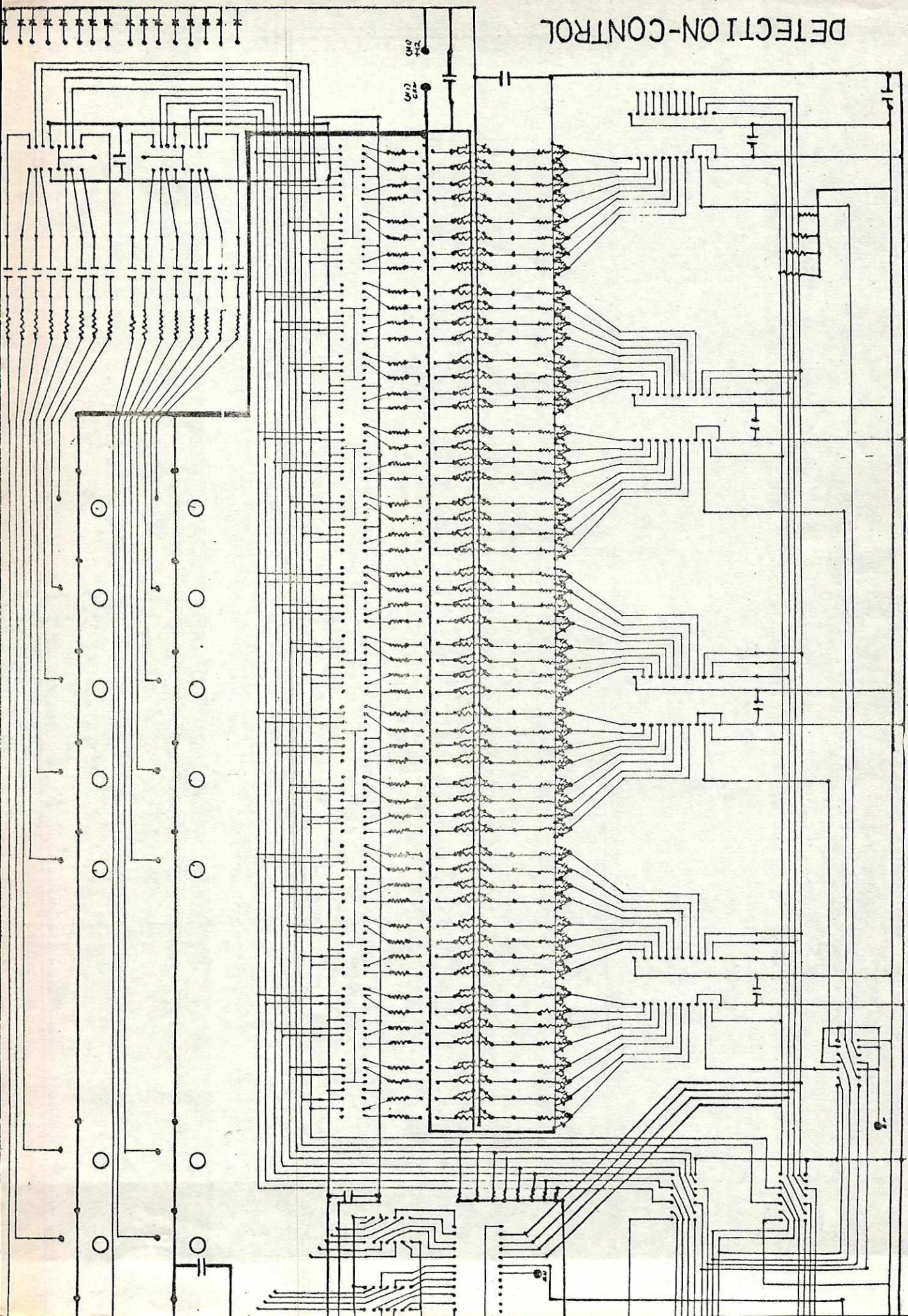


Fig 13 : Diagrama esquemático del módulo de detección.

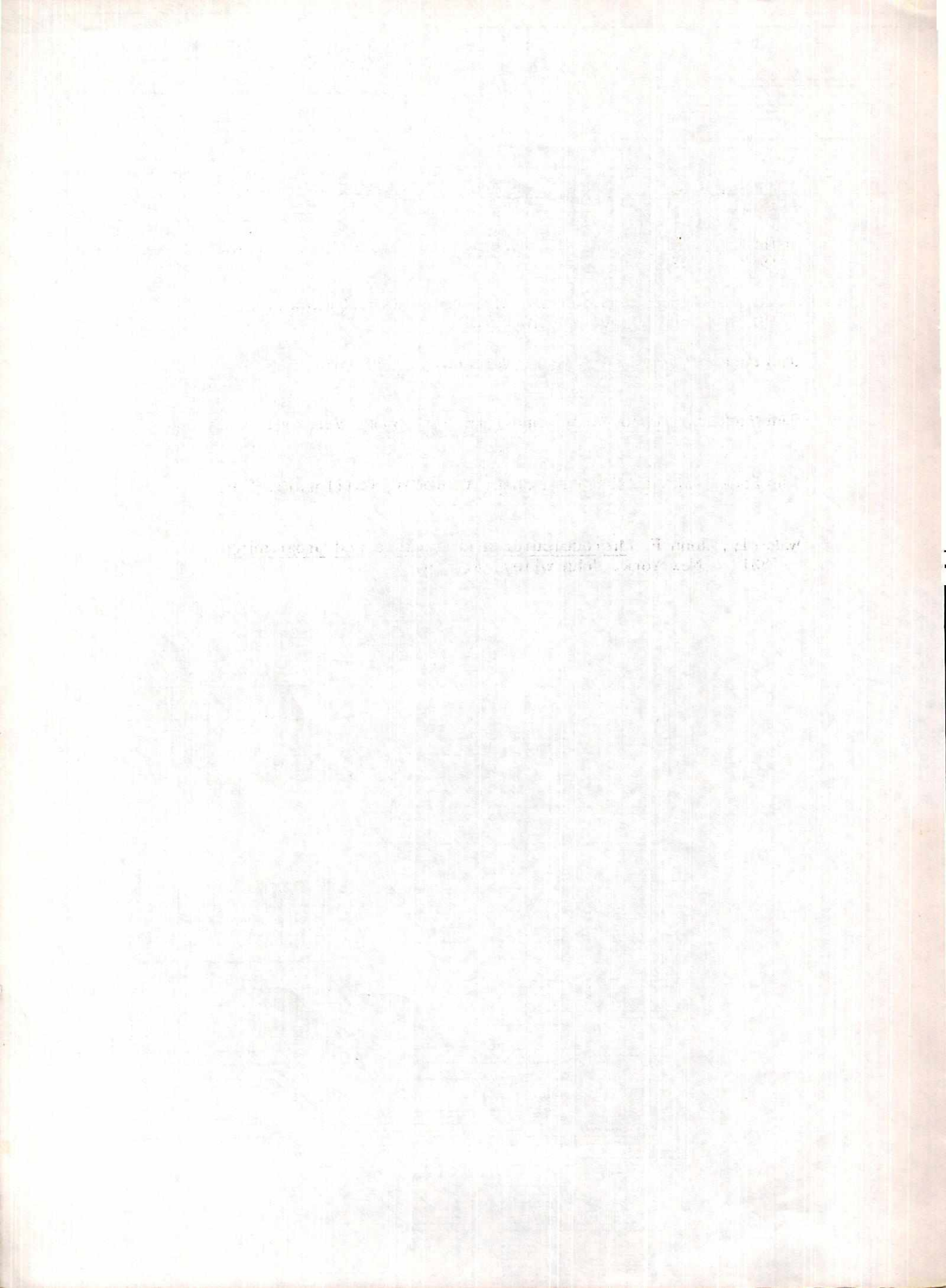


FC CONTROL FISICO	FD DETECCION FISICA	NOTAS
RIELES CONTROLADOS Y DETECTADOS		
		<p>CONSIDERACIONES RESPECTO V_{dc} Y GRN EN ALCUNOS CHIPS</p> <p> TODOS LOS CHIPS USADOS DE 14 PIN (7400, 7410, 7412, 7413, > LBUAN VA EN EL PIN 14 Y CAMBA EL 7 </p>
		<p>TODOS LOS CHIPS LEVAL UL CONDENSADOR DE 100PF ENTRE 20 V_{dc} Y 50 V_{dc}</p>
CONTROL DE BIFURCACIONES		

Fig 14.: Diagramas eléctricos de los módulos de control y detección física.



15: : Diseño pictórico de control y detección.



BIBLIOGRAFIA

Bibbero, Robert. Automatic control. New York. John Wiley, 322 pp.
1978

INTEL corp. MCS 8080-8085 users manual. Santa Clara California. S.F.
1977 348 pp.

Kuck, David J. The structure of a computer and computing.
1978 John Wiley. New York. 611 pp.

Jim Pack. 74/74LS Data book. Vermont, California. S.F.

Jim Pack. Microprocessors and LEDs data book. Vermont, California. S.F.

Jim Pack. CMOS/LINEAR data book. Vermont, California. S.F.

Wakerly, John F. Microcomputer architecture and programing.
1981 New York. John wiley. 612 pp.

